```
// DSCH Ver 3.0
// 10/8/2017 8:02:12 PM
// C:\Users\Shubham\Desktop\Microwind Outputs\2_bit_comp.sch

module 2_bit_comp( );
 wire w2,w3,w4,w5,w6,w7,w8,w9;
 wire w10,w11,w12,w13,w14,w15,w16,w17;
 wire w18,w19,w20,w21,w22,w23,w24,w25;
 wire w26,w27,w28,w29,w30,w31,w32,w33;
 wire w34,w35,w36,w37,w38,w39,w40,w41;
 wire w42,w43,w44,w45,w46,w47,w48,w49;
 wire w50,w51,w52,w53,w54,w55,w56,w57;
 wire w58,w59,w60,w61,w62,w63,w64,w65;
 wire w66,w67,w68;
 not #(66) inv_1(w3,w2);
 not #(59) inv_2(w5,w4);
 not #(59) inv_3(w7,w6);
 not #(59) inv_4(w9,w8);
 or #(9) or2_5(w12,w10,w11);
 or #(16) or2_6(w15,w13,w14);
 or #(16) or2_7(w18,w16,w17);
 and #(16) and2_8(w14,w19,w20);
 and #(16) and2_9(w21,w7,w9);
 and #(16) and2_10(w22,w2,w4);
 and #(16) and2_11(w13,w22,w21);
 and #(16) and2_12(w20,w6,w9);
 and #(16) and2_13(w19,w3,w4);
 or #(12) or3_14(w24,w18,w15,w23);
 and #(16) and2_15(w27,w25,w26);
 and #(16) and2_16(w25,w2,w4);
 and #(16) and2_17(w26,w6,w9);
 and #(16) and2_18(w30,w28,w29);
 and #(16) and2_19(w28,w2,w4);
 and #(16) and2_20(w31,w6,w8);
 and #(16) and2_21(w32,w2,w4);
 and #(16) and2_22(w33,w32,w31);
 and #(16) and2_23(w34,w7,w8);
 and #(16) and2_24(w35,w3,w4);
 and #(16) and2_25(w36,w35,w34);
 and #(16) and2_26(w39,w37,w38);
 and #(16) and2_27(w37,w3,w5);
 and #(16) and2_28(w38,w7,w9);
 and #(16) and2_29(w42,w40,w41);
 and #(16) and2_30(w40,w2,w5);
 and #(16) and2_31(w41,w6,w9);
 or #(16) or2_32(w10,w39,w42);
 and #(16) and2_33(w16,w43,w44);
 and #(16) and2_34(w43,w3,w5);
 or #(16) or2_35(w11,w36,w33);
 and #(16) and2_36(w44,w7,w9);
 and #(16) and2_37(w17,w45,w46);
 and #(16) and2_38(w45,w3,w4);
 and #(16) and2_39(w46,w7,w9);
 or #(16) or2_40(w23,w27,w30);
 and #(16) and2_41(w29,w7,w8);
 and #(16) and2_42(w47,w6,w8);
 or #(16) or2_43(w50,w48,w49);
 and #(16) and2_44(w51,w7,w8);
 and #(16) and2_45(w52,w3,w5);
 and #(16) and2_46(w53,w52,w51);
 and #(16) and2_47(w54,w6,w9);
 and #(16) and2_48(w55,w3,w5);
 and #(16) and2_49(w56,w55,w54);
 and #(16) and2_50(w57,w3,w4);
 and #(16) and2_51(w49,w57,w47);
 and #(16) and2_52(w58,w6,w8);
```

```
 and #(16) and2_53(w59,w2,w5);
 and #(16) and2_54(w48,w59,w58);
 or #(12) or3_55(w62,w60,w61,w50);
 and #(16) and2_56(w63,w3,w5);
 and #(16) and2_57(w64,w6,w8);
 and #(16) and2_58(w67,w65,w66);
 and #(16) and2_59(w65,w2,w5);
 and #(16) and2_60(w66,w7,w8);
 and #(16) and2_61(w68,w63,w64);
 or #(16) or2_62(w60,w56,w53);
 or #(16) or2_63(w61,w67,w68);
endmodule

// Simulation parameters in Verilog Format

// Simulation parameters
```