

**Τεχνική Ανίχνευσης της Χρονικά
Εξαρτώμενης Διηλεκτρικής Κατάρρευσης
στις Μνήμες SRAM**

Παρασκευή Μέγα

Διπλωματική Εργασία

Επιβλέπων: Γεώργιος Τσιατούχας

Ιωάννινα, Ιούλιος, 2021



**ΤΜΗΜΑ ΜΗΧ. Η/Υ & ΠΛΗΡΟΦΟΡΙΚΗΣ
ΠΑΝΕΠΙΣΤΗΜΙΟ ΙΩΑΝΝΙΝΩΝ**

**DEPARTMENT OF COMPUTER SCIENCE & ENGINEERING
UNIVERSITY OF IOANNINA**

Ευχαριστίες

Θα ήθελα να ευχαριστήσω τον καθηγητή επιβλέποντα αυτής της διπλωματικής, κ. Γεώργιο Τσιατούχα για τις χρήσιμες συμβουλές καθώς και την καθοδήγηση που μου παρείχε, για τις σημαντικές γνώσεις που μοιράστηκε μαζί μου όπως επίσης και για την υπομονή του κατά την εκπόνηση της διπλωματικής μου εργασίας.

Επίσης, θα ήθελα να ευχαριστήσω τους φίλους μου για την υποστήριξη τους και την υπομονή τους.

Τέλος, θα ήθελα να ευχαριστήσω την οικογένεια μου που με στήριξε τόσο υλικά όσο και πνευματικά σε κάθε μου βήμα ως τώρα.

26/07/2021

Παρασκευή Μέγα

Περίληψη

Η κλιμάκωση της τεχνολογίας CMOS και η συνεχόμενη αύξηση του αριθμού των τρανζίστορ σε ένα ολοκληρωμένο κύκλωμα επηρεάζει άμεσα την αξιοπιστία ενός κυκλώματος λόγω της εμφάνισης σημαντικών επιδράσεων σε αυτά, που προκαλούνται από τα διάφορα φαινόμενα γήρανσης, όπως η διηλεκτρική κατάρρευση που εξαρτάται από τον χρόνο (Time Dependent Dielectric Breakdown – TDDB). Η αξιοπιστία των κυκλωμάτων εξαρτάται επίσης από εξωτερικούς παράγοντες, συνεπώς τα συστήματα πρέπει να λειτουργούν αποτελεσματικά κάτω από οποιεσδήποτε συνθήκες.

Η παρούσα διπλωματική ασχολείται με την ανάλυση της επίδρασης του φαινομένου TDDB στην αξιόπιστη λειτουργία της στατικής μνήμης τυχαίας προσπέλασης (SRAM). Για την διάγνωση αυτών των φαινομένων γήρανσης χρησιμοποιείται ένας διαφορικός ταλαντωτής DRO), ο οποίος έχει τοποθετηθεί σε κάθε bit-line της συστοιχία της μνήμης. Συγκεκριμένα, ο εντοπισμός της γήρανσης στα κελιά μνήμης ή τον αισθητήρα σήματος, γίνεται με την βοήθεια του κύκλου λειτουργίας (duty cycle) του σήματος του DRO. Μέσω των προσομοιώσεων που πραγματοποιήθηκαν αποκαλύπτεται ότι για ορισμένες περιπτώσεις υπάρχει η δυνατότητα εντοπισμού γήρανσης εξαιτίας TDDB φαινομένων στα κελιά μνήμης και τον αισθητήρα σήματος.

Λέξεις Κλειδιά: διηλεκτρική κατάρρευση εξαρτώμενη από τον χρόνο, γήρανση τρανζίστορ, στατική μνήμη τυχαίας προσπέλασης (SRAM).

Abstract

The constant CMOS technology scaling and the increment of the number of transistors in an intergraded circuit directly effects the reliability of the circuit due to the occurrence of various effects caused by different aging phenomena, such as the Time Dependent Dielectric Breakdown (TDDB). The reliability of the circuits also depends on external factors, so the systems must operate efficiently under any conditions.

This thesis discusses the analysis of the effect of the TDDB on the reliable operation of the Static Random-Access-Memory (SRAM). To diagnose this type of aging, a differential ring oscillator (DRO) is placed in each bit-line of the memory array. More specifically, the detection of aging in the memory cells or the sense amplifier is done with the help of the duty cycle of the DRO signal. Through the simulations performed, it is revealed that for some cases it is possible to detect TDDB related aging in the memory cells and the sense amplifier.

Keywords: Time Dependent Dielectric Breakdown (TDDB), transistor aging, Static Random Access Memory (SRAM)

Πίνακας Περιεχομένων

Κεφάλαιο 1. Εισαγωγή.....	1
1.1 Αντικείμενο εργασίας.....	1
1.2 Οργάνωση εργασίας	2
Κεφάλαιο 2. Μηχανισμοί γήρανσης των ολοκληρωμένων κυκλωμάτων	3
2.1 Διηλεκτρική κατάρρευση εξαρτώμενη από τον χρόνο (Time Dependent Dielectric Breakdown – TDDB).....	3
2.2 Ηλεκτρομετανάστευση (Electromigration).....	6
2.3 Αστάθεια Πόλωσης/Θερμοκρασίας (Bias Temperature Instability – BTI)	7
2.4 Έγχυση θερμών φορέων (Hot Carrier Injection - HCI)	8
Κεφάλαιο 3. Φαινόμενα γήρανσης στις στατικές μνήμες (SRAM).....	10
3.1 Επίδραση φαινομένων γήρανσης στην λειτουργία της SRAM	10
3.1.1 Επίδραση γήρανσης στην λειτουργία του κελιού της SRAM.....	11
3.1.2 Επίδραση γήρανσης στην λειτουργία του αισθητήρα σήματος της SRAM.....	12
3.2 Παρακολούθηση γήρανσης στις SRAM	13
3.2.1 Τεχνικές παρακολούθησης της γήρανσης στα κελιά μνήμης των SRAMs.....	16
3.2.2 Τεχνικές παρακολούθησης της γήρανσης στους αισθητήρες σήματος των SRAMs.....	19
Κεφάλαιο 4. Ενοποιημένη προσέγγιση κυκλώματος παρακολούθησης για τα κελιά μνήμης και τους αισθητήρες σήματος	21
4.1 Το κύκλωμα παρακολούθησης.....	21
4.2 Ο διαφορικός ταλαντωτής δακτυλίου (Differential Ring Oscillator – DRO).....	24
4.3 ο ψηφιοποιητής (Digitizer).....	25
Κεφάλαιο 5. Αποτελέσματα προσομοιώσεων.....	27
5.1 Αποτελέσματα προσομοιώσεων «φρέσκιας» λειτουργίας	28
5.2 Αποτελέσματα προσομοιώσεων υπό την παρουσία γήρανσης	29
5.2.1 Προμοιώσεις στο κελί μνήμης.....	30
5.2.2 Προσομοιώσεις στον αισθητήρα σήματος.....	35
5.3 Αποτελέσματα στατικού περιθωρίου θορύβου κελιού	39

5.4	Αποτελέσματα καθυστέρησης και κατανάλωσης ισχύος του αισθητήρα σήματος.....	43
Κεφάλαιο 6.	Συμπεράσματα	45

Κεφάλαιο 1.

Εισαγωγή

1.1 Αντικείμενο εργασίας

Αντικείμενο της διπλωματικής εργασίας είναι η μελέτη της επίδρασης του φαινομένου διηλεκτρικής κατάρρευσης που εξαρτάται από τον χρόνο (Time Dependent Dielectric Breakdown – TDDB) του μονωτή της πύλης των τρανζίστορ σε ένα κύκλωμα στατικής μνήμης τυχαίας προσπέλασης (SRAM) αναφορικά με το κελί μνήμης και τον αισθητήρα σήματος. Το φαινόμενο TDDB συγκαταλέγεται στους μηχανισμούς γήρανσης των ολοκληρωμένων κυκλωμάτων. Παράλληλα, παρουσιάζεται τεχνική για την ανίχνευση της γήρανσης εξαιτίας του φαινομένου TDDB στα κελιά μνήμης και στον αισθητήρα σήματος, με την προσθήκη ενός μικρού κόστους ταλαντωτή δακτυλίου (Differential Ring Oscillator - DRO) σε κάθε bit-line της συστοιχίας της μνήμης και μελετάται η αποτελεσματικότητα του προτεινόμενου μηχανισμού.

Η γήρανση μέσω του μηχανισμού TDDB επιδρά στα περιθώρια θορύβου των κελιών και στην ταχύτητα λειτουργίας της μνήμης. Στην εργασία διερευνώνται οι επιπτώσεις που επέρχονται στις ανωτέρω παραμέτρους μιας SRAM. Επίσης, σκοπός είναι η ανάπτυξη τεχνικής για την ανίχνευση της σχετιζόμενης με TDDB γήρανσης των κελιών μνήμης και του αισθητήρα σήματος, με την εξέταση του κύκλου λειτουργίας του σήματος που παράγει ένας τοπικός ταλαντωτής. Τέλος, παρουσιάζονται μετρήσεις για την αποτίμηση των επιδόσεων της τεχνικής.

1.2 Οργάνωση εργασίας

Στα κεφάλαια που ακολουθούν γίνεται ανάλυση των φαινομένων γήρανσης σε μια στατική μνήμη τυχαίας προσπέλασης (SRAM) και την επίδραση που έχουν αυτά στην λειτουργία της. Συγκεκριμένα, στο δεύτερο κεφάλαιο γίνεται αναλυτική περιγραφή των φαινομένων γήρανσης, συμπεριλαμβανομένου και του TDDB φαινομένου το οποίο μελετάται στην εργασία. Στο τρίτο κεφάλαιο παρουσιάζεται η δομή της τροποποιημένης μνήμης SRAM, με το προτεινόμενο κύκλωμα παρακολούθησης της γήρανσης. Τέλος, στο τέταρτο και τελευταίο κεφάλαιο παρατίθενται τα αποτελέσματα των προσομοιώσεων που υλοποιήθηκαν για την ανίχνευση της γήρανσης, στο κελί μνήμης και τον αισθητήρα σήματος μέσω προσομοιώσεων Monte Carlo, τα αποτελέσματα του στατικού περιθωρίου θορύβου (Static Noise Margin – SNM) στο κελί μνήμης και τα αποτελέσματα της καθυστέρησης και της κατανάλωσης ισχύος του αισθητήρα σήματος.

Κεφάλαιο 2.

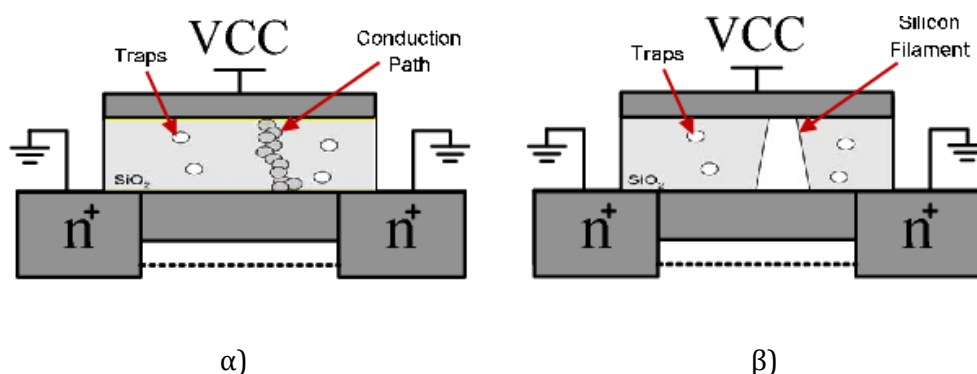
Μηχανισμοί γήρανσης των ολοκληρωμένων κυκλωμάτων

Σε αυτό το κεφάλαιο παρουσιάζονται μηχανισμοί γήρανσης, οι οποίοι ευθύνονται για την υποβάθμιση της αξιοπιστίας ενός κυκλώματος. Ως αξιοπιστία προσδιορίζεται η ικανότητα ενός κυκλώματος να διατηρεί την σωστή λειτουργία του καθ' όλη την διάρκεια της ζωής του. Οι μηχανισμοί γήρανσης αποτελούν σημαντικό παράγοντα για την υποβάθμιση της λειτουργίας και της αξιοπιστίας ενός κυκλώματος, μειώνοντας την διάρκεια της χρήσιμης ζωής τους.

2.1 Διηλεκτρική κατάρρευση εξαρτώμενη από τον χρόνο (Time Dependent Dielectric Breakdown - TDDB)

Αυτό το φαινόμενο είναι γνωστό και ως διάσπαση του οξειδίου και απειλεί σημαντικά την αξιοπιστία των κυκλωμάτων. Κατά την εφαρμογή υψηλού ηλεκτρικού πεδίου στην διηλεκτρική πύλη ενός τρανζίστορ, δημιουργούνται αγωγά μονοπάτια εξαιτίας της κατάρρευσης του υλικού, τα οποία είναι ικανά να βραχυκυκλώσουν την άνοδο και την κάθοδο. Η συνεχής μείωση του πάχους του οξειδίου βοηθά στην επιτάχυνση της διαδικασίας αυτής. Το φαινόμενο TDDB χωρίζεται σε δύο μέρη. Αρχικά, στο πρώτο μέρος, το οξείδιο καταστρέφεται από την δημιουργημένη παγίδα φορέων κίνησης (trap) και τα παγιδευμένα ηλεκτρόνια/οπές που βρίσκονται μέσα σε αυτό και τις διεπαφές του. Στην συνέχεια, στο δεύτερο μέρος δημιουργείται μια διαδρομή αγωγιμότητας μέσω του οξειδίου εξαιτίας της αυξανόμενης πυκνότητας παγίδων εντός του οξειδίου. Το βραχυκύκλωμα που δημιουργείται ανάμεσα στο υπόστρωμα και στο ηλεκτρόδιο της πύλης καταλήγει σε αστοχία του οξειδίου. Οι προσομοιώσεις Monte Carlo έχουν χρησιμοποιηθεί με σκοπό την μοντελοποίηση της διαδικασίας που περιεγράφηκε. Η δημιουργία ενός μονοπατιού διέλευσης μπορεί να καταλήξει σε έναν από τους ακόλουθους τύπους αστοχίας, οι οποίοι παρουσιάζονται στην Εικόνα 2.1. Με τον σχηματισμό του μονοπατιού, το ρεύμα αρχίζει να ρέει μέσω αυτού δημιουργώντας μια

δραστική αύξηση της κατανάλωσης ενέργειας που μπορεί να οδηγήσει σε θερμική θέρμανση. Εάν το τρανζίστορ συνεχίσει να λειτουργεί τότε μπορεί να έχει δεχτεί μια ήπια διάσπαση, ενώ εάν η πύλη καταστραφεί εξαιτίας της τοπικής τήξης του οξειδίου, τότε θεωρείται ότι προκαλείται ισχυρή διάσπαση. Η ήπια διάσπαση δεν επιδρά σημαντικά στην λειτουργία των τρανζίστορ αφού η αλλαγή που επιφέρει στην τάση κατωφλίου και στην διαρροή είναι μικρή. Υπάρχει όμως η πιθανότητα να καταλήξει σε αστοχία των τρανζίστορ μικρού καναλιού, η οποία οφείλεται στο σύνολο των βλαβών που μπορεί να οδηγήσουν σε αύξηση του ρεύματος διαρροής σε επίπεδα πέρα των επιθυμητών [BGL+06].



Εικόνα 2.1. α) δημιουργία αγώγιμης διαδρομής (ήπια διάσπαση) και β) διατομή του οξειδίου της πύλης (ισχυρή διάσπαση)

Οι πιο σημαντικοί φυσικοί μηχανισμοί που σχετίζονται με την διηλεκτρική κατάρρευση και μελετώνται ακόμη είναι η πόλωση του διηλεκτρικού, η έγχυση φορέων, η παγίδευση οπών και ηλεκτρονίων στο οξείδιο και η αλληλεπίδραση όλων αυτών.

Για την υποβάθμιση και την διάσπαση του οξειδίου ευθύνεται κυρίως η παραγωγή παγίδων. Τα τρία κύρια μοντέλα TDDB είναι το μοντέλο E, το μοντέλο 1/E και το μοντέλου νόμου ισχύος.

Το μοντέλο E

Αυτό το μοντέλο εκφράζει ότι η διάσπαση δεσμών Si-Si μέσα στο στρώμα οξειδίου είναι υπεύθυνη για το TDDB. Κύριος παράγοντας για αυτήν την διάσπαση είναι το πεδίο στο οξείδιο. Ο μέσος χρόνος αποτυχίας (Mean Time To Fail – MTTF) που φαίνεται να εξαρτάται από το πεδίο του οξειδίου δίνεται από:

$$MTTF = Ae^{-\gamma E} e^{\frac{E_a}{kT}},$$

όπου A είναι μια σταθερά, γ είναι η παράμετρος επιτάχυνσης του πεδίου, E είναι το ηλεκτρικό πεδίο του οξειδίου, E_a είναι η ενέργεια ενεργοποίησης, k είναι η σταθερά του Boltzmann και T είναι η απόλυτη θερμοκρασία.

Το μοντέλο E αξιοποιείται συχνά και συμφωνεί με τα πειραματικά αποτελέσματα για τιμές του πεδίου του οξειδίου μέχρι 4,8MV/cm. Επίσης, το μοντέλο αυτό δεν υπολογίζει την σημασία του ρεύματος σήραγγας και η χρήση του είναι ακατάλληλη για πολύ λεπτά οξείδια.

Το μοντέλο 1/E

Το μοντέλο 1/E αποδίδει το φαινόμενο TDDB στην παρουσία του ρεύματος Fowler-Nordheim (FN) στο στρώμα του οξειδίου. Συγκεκριμένα, τα ηλεκτρόνια που εγχέονται από την πύλη στο στρώμα του οξειδίου δημιουργούν συγκρούσεις ιονισμού οι οποίες καταλήγουν στην παραγωγή οπών. Μέσω της υποδοχής εισάγονται επιπλέον οπές με συνέπεια την αύξηση του τοπικού πεδίου του οξειδίου και την δημιουργία ρεύματος διαρροής που προκαλείται από στρες (Stress Induced Leakage Current – SILC). Επειδή η εξάρτηση του MTTF από το SILC είναι αντιστρόφως ανάλογη το μοντέλο ονομάζεται 1/E, ενώ η εξάρτηση του ρεύματος SILC από το πεδίο (E) είναι γραμμική, και εκφράζεται ως:

$$MTTF = Ae^{\frac{G}{E}} e^{\frac{E_a}{kT}},$$

όπου το G αποτελεί μια σταθερά. Οι υπόλοιπες παράμετροι έχουν αναλυθεί νωρίτερα. Το μοντέλο εκφράζει την τρέχουσα καθοδηγούμενη υποβάθμιση στην περιοχή FN.

Το μοντέλο νόμου ισχύος

Τέλος, το μοντέλο νόμου ισχύος προσδιορίζει ότι το MTTF του οξειδίου (1,7-6,8nm) μειώνεται αντίστροφα με το ρεύμα διαρροής (I_{avg}) οξειδίου υπό συνθήκες σταθερής τάσης. Η εξάρτηση αυτή μπορεί να εκφραστεί από τη σχέση:

$$MTTF = \frac{A}{I_{avg}^n} e^{\frac{E_a}{kT}},$$

όπου το A είναι μια σταθερά και το n εξαρτάται από το πάχος του οξειδίου. Συγκεκριμένα, η τιμή του n μεταβάλλεται από 1 σε 10, για μείωση του οξειδίου από 6,8 σε 1,7 nm. Το μοντέλο αυτό είναι καθολικό και χρησιμοποιείται κυρίως σε περιπτώσεις όπου τα μοντέλα E και $1/E$ δεν εφαρμόζονται με επιτυχία, για διαφορετικό πάχος του οξειδίου και διαφορετικούς μηχανισμούς αγωγιμότητας [KH10].

2.2 Ηλεκτρομετανάστευση (Electromigration)

Το φαινόμενο της ηλεκτρομετανάστευσης αφορά την μετατόπιση των ατόμων, προς την πλευρά της ανόδου, λόγω της ορμής που τους μεταφέρεται από τα ηλεκτρόνια που διέρχονται από έναν αγωγό, όταν οι πυκνότητες ρεύματος ηλεκτρονίων είναι αρκετά υψηλές. Εξαιτίας της μειωμένης ηλεκτρικής αγωγιμότητας που σχηματίζεται, αλλοιώνεται το υλικό στην πλευρά της καθόδου με συνέπεια την εμφάνιση ζημιάς στο κύκλωμα και πιθανότητα δημιουργίας ανοικτού κυκλώματος. Η αιτία της βλάβης του υλικού είναι τα κενά και οι ρωγμές, που μπορεί να αυξήσουν την αντίσταση ενώ μειώνεται η διατομή. Παρόλο που η αύξηση αυτή μπορεί να καταλήξει τελικά σε αστοχία του τρανζίστορ, η αύξηση της τοπικής πυκνότητας ρεύματος και θερμοκρασίας είναι ικανή να προκαλέσει θερμική απώλεια και καταστροφική αστοχία, όπως διακοπή ανοικτού κυκλώματος, ενώ ταυτόχρονα υπάρχει η περίπτωση δημιουργίας συνθηκών βραχυκυκλώματος εξαιτίας της υπερβολικής συσσώρευσης υλικού στην άνοδο. Όταν το οξείδιο σπάει, εξαιτίας του υπερβολικού υλικού που καταλήγει στην δημιουργία λοφίσκων, ο αγωγός ενδέχεται να έρθει σε επαφή με άλλους αγωγούς του τρανζίστορ.

Η ηλεκτρομετανάστευση εξακολουθεί να αποτελεί σημαντικό πρόβλημα αξιοπιστίας ακόμα και σήμερα. Είναι πιθανό να εμφανιστεί σε οποιοδήποτε μέταλλο υπό συνθήκες υψηλής πυκνότητας ρεύματος, κυρίως σε μεταλλικές διασυνδέσεις λεπτής μεμβράνης, μεταξύ των χαρακτηριστικών του τρανζίστορ, των επαφών και των ρωγμών του στρώματος οξειδίου[BGL+06]. Οι μεταλλικές διασυνδέσεις στα ολοκληρωμένα κυκλώματα έχουν πλάτος μόνο μερικές εκατοντάδες έως δέκα νανόμετρα, θέτοντας έτσι την μελέτη του φαινομένου αυτού πολύ σημαντική.

Η εμφάνιση της γίνεται αισθητή κατά την λειτουργία του κυκλώματος στο πεδίο της εφαρμογής με αποτέλεσμα την καθυστέρηση διάδοσης των σημάτων του κυκλώματος. Με την χρήση διάφορων τεχνικών ανίχνευσης σφαλμάτων, όταν η εμφάνιση του φαινομένου γίνει αισθητή, μπορούν να εντοπιστούν πιθανές παραβιάσεις του χρονισμού των σημάτων έτσι ώστε να εντοπιστούν έγκαιρα πιθανές καθυστερήσεις διάδοσης και να χρησιμοποιηθούν οι κατάλληλοι μηχανισμοί επιδιόρθωσης.

2.3 Αστάθεια πόλωσης/θερμοκρασίας (Bias Temperature Instability - BTI)

Η αστάθεια πόλωσης/θερμοκρασίας, αφορά ένα σύνθετο ηλεκτροθερμικό φαινόμενο που επηρεάζει τα τρανζίστορ διαστάσεων νανομέτρων και προκαλεί μεταβολές στην τάση κατωφλίου στο χρόνο. Εμφανίζεται σε συνθήκες υψηλής τάσης πόλωσης της πύλης και σε υψηλές θερμοκρασίες. Η επίδραση αφορά pMOS και nMOS τρανζίστορ. Συγκεκριμένα, για τα τρανζίστορ pMOS, όταν η πόλωση πύλης-πηγής είναι αρνητική, ονομάζεται αρνητική αστάθεια πόλωσης/θερμοκρασίας (Negative Bias Temperature Instability - NBTI), ενώ για τα τρανζίστορ nMOS, όταν η πόλωση είναι θετική, ονομάζεται θετική αστάθεια πόλωσης/θερμοκρασίας (Positive Bias Temperature Instability - PBTI). Το φαινόμενο NBTI, αποτελούσε σοβαρό παράγοντα αξιοπιστίας σε σχέση με το PBTI, που είχε μικρή επίδραση στα τρανζίστορ. Σήμερα όμως, το PBTI μπορεί να συναγωνιστεί το NBTI, σε high-k νανομετρικές τεχνολογίες μεταλλικής-πύλης [SMG18],[NH03].

Το φαινόμενο BTI επηρεάζει την απόλυτη τιμή της τάσης κατωφλίου (αύξηση κατά απόλυτη τιμή) των τρανζίστορ με συνέπεια την μείωση του ρεύματος της υποδοχής. Εξαιτίας αυτής της αύξησης που προκαλείται από το στρες πόλωσης-θερμοκρασίας (bias-temperature stress) που δέχονται τα τρανζίστορ, εκδηλώνεται μείωση της αγωγιμότητας [SB03], [PRK09]. Η υποβάθμιση επηρεάζεται λογαριθμικά από το χρόνο, οπότε τα τρανζίστορ κατά την λειτουργία τους υποβαθμίζονται επίσης λογαριθμικά ως προς την αξιοπιστία τους [R+07], [KGPR08].

Negative Bias Temperature Instability– NBTI

Το NBTI είναι οπές παγιδευμένες στη διεπαφή του μονωτή πύλης SiO₂ και του υποστρώματος Si. Το NBTI αφορά τα τρανζίστορ p-MOS στα οποία οι οπές ενεργοποιούνται θερμικά και αποκτούν αρκετή ενέργεια για να αποσυνδέσουν τα ελαττώματα της διεπαφής του οξειδίου κοντά στην περιοχή της ελαφρά ντοπαρισμένης υποδοχής (Lightly Doped Drain - LDD). Οι περιοχές αυτές διαθέτουν υψηλότερη συγκέντρωση οπών κοντά στα όρια της πύλης. Η βλάβη NBTI αφορά τα τρανζίστορ pMOS που βρίσκονται υπό στρες εξαιτίας των αρνητικών τάσεων της πύλης-πηγής σε υψηλές θερμοκρασίες ενώ για τις θετικές τάσεις πύλης και τις αρνητικές τάσεις πύλης σε n-MOS, προσδιορίζεται ως ασήμαντη. Υπό την επίδραση του NBTI προκαλείται μείωση του ρεύματος κόρου της υποδοχής I_{Dsat} και της διαγωγιμότητας g_m , ενώ το απόλυτο ρεύμα διαρροής I_{off} και η τάση κατωφλίου V_{th} αυξάνονται.

Θερμοκρασίες μεταξύ 100-250 °C και ηλεκτρικά πεδία οξειδίου κάτω από 6 MV/cm, φανερώνουν κανονικές συνθήκες λειτουργίας για το NBTI. Για την κατώτατη τάση V_{th} και την επίπεδη ζώνη V_{FB} τάσης ενός MOSFET χρησιμοποιούνται οι τύποι:

$$V_{th} = V_{FB} - 2\phi_F - \frac{|Q_B|}{C_{ox}} \text{ και } V_{FB} = \phi_{Ms} - \frac{Q_f}{C_{ox}} - \frac{Q_{it}(\phi_s)}{C_{ox}}.$$

Η μετατόπιση της τάσης κατωφλίου επηρεάζεται από το υπάρχων φορτίο του οξειδίου (Q_f) και την εγκάρσια πυκνότητα φορτίου (Q_{it}). Η αρνητική μετατόπιση τάσης κατωφλίου προκαλείται από τις θετικές αυξήσεις αυτών των παραμέτρων, όπως περιγράφει η ακόλουθη σχέση:

$$\Delta V_{th} = -\frac{\Delta Q_{it}(\phi_s)}{C_{ox}} - \frac{\Delta Q_f}{C_{ox}}.$$

Υπό την επήρεια του NBTI, η τάση κατωφλίου μετακινείται κατά την αρνητική κατεύθυνση, επηρεάζοντας τις παγίδες διασύνδεσης ή τα σταθερά φορτία του οξειδίου. Οι παρακάτω σχέσεις προσδιορίζουν τυπικά την τρέχουσα κατάσταση του ρεύματος οδήγησης I_{Dsat} και της αγωγιμότητας g_m ενός MOSFET:

$$I_{Dsat} = \frac{W}{2L} \mu_{eff} C_{ox} (V_{gs} - V_{th})^2 \text{ και } g_m = \frac{W}{L} \mu_{eff} C_{ox} (V_{gs} - V_{th}).$$

Από αυτές τις εξισώσεις αποδεικνύεται ότι οι παράμετροι που υποβαθμίζουν τις παραμέτρους I_{Dsat} και g_m είναι η τάση κατωφλίου και η κινητικότητα των φορέων κίνησης. Η μείωση της κινητικότητας προκύπτει κυρίως από την δημιουργία παγίδων διεπαφής [BGL+06].

Positive Bias Temperature Instability- PBTI

Το PBTI εμφανίζεται όταν εφαρμόζεται θετική τάση πύλης-πηγής στο τρανζίστορ nMOS, η οποία το οδηγεί σε αγωγή κατάσταση. Η σημερινή χρήση των high-k μεταλλικών πυλών καθιστά το PBTI το ίδιο σημαντικό με το NBTI, αφού προκαλεί σχεδόν την ίδια υποβάθμιση της τάσης κατωφλίου V_{th} .

2.4 Έγχυση θερμών φορέων (Hot Carrier Injection – HCI)

Το ξεχωριστό αυτό φαινόμενο γήρανσης σχετίζεται με του θερμούς φορείς που κινούνται στο κανάλι των τρανζίστορ. Όταν το ρεύμα πηγής-υποδοχής που διαρρέει το κανάλι καταλήγει σε υψηλή ενέργεια πέρα από τη θερμοκρασία του πλέγματος, τότε οδηγεί στη δημιουργία θερμών φορέων. Επειδή κάποιοι από αυτούς τους θερμούς φορείς διαθέτουν

αρκετή ενέργεια για να εισέλθουν στο οξείδιο της πύλης, οδηγούν στην παραγωγή παγίδας φορτίου στη διεπαφή. Αυτό μπορεί να έχει σαν αποτέλεσμα αλλαγές στα χαρακτηριστικά απόδοσης του τρανζίστορ, όπως στην τάση κατωφλίου V_{th} , στην αγωγιμότητα g_m ή στο ρεύμα κορεσμού I_{Dsat} , οπότε και στην υποβάθμισή τους.

Το μήκος του καναλιού, το πάχος οξειδίου και η τάση λειτουργίας του τρανζίστορ είναι υπεύθυνα για τον ρυθμό έγχυσης θερμών φορέων. Η αύξηση της ευαισθησίας του τρανζίστορ σε φαινόμενα θερμών φορέων (HCI) συνεπάγεται αύξηση των πυκνοτήτων ρεύματος του τρανζίστορ [BGL+06].

Το φαινόμενο HCI επηρεάζει περισσότερο τα τρανζίστορ nMOS από ότι τα pMOS, αφού τα ηλεκτρόνια θεωρούνται θερμότερα από ότι οι οπές [WRK+07]. Όταν δε υπάρχει επίδραση του HCI για μεγάλο χρονικό διάστημα, οι διακοπτόμενες βλάβες καταλήγουν σε μόνιμες, ορίζοντας έτσι το φαινόμενο HCI ακόμα πιο κρίσιμο.

Κεφάλαιο 3.

Φαινόμενα γήρανσης στις στατικές μνήμες (SRAMs)

Στο παρόν κεφάλαιο μελετάται η επιρροή των φαινομένων γήρανσης στην λειτουργία της SRAM. Γίνεται αναφορά στην επίδραση της γήρανσης των τρανζίστορ στη λειτουργία του κελιού μνήμης και του αισθητήρα σήματος και στα χαρακτηριστικά της απόδοσης τους, ενώ παρουσιάζονται από τη βιβλιογραφία τεχνικές παρακολούθησης της γήρανσης για το κάθε μπλοκ ξεχωριστά.

3.1 Επίδραση φαινομένων γήρανσης στην λειτουργία της SRAM

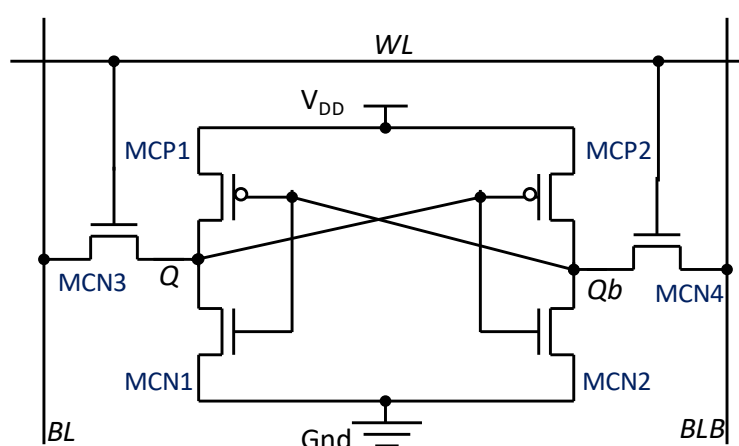
Μεγάλο μέρος της επιφάνειας των ολοκληρωμένων κυκλωμάτων καταλαμβάνεται από μνήμη SRAM, η οποία συμβάλει σημαντικά στις επιδόσεις του ολοκληρωμένου[ATK+17]. Για τον λόγο αυτό, η αξιοπιστία της μνήμης αποτελεί βασικό παράγοντα για την αξιόπιστη λειτουργία του κυκλώματος. Οι αυξημένες διακυμάνσεις της κατασκευαστικής διαδικασίας (process variations) που επηρεάζουν την απόδοση των τρανζίστορ πέρα των αναμενομένων επιπέδων, καθώς και οι μηχανισμοί γήρανσης όπως η διηλεκτρική κατάρρευση (TDDB)[BGL+06], απειλούν την αξιοπιστία της στατικής μνήμης. Η γήρανση που προκαλείται εξαιτίας του φαινομένου TDDB αφορά την υποβάθμιση του υλικού του οξειδίου εξαιτίας της εφαρμογής του ηλεκτρικού πεδίου στο επίπεδο του οξειδίου της πύλης. Το αποτέλεσμα αυτού είναι η δημιουργία ενός αγωγίμου μονοπατιού μεταξύ της πύλης και του καναλιού του τρανζίστορ.

Μερικά σημαντικά χαρακτηριστικά απόδοσης των SRAMs που επηρεάζονται από τα φαινόμενα της γήρανσης είναι η ταχύτητα, οι τάσεις λειτουργίας (operating voltages), τα περιθώρια θορύβου (noise margins) των κελιών μνήμης, η τάση μετατόπισης εισόδου (input offset voltage) του αισθητήρα σήματος και οι καθυστερήσεις αποκωδικοποίησης (decoding delays) και γενικότερα οι χρόνοι ανάγνωσης και εγγραφής. Οι αστοχίες που

προκαλούνται από την αυξημένη υποβάθμιση της απόδοσης, λόγω γήρανσης, καθιστούν την αξιοπιστία ως ένα σημαντικό θέμα.

3.1.1 Επίδραση γήρανσης στην λειτουργία του κελιού της SRAM

Η SRAM περιέχει μια σειρά κελιών που αποτελούνται από τέσσερα ή έξι τρανζίστορ. Το πιο συνηθισμένο από αυτά είναι αυτό που περιλαμβάνει έξι τρανζίστορ, όπως φαίνεται στην Εικόνα 3.1.



Εικόνα 3.1. Τυπική τοπολογία της κελιού μνήμης 6 τρανζίστορ

Κατά την λειτουργία της μνήμης τα τρανζίστορ πρόσβασης (MCN3 και MCN4) (βλ. Εικόνα 3.1) είναι κυρίως απενεργοποιημένα οπότε δεν αναμένεται η παρουσία σημαντικής σχετιζόμενης με BTI γήρανσης σε αυτά [BA00].

Αναφορικά με τον μηχανισμό BTI, και σε ότι αφορά τα ζευγάρια της σταυρωτής σύζευξης, όταν ένα τρανζίστορ pMOS (π.χ. MCP1) βρίσκεται υπό στρες ($Qb = \text{low}$) τότε το αντίστοιχο nMOS τρανζίστορ (MCN2) θα βρίσκεται της υπό στρες ($Q = \text{high}$), ενώ τα τρανζίστορ MCP2 και MCN1 θα βρίσκονται σε κατάσταση ανάρρωσης. Η ασύμμετρη γήρανση που παρουσιάζεται στα τρανζίστορ ενός κελιού, όταν αυτό δεν μεταβάλλει την κατάστασή μνήμης, οδηγεί στην απόκλιση του κελιού μνήμης από την ισορροπία. Ακόμη και όταν ένα κελί εναλλάσσει την κατάσταση του στατιστικά δημιουργούνται προβλήματα ισορροπίας.

Τα τρανζίστορ MCN3 και MCN4 εξαρτώνται από το σήμα γραμμής λέξεων (WL) και χρησιμοποιούνται για διαδρομές φόρτισης/εκφόρτισης ανάμεσα της κόμβους Q και Qb και της bit-lines BL και BLB. Ο συντελεστής απολαβής ρεύματος (β) για οποιοδήποτε MOS τρανζίστορ ενός κελιού εκφράζεται από την σχέση:

$$\beta = \mu_{eff} C_{ox} W / L,$$

όπου μ_{eff} είναι η ενεργή κινητικότητα, C_{ox} είναι το πάχος του οξειδίου και L είναι το μήκος του καναλιού MOS. Μια ακόμα σημαντική παράμετρος είναι ο λόγος του κελιού r , ο οποίος ισούται με τον λόγο ανάμεσα στο β του τρανζίστορ προς τη γείωση (π.χ. MCN2) και στο β του τρανζίστορ πρόσβασης (π.χ. MCN4). Δηλαδή, $r = \beta_d / \beta_a$.

Το κελί μνήμης επηρεάζεται σημαντικά από την γήρανση με αποτέλεσμα να επιδρά στα χαρακτηριστικά της απόδοσης της μνήμης. Οι επιδράσεις αυτές αφορούν τη μείωση του στατικού περιθωρίου θορύβου (Static Noise Margin – SNM), την αποτυχία σταθερότητας ανάγνωσης (read stability failure) και την αποτυχία του χρόνου πρόσβασης (access time failure).

Το στατικό περιθώριο θορύβου αφορά το ελάχιστο επίπεδο τάσης θορύβου το οποίο είναι ικανό να αναστρέψει τη λειτουργία της κελιού μνήμης. Η αποτυχία σταθερότητας ανάγνωσης ορίζεται ως η πιθανότητα της SRAM να αντιστραφεί η κατάσταση της κελιού της SRAM με την ενεργοποίηση της WL κατά την λειτουργία ανάγνωσης και τέλος ο χρόνος πρόσβασης είναι το διάστημα από την ενεργοποίηση της WL μέχρι την ανάπτυξη συγκεκριμένης διαφοράς διαφορικής τάσης μεταξύ των bit-lines [KH10].

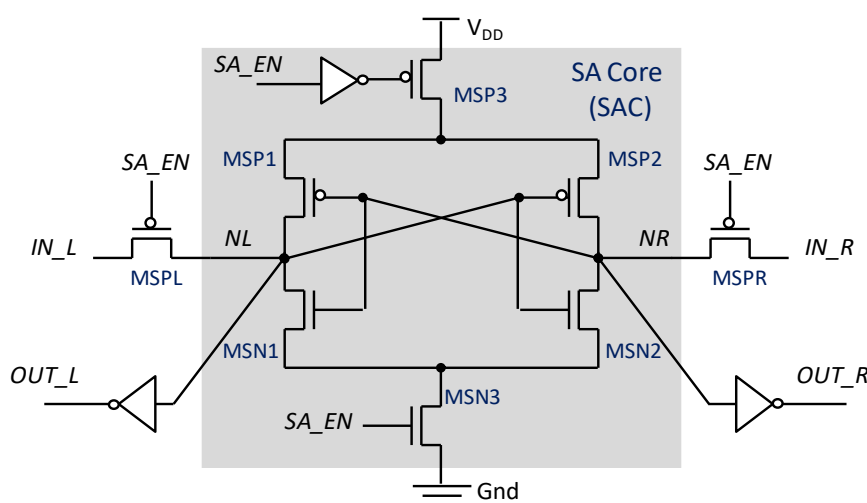
Κατά συνέπεια, η αξιόπιστη λειτουργία της SRAM επηρεάζεται από αστοχίες που προκαλούνται από την αλλοίωση των χαρακτηριστικών απόδοσης της κελιού μνήμης.

3.1.2 Επίδραση γήρανσης στην λειτουργία του αισθητήρα σήματος της SRAM

Η γήρανση οδηγεί στην υποβάθμιση της καθυστέρησης ανάγνωσης (sensing delay) αλλά και σε αύξηση της τάσης μετατόπισης εισόδου (input offset voltage) του αισθητήρα σήματος [KTA+17][ATK+17][KTA+17]. Η καθυστέρηση ανάγνωσης αφορά την απόδοση της ταχύτητας του αισθητήρα σήματος (χρόνος απόκρισης ανάγνωσης), η οποία υποβαθμίζεται. Η τάση μετατόπισης εισόδου είναι η διαφορική τάση εισόδου (differential input voltage) που καταλήγει σε διαφορική τάση εξόδου ίση με μηδέν. Ζητούμενο είναι η τάση μετατόπισης εισόδου να είναι μηδέν. Για τιμές της τάσης μετατόπισης εισόδου οι οποίες δεν είναι μηδέν, υπάρχει αρνητική επίδραση λόγω της αύξησης της ελάχιστης διαφοράς τάσης της bit-line που απαιτείται για μια επιτυχημένη λειτουργία ανάγνωσης. Ένας ιδανικός ενισχυτής χαρακτηρίζεται από μηδενική τάση μετατόπισης εισόδου, αφού τα αντίστοιχα τρανζίστορ ταιριάζουν απόλυτα. Όμως στην πραγματικότητα υπάρχουν μη ταιριάσματα των τρανζίστορ, εξαιτίας των διακυμάνσεων

της κατασκευαστικής διαδικασίας (process variations), ενώ ταυτόχρονα παρατηρούνται διάφορα επίπεδα τάσης μετατόπισης εισόδου ακόμα και σε «φρέσκους» αισθητήρες σήματος, οι οποίοι μπορεί σταδιακά να υποστούν αλλαγές εξαιτίας της γήρανσης [KTA+17], [ATH+16], [KHP17].

Υπό συνθήκες κοινού και τυπικού φόρτου εργασίας της μνήμης, αναφορικά με το BTI, ο αισθητήρας σήματος θα αποκλίνει συνεχώς, όπως και το κελί μνήμης, εξαιτίας της γήρανσης που προκαλεί η ασύμμετρη υποβάθμιση στα τρανζίστορ [KTA+17]. Υπό αυτές τις συνθήκες, όταν ένα ζευγάρι τρανζίστορ (π.χ. MSP1 και MSN2) (Εικόνα 3.2) βρίσκεται υπό διαδοχικό στρες, και συνεπώς το συμπληρωματικό ζευγάρι (MSP2 και MSN1) βρίσκεται σε κατάσταση ανάκτησης, δημιουργείται ασύμμετρη γήρανση. Εξαιτίας αυτών, η απόδοση του πρώτου ζεύγους τρανζίστορ υποβαθμίζεται συνεχώς, έτσι ώστε το μη ταίριασμα μεταξύ των τρανζίστορ MSP1-MSP2 και MSN1-MSN2 να αυξάνεται, ενώ το ίδιο ισχύει και για την τάση μετατόπισης εισόδου του αισθητήρα σήματος. Έτσι, κατά την λειτουργία της ανάγνωσης εμφανίζονται αστοχίες. Σκοπός είναι η εξάλειψη της παρουσίας αυτών των αστοχιών, έτσι ώστε να εξασφαλιστεί η αξιόπιστη λειτουργία της στατικής μνήμης.



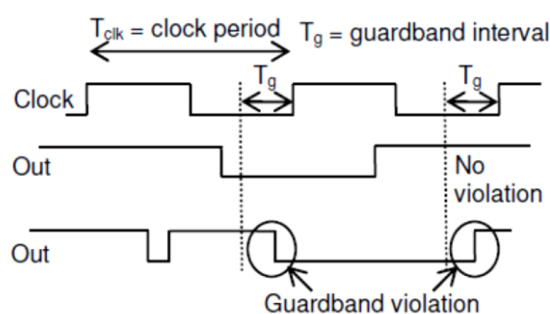
Εικόνα 3.2. Εσωτερικό σχέδιο του αισθητήρα σήματος (SA) του κυκλώματος

3.2 Παρακολούθηση γήρανσης της SRAMs

Τα φαινόμενα BTI και HCI επηρεάζουν την ταχύτητα της μνήμης και τα περιθώρια θορύβου, με αποτέλεσμα να επηρεάζεται τελικά η συνολική απόδοση του κελιού μνήμης [AM16], [ATK+17], [PMPW08], [CSS+11], [CKR+04], [KAR07], [QLB07], [LCWM16], [TGLN11], [KTA+17], [KAT+17], [DST18]. Επίσης, έχει αποδειχθεί ότι η γήρανση των τρανζίστορ στους αισθητήρες σήματος επιφέρει υποβάθμιση στην απόδοση της

ταχύτητας [ATK+17] και αύξηση στην τάση μετατόπισης εισόδου [KTA+17], [KAT+17]. Η υποβάθμιση της απόδοσης των κελιών και των αισθητήρων σήματος οδηγούν σε αστοχίες κατά την λειτουργία της μνήμης. Για τον λόγο αυτό, πρέπει να αναπτυχθούν τεχνικές παρακολούθησης της γήρανσης για τα μπλοκ αυτά, έτσι ώστε να προβλέπονται οι αστοχίες που είναι πιθανό να συμβούν κατά την λειτουργία της μνήμης με σκοπό την κατάλληλη επιδιόρθωση του κυκλώματος για την εξασφάλιση της ανοχής στη γήρανση και συνεπώς την αξιόπιστη λειτουργία του κυκλώματος.

Όσον αφορά τους μηχανισμούς γήρανσης BTI και HCI, κατά την σχεδίαση των κυκλωμάτων χρησιμοποιούνται μέτρα προστασίας (guardbands), με την αύξηση των χρονικών περιθωρίων στην περίοδο του σήματος ρολογιού που χρησιμοποιείται (Εικόνα 3.3), με σκοπό την αντιμετώπιση των αστοχιών της μνήμης εξαιτίας της γήρανσης και την εξασφάλιση της σωστής λειτουργίας της μνήμης. Βασικό μειονέκτημα αποτελεί το γεγονός ότι, εξαιτίας των περιθωρίων που προστίθενται στην περίοδο τους σήματος ρολογιού, το κύκλωμα λειτουργεί σε χαμηλότερη συχνότητα από αυτή της λειτουργίας στην χειρότερη περίπτωση. Αυτές οι τεχνικές υποβαθμίζουν την απόδοση του κυκλώματος, αφού επηρεάζουν την ταχύτητα του.



Εικόνα 3.3. Λογική διαστήματος προστατευτικής ζώνης

Έχουν παρουσιαστεί διάφορες εναλλακτικές τεχνικές σχετικά με την παρακολούθηση της υποβάθμισης της απόδοσης εξαιτίας της γήρανσης. Οι τεχνικές αυτές όμως δεν είναι πλήρως αποδοτικές, καθώς δεν είναι εύκολος ο εντοπισμός των ελαττωματικών μερών, με συνέπεια την αδυναμία της επιδιόρθωσης τους, ή απαιτούν πολλά επιπλέον κυκλώματα, που αυξάνουν το κόστος σε επιφάνεια πυριτίου και την πολυπλοκότητα του σχεδιασμού.

Το φαινόμενο NBTI στα p-MOSFET και το φαινόμενο TDDB στο n-MOSFET αποτελούν τα πιο κρίσιμα ζητήματα αξιοπιστίας. Το TDDB στο nFET φαίνεται να έχει βελτιώσει τον παράγοντα επιτάχυνσης τάσης συγκριτικά με το pFET κάτω από δεδομένα χαμηλής

τάσης. Αυτό συμβαίνει εξαιτίας της αλλαγής του μηχανισμού σήραγγας (tunneling mechanism), από Fowler-Nordheim (FN) σε Direct. Παρόλα αυτά, ο μέσος χρόνος παρακολούθησης της κατάρρευσης (breakdown – BD) σε αντίστροφη κατάσταση (αντιστροφή) για το nFET είναι πολύ μικρότερος από ότι για το pFET, διατηρώντας έτσι το nFET ως περιοριστικό παράγοντα αξιοπιστίας για το TDDDB. Λόγω της χρήσης τρανζίστορ στα κελία μνήμης SRAM υπάρχουν διάφοροι παράγοντες (όπως η διακύμανση στη χρονική στιγμή μηδέν (Time-zero variability) εξαιτίας π.χ. του φαινομένου της τυχαιότητας στην κατανομή των προσμίξεων στο κανάλι (Random Dopant Fluctuation - RDF), που επηρεάζει σημαντικά τη λειτουργία εξαιτίας της επίδρασής της στις παραμέτρους της απόδοσης των SRAM [π.χ. Read-SNM, Hold-SNM και χρόνος αναστροφής (Flip Time) για το γράψιμο του κελιού]. Οι σημαντικές στατιστικές διακυμάνσεις του φαινομένου TDDDB και της επιρροής του στις παραμέτρους για μεγάλο αριθμό κυττάρων μελετώνται στο [KHR14]. Όμως, η προσπάθεια αυτή δεν είναι τόσο ρεαλιστική αφού χρησιμοποιούνται πολύ υψηλές τιμές τάσης στρες (high stress voltage values) σε σύγκριση με τις κανονικές συνθήκες λειτουργίας του κυκλώματος, με συνέπεια την πιθανή κατάληξη σε λανθασμένα συμπεράσματα. Μια ανάλυση των πειραμάτων της επίδρασης του NBTI και του TDDDB σχετικά με την μετακίνηση της ελάχιστης τάσης λειτουργίας V_{min} της προσωρινής μνήμης SRAM και της CPU, παρουσιάζεται στις εργασίες [HML06],[LMA+06], [LMM+07].

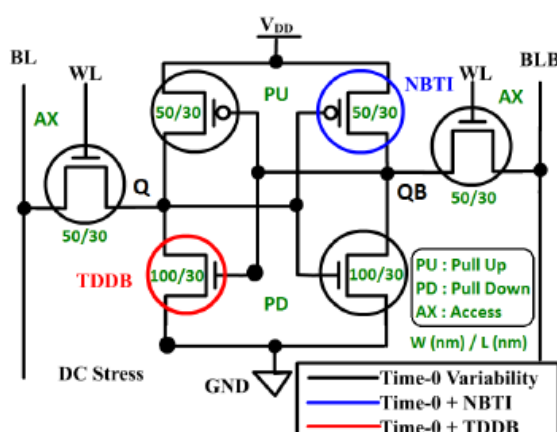
Για την μελέτη του TDDDB σε ένα συγκεκριμένο χρονικό περιθώριο εφαρμόζεται τάση στρες (stress voltage) υψηλότερη από την ονομαστική τάση τροφοδοσίας. Υπάρχουν αρκετά μοντέλα για την πλήρη απεικόνιση της διάρκειας ζωής του κυκλώματος υπό συνθήκες λειτουργίας. Επίσης, από την εμφάνιση του φαινομένου TDDDB καταγράφεται ένα μεγάλο χρονικό διάστημα ζωής ξεκινώντας από μερικά δευτερόλεπτα έως και δεκάδες ή εκατοντάδες χρόνια για ορισμένα τρανζίστορ υπό κανονικές συνθήκες λειτουργίας. Για αυτό το χρονικό διάστημα, είναι απαραίτητο να συμπεριληφθεί το κλάσμα αποτυχίας (failure fraction) κατάρρευσης (BD) υπό τη δυναμική λειτουργία έτσι ώστε να αξιολογηθεί το κύκλωμα ή η διάρκεια ζωής του κυκλώματος. Το κλάσμα αποτυχίας προσδιορίζεται κάθε στιγμή από τα προβλεπόμενα δεδομένα $T_{FAIL} = T_{BD} + T_{PBD}$, όπου T_{BD} αφορά το μέσο χρόνο στο πρώτο BD (μόλις δημιουργηθεί μια διαδρομή διήθησης). Στις εργασίες μοντελοποίησης αξιοπιστίας κυκλώματος που αναφέρθηκαν, οι συγγραφείς βασίστηκαν στον μηχανισμό ήπιου BD για την ανάπτυξη της μεθοδολογίας, η οποία όμως δεν υφίσταται για περιπτώσεις πολύ λεπτών διηλεκτρικών σε χαμηλές τάσεις που χρησιμοποιούνται σήμερα. Η ενσωμάτωση της έννοιας του προοδευτικού

(progressive) BD στην διαδικασία για την πρόβλεψη της αστοχίας SRAM είναι πολύτιμη, καθώς μπορεί να παρατείνει σημαντικά τη διάρκεια ζωής αυτών των τρανζίστορ.

Στην εργασία [MM16] προτείνεται η SPICE εκδοχή προσομοιώσεων, η οποία είναι ικανή να υλοποιεί τις στατιστικές αναλύσεις του TDDB, κάτω από τους παράγοντες της μεταβλητής NBTI και της διακύμανσης τη χρονική στιγμή μηδέν (time-zero variability) με την αξιοποίηση εμπορικών προσομοιωτών κυκλωμάτων όπως το HSPICE. Η χρήση αυτών των στατιστικών πραγματοποιείται λαμβάνοντας υπόψη τα TDDB δεδομένα χαμηλής τάσης στρες (low voltage stress TDDB data), που προκύπτουν κατά την λειτουργία, και την ιδέα της προοδευτικής κατάρρευσης (progressive breakdown - BD), η οποία καταλήγει στον πεπερασμένο ρυθμό αύξησης του ρεύματος που επικρατεί στα λεπτά οξείδια σε χαμηλές τάσεις. Η κατανομή ρεύματος στο PBD χρησιμοποιείται στο netlist του SPICE γύρω από την μέση τιμή που λαμβάνεται από τα πειραματικά δεδομένα ρεύματος-τάσης PBD (PBD I-V). Τέλος, γίνεται σύγκριση των παραμέτρων απόδοσης του κελιού μνήμης (όπως RSNM, HSNM και Flip Time για γράψιμο του 1 και γράψιμο του 0) της επίπεδης τεχνολογίας (planar technology) με αυτούς της FinFET τεχνολογίας υπό την παρουσία όλων των μηχανισμών διακύμανσης και αξιοπιστίας [MM16].

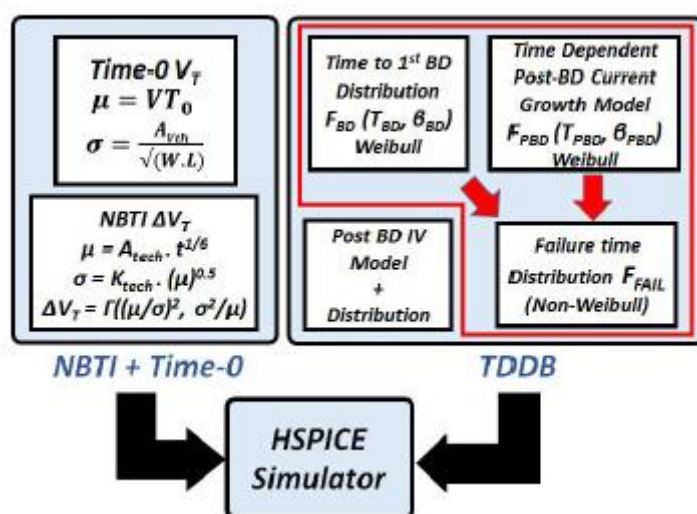
3.2.1 Τεχνικές παρακολούθησης της γήρανσης στα κελία μνήμης των SRAMs

Ένα κελί μνήμης με το δεξί Pull-Up (PU) pFET και τα αριστερά Pull-Down (PD) nFETs υπό την επίδραση του NBTI και του TDDB, αντίστοιχα, κάτω από συνθήκες DC στρες, απεικονίζεται στην Εικόνα 3.3.



Εικόνα 3.3. Σχηματικό κελιού μνήμης με 6 τρανζίστορ επηρεασμένο από NBTI και TDDB υπό στρες dc. Η διακύμανση χρόνου-0 είναι παρόν σε όλα τα τρανζίστορ

Επίσης, στην Εικόνα 3.4. παρουσιάζεται ένα πλαίσιο προσομοίωσης Monte Carlo (MC) υπό συνθήκες NBTI και TDDDB ενώ ταυτόχρονα παρειρισκεται και η διακύμανση χρόνου-0 (time-0 variability). Το πλαίσιο αυτό χρησιμοποιείται για την αξιολόγηση των παραμέτρων της SRAM μεγάλου αριθμού κελιών. Για την πραγματοποίηση των προσομοιώσεων έγινε χρήση του μοντέλου predictive technology model (PTM) modelcard 22 nm υψηλής απόδοσης (high-performance – HP) βασισμένο σε BSIM4 (BSIM για μοντέλο IGFET μικρού καναλιού Berkeley) και του PTM HP 20 nm βασισμένο σε BSIMCMG (για τρανζίστορ πολλαπλών κοινών πυλών), για επίπεδα τρανζίστορ (planar devices) και τρανζίστορ FinFET, αντίστοιχα.



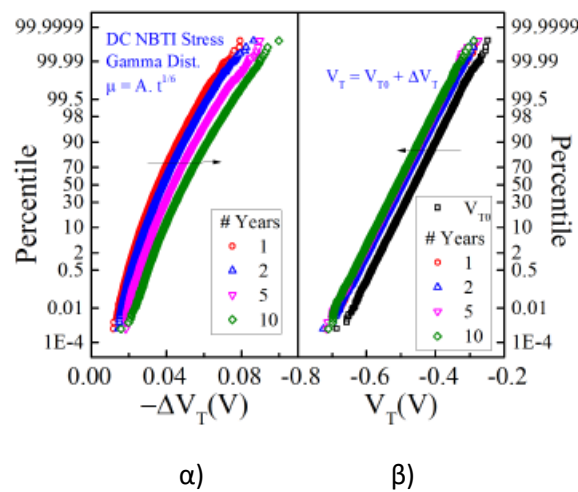
Εικόνα 3.4. Σχηματικό του πλαισίου της προσομοίωσης MC HSPICE για το NBTI+TDDDB. Το TDDDB περιλαμβάνει τα στατιστικά BD και την εκτίμηση ρεύματος PBD.

Time-0 variability and NBTI variability

Με δεδομένο ότι τα μεγέθη των τρανζίστορ μικραίνουν, η διακύμανση της τάσης κατωφλίου (V_t) αυξάνεται συνεχώς και είναι ικανή να μεταβάλλει σημαντικά τις επιδόσεις του κυκλώματος. Μέσω πειραμάτων και προσομοιώσεων έχει αποδειχθεί ότι η διακύμανση του V_t (σ_{V_t}), εξ αιτίας διαφόρων παραγόντων (όπως RDF, LER, MGG), ακολουθεί την κανονική κατανομή. Η σύνδεση του σ_{V_t} με την επιφάνεια του τρανζίστορ δίδεται από τη σχέση $\sigma_{V_t} = A_{V_{th}} / \sqrt{WL}$, όπου $A_{V_{th}}$ είναι ο συντελεστής Pelgrom. Τα μεγέθη των τρανζίστορ απεικονίζονται στην Εικόνα 3.3. Η τιμή του $A_{V_{th}}$ που χρησιμοποιείται στην αναφορά είναι 1.6 mV·μm για τα επίπεδης τεχνολογίας τρανζίστορ και τα τρανζίστορ FinFET. Αυτό σχετίζεται με τη συνολική διακύμανση σ_{V_t} με τον ταυτόχρονο συνυπολογισμό όλων τις επιδράσεων (RDF, LER, MGG κτλ.) στον χρόνο μηδέν (time-0). Εξαιτίας της εξάρτησης του $A_{V_{th}}$ από την τεχνολογία κατασκευής (π.χ. μεταλλικός τύπος πύλης, συγκέντρωση προσμίξεων υποστρώματος) τα μέρη που

συνθέτουν τη διακύμανση σ_{V_t} ενδεχόμενα μπορούν να είναι διαφορετικά σε κάθε τεχνολογία.

Από διάφορα πειράματα προκύπτει ότι η μέση διακύμανση της τάσης κατωφλίου V_t (ΔV_T) για το NBTI υπό στρες dc ακολουθεί το νόμο $t^{1/6}$ ως προς το χρόνο. Το κριτήριο αστοχίας για το μέσο $\Delta V_T = 50$ mV μετريέται μετά το πέρασμα/τέλος των 10 χρόνων. Όπως προκύπτει από την Εικόνα 3.4, το ΔV_T εξαιτίας του NBTI ακολουθεί την κατανομή Gamma [NVGM14]. Οι μεταβλητές ΔV_T και V_{T0} για όλα τα FETs βαθμονομούνται με [AHR+13] και [PAH+14]. Στην Εικόνα 3.5 απεικονίζονται οι διακυμάνσεις ΔV_t και V_t σε διαφορετικούς χρόνους. Το συνολικό V_t ($V_{T0} + \Delta V_T$) έχει Gaussian κατανομή.



Εικόνα 3.5. α) Κατανομή Gamma για το ΔV_T του NBTI με κριτήριο αποτυχίας τα 50mV στο τέλος των 10 χρόνων και β) συνολικά το V_t έχει Gaussian φύση

Μοντελοποίηση SPICE του ρεύματος PBD σε κελιά μνήμης SRAM

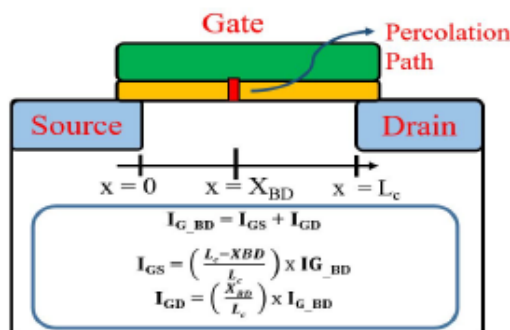
Το netlist του SPICE χρησιμοποιήθηκε για διασπασμένα (broken-down) κελιά για την υλοποίηση του ρεύματος PCB ως πηγή ρεύματος ελεγχόμενης τάσης, μεταξύ της πύλης προς την πηγή και της πύλης προς την υποδοχή. Γίνεται διαίρεση του ρεύματος, μεταξύ της πηγής και της υποδοχής, με ένα κλάσμα ανάλογα με τη θέση της διαδρομής διήθησης (percolation path) για μια συγκεκριμένη τιμή διαρροής. Στην Εικόνα 3.6 απεικονίζεται η διαδρομή διήθησης η οποία υποθέτουμε ότι δημιουργείται σε όλο το κανάλι με ομοιόμορφη πυκνότητα πιθανότητας

$$I_{G(BD)} = I_{GS} + I_{GD}$$

$$I_{GD} = \left(\frac{L_C - X_{BD}}{L_C} \right) I_{G(BD)}$$

$$I_{GD} = \left(\frac{X_{BD}}{L_C} \right) I_{G(BD)}$$

όπου το X_{BD} είναι η θέση της διαδρομής διήθησης, το L_c είναι το μήκος του καναλιού, το $I_{G(BD)}$ είναι το συνολικό ρεύμα διαρροής και τα I_{GS} και I_{GD} είναι τα κλάσματα πηγής και υποδοχής του $I_{G(BD)}$. Τέλος, υλοποιήθηκαν 100k προσομοιώσεις Monte Carlo για την αξιολόγηση του κυκλώματος SRAM υπό συνθήκες NBTI και TDDDB [MM16].

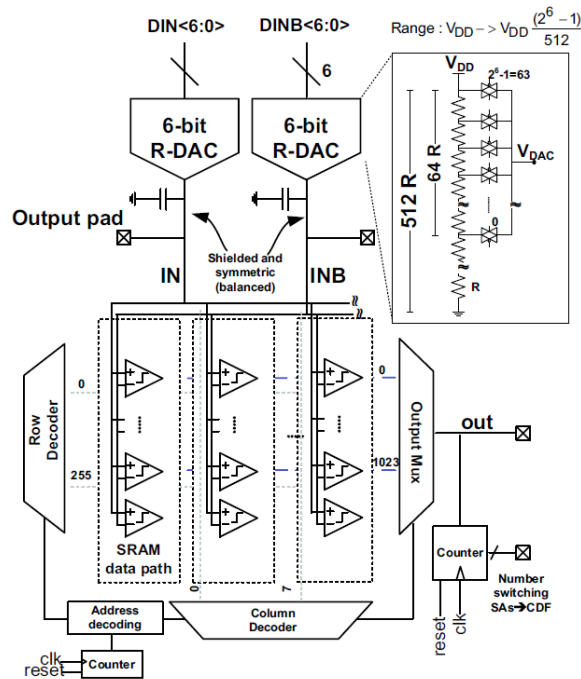


Εικόνα 3.6. Σχηματικό από την υλοποίηση του PBD ρεύματος στο SPICE

3.2.2 Τεχνικές παρακολούθησης της γήρανσης στους αισθητήρες σήματος των SRAMs

Η παρακολούθηση της γήρανσης των αισθητήρων σήματος των στατικών μνημών δεν έχει μελετηθεί σε βάθος, όπως για τα κελιά μνήμης. Στην εργασία [RCS+11] περιγράφεται μια τεχνική που αφορά τον χαρακτηρισμό της τάσης μετατόπισης εισόδου του αισθητήρα σήματος, για την πρόβλεψη της απόδοσης.

Σύμφωνα με την παραπάνω εργασία, δύο ψηφιοαναλογικοί μετατροπείς των 6-bit, (Resistor Digital to Analog Converter – R-DACs), χρησιμοποιούνται για την οδήγηση των εισόδων των αισθητήρων σήματος σε ένα μπλοκ μνήμης (memory array) (Εικόνα 3.3). Οι μετατροπείς αυτοί (R-DAC) δημιουργούν ποικιλία διαφορών τάσεων της bit-line, που χρησιμοποιούνται για τον υπολογισμό της τάσης μετατόπισης εισόδου. Ένας μετρητής χρησιμοποιείται για τον έλεγχο των αισθητήρων σήματος και ένας δεύτερος μετρητής χρησιμοποιείται για την τελική αξιολόγηση της απόδοσης. Τόσο ο φόρτος σχεδίασης που σχετίζεται με αυτήν την τεχνική χαρακτηρισμού όσο και το κόστος της περιοχής πυριτίου είναι αρκετά υψηλά.



Εικόνα 3.3. Υλοποίηση της παρακολούθησης της μετατόπισης εισόδου για την υποστήριξη της πρόβλεψης απόδοσης της SRAM στο [RCS+11]

Μια πρόταση, που αφορά το φαινόμενο BTI, είναι η χρήση ενός αισθητήρα απόδοσης για τον εντοπισμό της γήρανσης στα κελιά μνήμης και τους αισθητήρες σήματος [SSC+16]. Όμως, στην συγκεκριμένη περίπτωση, η επίδραση της γήρανσης στην τάση μετατόπισης εισόδου (input offset voltage) του αισθητήρα σήματος δεν λαμβάνεται υπόψη. Προτείνεται, επίσης, η χρήση του αισθητήρα σήματος εναλλαγής εισόδου με σκοπό τον ισορροπημένο φόρτο εργασίας και την μειωμένη υποβάθμιση των τρανζίστορ, έτσι ώστε να μειωθεί η επίδραση της γήρανσης του BTI φαινομένου στον αισθητήρα σήματος [KTA+17]. Τα αποτελέσματα γήρανσης BTI μπορούν να αμβλυνθούν αλλά δεν μπορούν να εξαλειφθούν, εξαιτίας της στατικής φύσης των λύσεων που αναφέρθηκαν. Από όσα αναφέρθηκαν, προκύπτει ότι η πρόβλεψη της γήρανσης και η επισκευή του κυκλώματος είναι απαραίτητα για την εξασφάλιση της μακροπρόθεσμης και αξιόπιστης λειτουργίας της μνήμης.

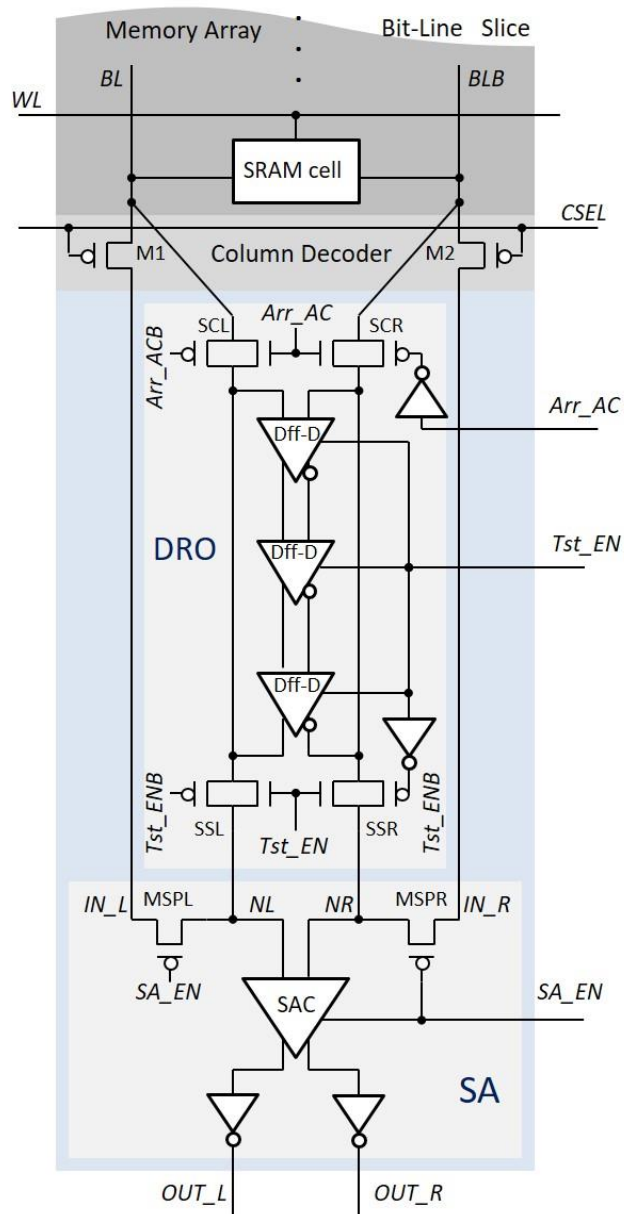
Κεφάλαιο 4.

Ενοποιημένη προσέγγιση κυκλώματος παρακολούθησης γήρανσης για τα κελιά μνήμης και τους αισθητήρες σήματος των SRAMs

Στο παρόν κεφάλαιο, παρουσιάζεται τεχνική για την από κοινού παρακολούθηση της γήρανσης στα κελιά μνήμης και της αισθητήρες σήματος των μνημών SRAM. Όπως έχει αναφερθεί, τόσο τα κελιά μνήμης όσο και οι αισθητήρες σήματος, επηρεάζονται από την γήρανση με αποτέλεσμα την υποβάθμιση των επιδόσεων της στατικής μνήμης. Η προτεινόμενη τεχνική βασίζεται στην χρήση της ταλαντωτή δακτυλίου όπου ο κύκλος λειτουργίας του σήματος στην έξοδό του αξιοποιείται ως ένδειξη για την γήρανση των τρανζίστορ των υπό μελέτη κυκλωμάτων.

4.1 Το κύκλωμα παρακολούθησης

Το κύκλωμα μιας SRAM, με το κελί μνήμης και τον αισθητήρα σήματος, που χρησιμοποιήθηκε για την παρακολούθηση της γήρανσης υπό το φαινόμενο TDDb, για το τμήμα μιας bit-line, απεικονίζεται στην Εικόνα 4.1. Περιλαμβάνει, επιπρόσθετα, έναν διαφορικό ταλαντωτή δακτυλίου (DRO). Ο ταλαντωτής περιλαμβάνεται σε κάθε bit-line της μνήμης με σκοπό να οδηγεί τον αισθητήρα σήματος ή το κελί μνήμης όταν αυτό είναι ενεργοποιημένο σε λειτουργία παρακολούθησης. Με την παρατήρηση του κύκλου λειτουργίας του σήματος εξόδου του ταλαντωτή επιτυγχάνεται η ανίχνευση της γήρανσης. Τα αποτελέσματα προσομοιώσεων έδειξαν ότι ο κύκλος λειτουργίας του ταλαντωτή επηρεάζεται από το φαινόμενο της γήρανσης, όπως θα παρουσιαστεί στο επόμενο κεφάλαιο.



Εικόνα 4.1. Κύκλωμα μνήμης SRAM

Ο ταλαντωτής βρίσκεται στην περιοχή του αισθητήρα σήματος, περιέχει τρία τριών-καταστάσεων διαφορικά μπλοκ καθυστέρησης (Dff-D cells). Ένα από αυτά τα μπλοκ είναι υπεύθυνο για την οδήγηση των bit-lines (BL – BLB). Κατά την κανονική λειτουργία ανάγνωσης στην SRAM, το σήμα αποκωδικοποιητή στήλης CSEL τίθεται στη χαμηλή κατάσταση (CSEL = low), έτσι ώστε με την ενεργοποίηση των τρανζίστορ M1 και M2 (για της bit-line BL και BLB αντίστοιχα) να επιτρέπεται η πρόσβαση του αισθητήρα σήματος στα μπλοκ του κελιού. Κατά την διάρκεια παρακολούθησης το σήμα CSEL παραμένει πάντα ανενεργό.

Ενεργοποιώντας το σήμα Tst_EN (Tst_EN = high), ενεργοποιούνται τα κελία Dff-D του ταλαντωτή για παρακολούθηση του κυκλώματος παράγοντας μια ταλάντωση, ενώ για κανονική λειτουργία του κυκλώματος το σήμα Tst_EN παραμένει ανενεργό (Tst_EN = low) και οι έξοδοι των κελιών Dff-D είναι σε κατάσταση «αιώρησης». Με την ενεργοποίηση του ταλαντωτή προκαλείται οδήγηση των εσωτερικών κόμβων NL και NR του πυρήνα του αισθητήρα σήματος (SAC) μέσω των διακοπών SSL και SSR ή των bit-lines BL και BLB του αντίστοιχου τμήματος bit-line μέσω των διακοπών SCL και SCR. Για την ενεργοποίηση των διακοπών SSL και SSR χρησιμοποιείται το σήμα Tst_EN (Tst_EN = high) ενώ για ενεργοποίηση των διακοπών SCL και SCR χρησιμοποιείται το σήμα πρόσβασης μπλοκ μνήμης (Arr_AC = high). Οι τρόποι λειτουργίας για παρακολούθηση (έλεγχο) του κυκλώματος διακρίνεται σε: παρακολούθηση των κελιών μνήμης και παρακολούθηση του αισθητήρα σήματος.

Κατά τον έλεγχο του κελιού μνήμης ο αισθητήρας σήματος παραμένει ανενεργός (SA_EN = low). Ενεργοποιείται η γραμμή λέξεων (WL = high) του κελιού ενώ το κύκλωμα προφόρτισης bit-line παραμένει ανενεργό. Με την ενεργοποίηση του σήματος Arr_AC (Arr_AC = high) αποκτάται πρόσβαση στα σήματα BL και BLB. Θέτοντας το Tst_EN στην υψηλή κατάσταση (high), ενεργοποιείται ο ταλαντωτής και έτσι το σήμα ταλάντωσης που παράγεται οδηγεί το επιλεγμένο κελί μνήμης στον πίνακα της μνήμης, το οποίο λειτουργεί ως ενεργό φορτίο. Σε κάθε εναλλαγή κατάστασης του σήματος του ταλαντωτή, πραγματοποιείται εγγραφή της συμπληρωματικής κατάστασης σε σχέση με την υπάρχουσα στο αντίστοιχο κελί μνήμης. Αφού το σήμα Tst_En είναι ενεργό τότε και οι διακόπτες SSL και SSR είναι ενεργοποιημένοι, με συνέπεια το σήμα του ταλαντωτή να οδηγείται της της εξόδους του αισθητήρα σήματος (OUT_L και OUT_R).

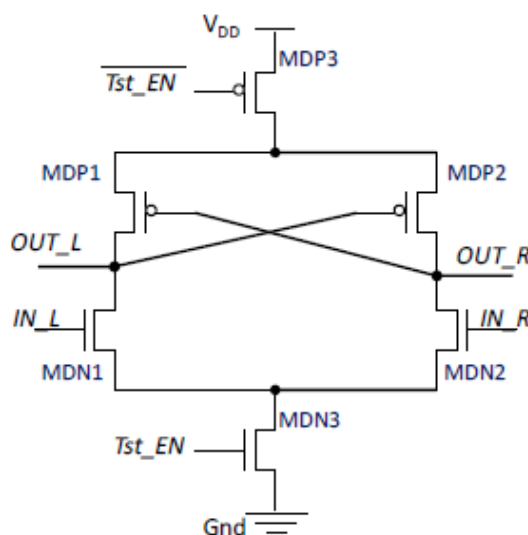
Αντίστοιχα για τον αισθητήρα σήματος και για την παρακολούθηση της λειτουργίας του, ενεργοποιούνται τα σήματα SA_EN και Tst_EN, ενώ το σήμα Arr_AC παραμένει ανενεργό. Σε αυτήν την περίπτωση, το σήμα του ταλαντωτή οδηγεί τον αισθητήρα σήματος, ο οποίος τώρα έχει το ρόλο του ενεργού φορτίου. Και πάλι το σήμα του ταλαντωτή εμφανίζεται της εξόδους του αισθητήρα σήματος.

Τόσο για την περίπτωση του κελιού μνήμης, όσο και για την περίπτωση του αισθητήρα σήματος ο κύκλος λειτουργίας του σήματος ταλάντωσης χρησιμοποιείται με σκοπό την παρακολούθηση της γήρανσης. Για της μετρήσεις του κύκλου λειτουργίας, προβλέπεται η διάδοση του σήματος του ταλαντωτή έξω από το μπλοκ της μνήμης για την αξιολόγηση

της γήρανσης. Μετά την εύρεση των τιμών αναφοράς για τον κύκλο λειτουργίας του κελιού μνήμης και του αισθητήρα σήματος στη «φρέσκια» κατάσταση, πραγματοποιείται σύγκριση με τον κύκλο λειτουργίας του ταλαντωτή με στόχο την ανίχνευση της πιθανής γήρανσης. Τα σήματα Tst_EN και Arr_AC είναι επιπρόσθετα σήματα, καθώς δεν περιλαμβάνονται στο τυπικό κύκλωμα μιας SRAM, για την παρακολούθηση της λειτουργίας και είναι κοινά για όλα τα τμήματα bit-line. Η διαδικασία παρακολούθησης υλοποιείται σε όλες τις γραμμές λέξεων (word lines) και στη σειρά του αισθητήρα σήματος, με την σειρά, έτσι ώστε να εξεταστεί το κάθε κελί μνήμης και ο αισθητήρας σήματος.

4.2 Ο διαφορικός ταλαντωτής δακτυλίου (Differential Ring Oscillator – DRO)

Ο ταλαντωτής που χρησιμοποιήθηκε για την παρακολούθηση της γήρανσης των κελιών μνήμης και του αισθητήρα σήματος, απεικονίζεται στην Εικόνα 4.1 και αποτελείται από τρία μπλοκ διαφορικής καθυστέρησης (Dff-D cells). Καθένα από αυτά τα κελιά είναι μια διαφορική δομή τριών καταστάσεων σταυρωτού ζεύγους τρανζίστορ, Εικόνα 4.2, που προκύπτει σύμφωνα με τη λογική σχεδίαση Differential Cascode Voltage Switch (DCVS) με επιπρόσθετα δύο τρανζίστορ ενεργοποίησης, ένα nMOS (MDN3) και ένα pMOS (MDP3).



Εικόνα 4.2. Το μπλοκ διαφορικής καθυστέρησης (Dff-D cell)

Για την κανονική λειτουργία του ταλαντωτή, αφού το σήμα Tst_EN έχει τεθεί στην χαμηλή κατάσταση, τα κελιά του ταλαντωτή αποσυνδέονται από της τροφοδοσίες και έτσι απενεργοποιούνται με αποτέλεσμα οι εσωτερικοί κόμβοι να παραμένουν σε κατάσταση υψηλής εμπέδησης («αίωρησης»). Η κατάσταση αυτή αφορά τον μεγαλύτερο

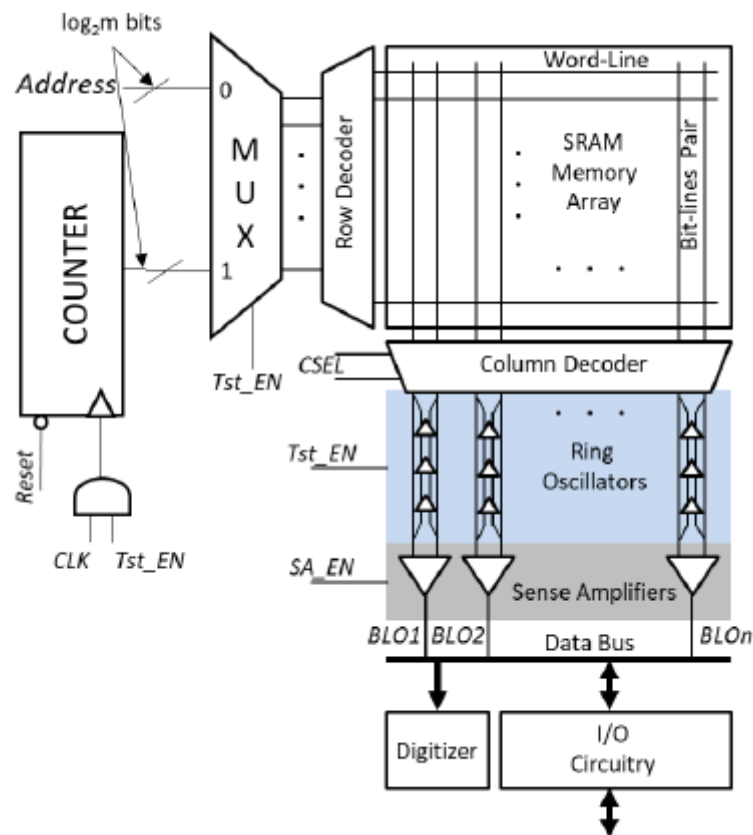
χρόνο της λειτουργίας της μνήμης καθώς η παρακολούθηση της γήρανσης γίνεται περιοδικά και για μικρό χρονικό διάστημα. Καθώς η SRAM κατά την λειτουργία της συνήθως βρίσκεται υπό κανονική λειτουργία, τα κελιά Dff-D είναι κυρίως ανενεργά με αποτέλεσμα την μειωμένη υποβάθμιση απόδοσης εξαιτίας της γήρανσης που υφίσταται αυτά τα κελιά.

Για την παρακολούθηση του κελίου ή του αισθητήρα σήματος, σκοπός είναι η ενεργοποίηση των κελιών Dff-D για την δημιουργία ταλάντωσης έτσι ώστε να δοκιμαστεί το αντίστοιχο μπλοκ, οπότε το σήμα Tst_EN τίθεται στην υψηλή κατάσταση. Με την ενεργοποίηση των Dff-D κελιών αναμένεται τοπική κατανάλωση ενέργειας στην περιοχή του αισθητήρα σήματος, καθώς είναι της πιθανό να εντοπιστούν φαινόμενα παρεμβολών ανάμεσα σε γειτονικούς ταλαντωτές. Για την αντιμετώπιση αυτών των θεμάτων, μπορεί να προστεθεί ένα επιπλέον σήμα test enable (ή ένα τρίτο) στην περιοχή του SA για την μείωση της κατανάλωσης ισχύος και της παρεμβολής, θέτοντας της ταλαντωτές σε λειτουργία εναλλάξ. Εφόσον το μόνο που χρειάζεται είναι η προσθήκη δύο σημάτων, αυτή η πρόταση αποτελεί μια εύκολη λύση, αφού η οδήγηση αυτών των σημάτων δεν αναμένεται να οδηγήσει σε σοβαρούς περιορισμούς.

4.3 Ο ψηφιοποιητής (Digitizer)

Για την αξιολόγηση της διαδικασίας παρακολούθησης γίνεται μεταφορά των παραγόμενων σημάτων ταλάντωσης όλων των DRO σε ένα μπλοκ του ψηφιοποιητή. Τα σήματα αυτά μεταφέρονται παράλληλα μέσω των γραμμών σήματος BLOi, τα οποία χρησιμοποιούνται για τη μεταφορά των δεδομένων στην κανονική λειτουργία. Συγκεκριμένα, το επιλεγμένο (από τον αποκωδικοποιητή σειράς) κελί μνήμης αναλαμβάνει τον ρόλο του «ενεργού» φορτίου στην έξοδο του αντίστοιχου κελιού Dff-D του ταλαντωτή, για κάθε ενεργοποιημένη bit-line (από τον αποκωδικοποιητή στήλης). Το κελί μνήμης γράφεται από το κελί Dff-D, δύο φορές σε κάθε κύκλο ταλάντωσης. Ο κύκλος λειτουργίας του σήματος OSC/BLO επηρεάζεται άμεσα από την γήρανση του κελιού μνήμης, προσφέροντας έτσι τη δυνατότητα εντοπισμού των κελιών μνήμης που έχουν υποστεί γήρανση, μέσω των αλλαγών που έχουν δημιουργηθεί στον κύκλο λειτουργίας εξαιτίας του DRO. Οι αλλαγές αυτές επηρεάζονται ανάλογα με την γήρανση των κυττάρων.

Ένα κελί μνήμης που του ασκείται επιρροή από την γήρανση χάνει την ισορροπία του, δηλαδή οι δύο αντιστροφείς δεν έχουν την ίδια ισχύ οδήγησης, οπότε και ο κύκλος λειτουργίας (duty cycle) του σήματος OSC του ταλαντωτή αλλάζει επίσης.



Εικόνα 4.3 Γενική αρχιτεκτονική της τροποποιημένης SRAM

Στο μπλοκ του ψηφιοποιητή, γίνονται μέτρηση του κύκλου λειτουργίας του σήματος και ψηφιοποίηση με σειριακό τρόπο (κάθε κελί εξετάζεται μεμονωμένα με στη σειρά). Στην συνέχεια, ακολουθεί σύγκριση του αποτελέσματος με μια τιμή αναφοράς του κύκλου λειτουργίας και για τιμές μεγαλύτερες του κύκλου λειτουργίας από την τιμή αναφοράς, προκύπτει ανίχνευση της γήρανσης. Η τιμή αναφοράς αποθηκεύεται σε μια ROM για χρήση της σε διαδικασίες επισκευής της μνήμης. Μόλις γίνει έλεγχος των κελίων της ενεργοποιημένης γραμμή λέξεων, η διεύθυνση του αποκωδικοποιητή στήλης αντικαθίσταται με αυτή του επομένου συνόλου, έτσι ώστε να αξιολογηθούν όλα τα κελία μνήμης των γραμμών λέξεων. Για τη λεπτομερή περιγραφή της λειτουργίας του ψηφιοποιητή ο αναγνώστης μπορεί να ανατρέξει στην εργασία [D20].

Η τιμή αναφοράς του κύκλου λειτουργίας αφορά ένα κελί μνήμης, που παρόλο που έχει υποστεί γήρανση, δεν προκαλεί αστοχίες κατά την διάρκεια λειτουργίας της SRAM, ακόμα και για τιμές εκτός των ορίων της τιμής αναφοράς. Αν το κελί συνεχίσει να γερνά θα εμφανίσει σύντομα βλάβες και τα επίπεδα αξιοπιστίας θα υποβαθμιστούν.

Κεφάλαιο 5.

Αποτελέσματα προσομοιώσεων

Σε αυτό το κεφάλαιο παρουσιάζονται αποτελέσματα προσομοιώσεων από την εφαρμογή των τεχνικών παρακολούθησης γήρανσης TDDB σε μνήμη SRAM. Αρχικά, παρουσιάζονται τα αποτελέσματα των κατανομών του λόγου, που προκύπτει από το σήμα εξόδου του κυκλώματος παρακολούθησης, για το κελί και τον αισθητήρα σήματος υπό συνθήκες «φρέσκιας» κατάστασης λειτουργίας. Στην συνέχεια, αναφέρονται τα αποτελέσματα του λόγου που προέκυψαν μέσω των προσομοιώσεων Monte Carlo για το κελί και τον αισθητήρα σήματος υπό την παρουσία γήρανσης, καθώς και του στατικού περιθωρίου θορύβου για το κελί. Τέλος, καταγράφεται η καθυστέρηση του αισθητήρα σήματος και η κατανάλωση ισχύος υπό την παρουσία των προτεινόμενων μηχανισμών ανίχνευσης γήρανσης.

Για την πραγματοποίηση των πειραμάτων σχεδιάστηκε τμήμα bit-line μνήμης SRAM, με 256 κελιά, της αυτό παρουσιάζεται στην Εικόνα 4.1, στην τεχνολογία CMOS των 90nm της UMC ($V_{DD} = 1V$), με χρήση του εργαλείου Virtuoso σε συνεργασία με τον προσομοιωτή SPECTRE της CADENCE .

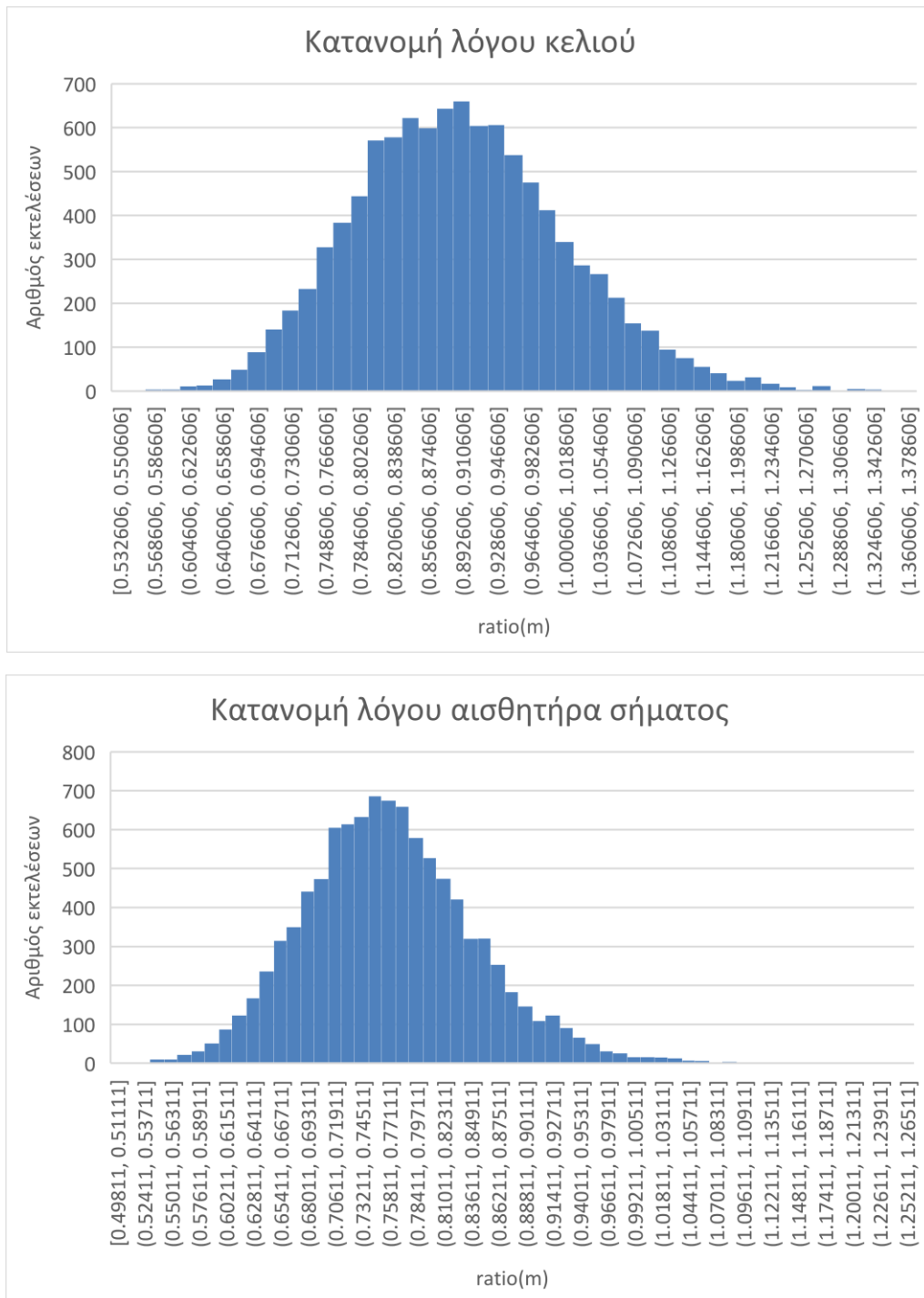
Τα πλάτη των τρανζίστορ στη σχεδίαση παρουσιάζονται στον Πίνακα 4.1.

Cell	Transistor	Width
SRAM Cell	MCP1, MCP2	120nm
	MCN1, MCN2	140nm
	MCN3, MCN4	120nm
Dff-D cell	All pMOS	120nm
	MDN1, MDN2	200nm
	MDN3	335nm
Latch-type SA	MSP1, MSP2	400nm
	MSP3	800nm
	MSN1, MSN2	1425nm
	MSN3	960nm
Switches SCL, SCR, SSL, SSR	all pMOS	800nm
	all nMOS	800nm

Πίνακας 4.1. Πλάτη τρανζίστορ μπλοκ της SRAM

5.1 Αποτελέσματα προσομοιώσεων «φρέσκιας» λειτουργίας

Για τον προσδιορισμό της συμπεριφοράς του κελιού και του αισθητήρα σήματος σε κατάσταση «φρέσκιας» λειτουργίας, εφαρμόστηκε Monte Carlo ανάλυση με 10.000 εκτελέσεις. Δημιουργήθηκαν κατανομές με την καταγραφή του λόγου υψηλής κατάστασης της χαμηλής κατάστασης (high/low ratio) που αφορά τον κύκλο λειτουργίας (duty-cycle) του σήματος στην έξοδο του ταλαντωτή της δύο περιπτώσεις (κελιού και αισθητήρα) και που στην συνέχεια θα αναφέρεται ως «λόγος». Τα αποτελέσματα παρουσιάζονται στην Εικόνα 6.1.

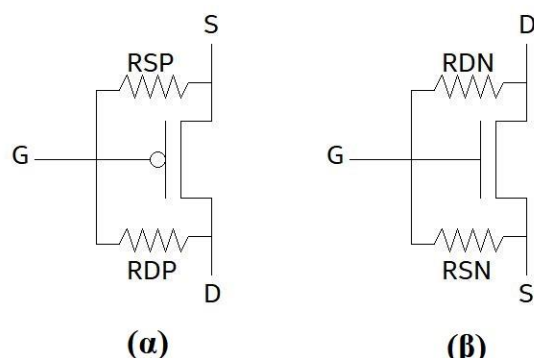


Εικόνα 6.1. Παρουσίαση κατανομών για το λόγο με χρήση Monte Carlo προσομοιώσεων σε «φρέσκια» κατάσταση λειτουργίας α) για το κελί και β) για τον αισθητήρα σήματος

5.2 Αποτελέσματα προσομοιώσεων υπό την παρουσία γήρανσης

Για την μελέτη της συμπεριφοράς του κελιού και του αισθητήρα σήματος υπό την παρουσία γήρανσης ακολουθήθηκε η επόμενη τακτική. Από όλα τα τρανζίστορ της σχεδίασης σε κάθε μπλοκ (κελί – αισθητήρα σήματος), αντικαθίσταται ένα κάθε φορά με

το μοντέλο της ελαττωματικού τρανζίστορ, της αυτό παρουσιάζεται στο Σχήμα 6.2 [BGL+06].



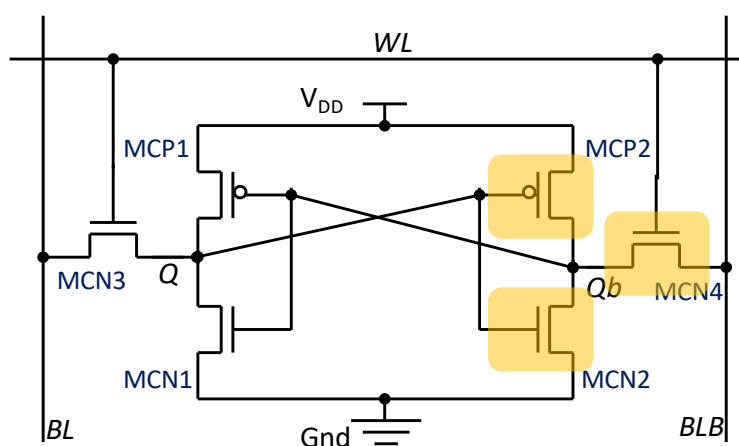
Εικόνα 6.2. Μοντέλα ελαττωματικών τρανζίστορ για την μελέτη της γήρανσης, (α) pMOS και (β) nMOS

Τα μοντέλα ελαττωματικών τρανζίστορ περιλαμβάνουν 2 αντιστάσεις, οι οποίες εφαρμόζονται ανάμεσα της ακροδέκτες Gate-Source (RSP/RSN) και Gate-Drain (RDP/RDN) αντίστοιχα.

Για της συγκρίσεις με τη «φρέσκια» λειτουργία εκτελέστηκε αντίστοιχος αριθμός Monte Carlo αναλύσεων για διαφορετικές τιμές των αντιστάσεων του ελαττωματικού μοντέλου για τα τρανζίστορ. Στόχος είναι να αναδειχθούν οι πιθανές επικαλύψεις μεταξύ των κατανομών ώστε να διαπιστωθούν τα όρια της τεχνικής ως της την ικανότητα να ανιχνεύσει την υπό μελέτη γήρανση των δύο μπλοκ.

5.2.1 Προσομοιώσεις στο κελί μνήμης

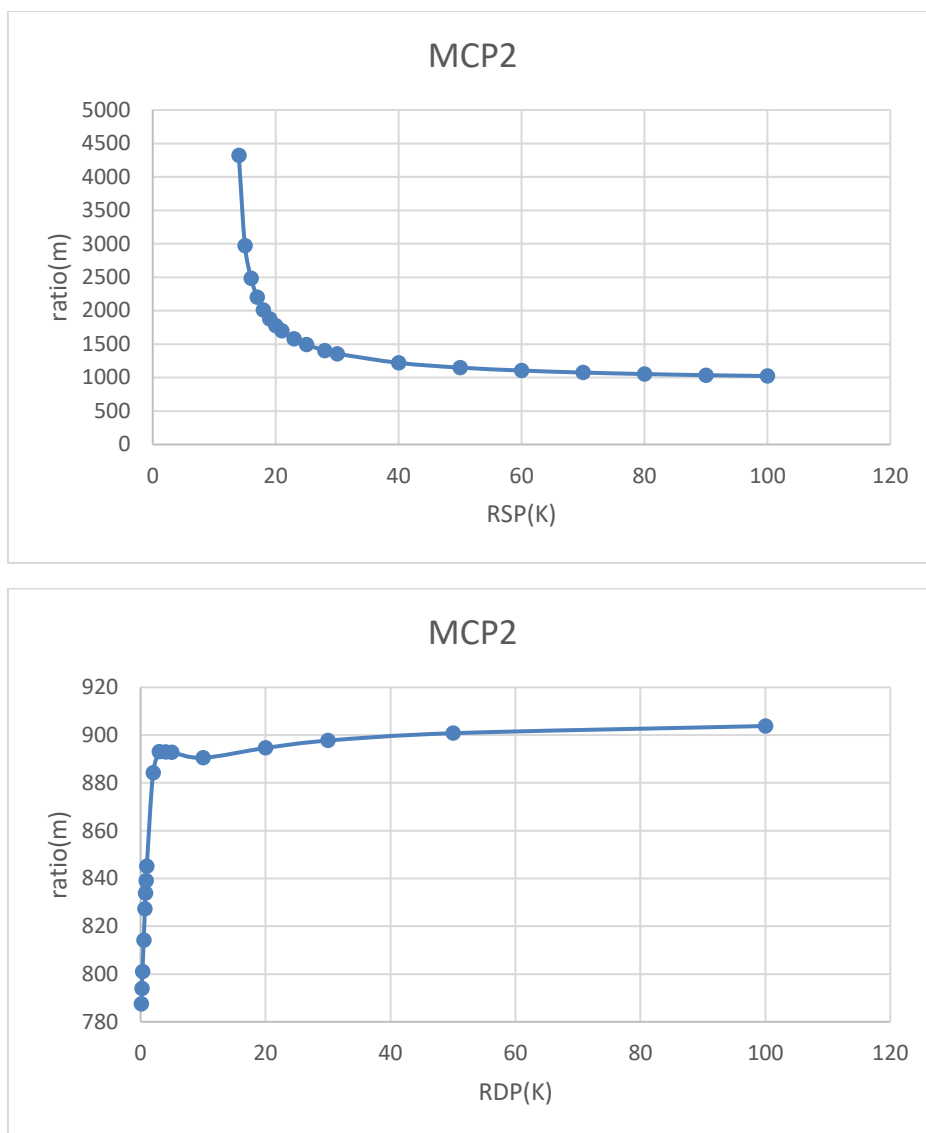
Για τα αποτελέσματα στο κελί της μνήμης έγιναν εκτεταμένες προσομοιώσεις μόνο για τα τρανζίστορ MCP2, MCN2 και MCN4 εξαιτίας της συμμετρίας του κελιού της φαίνεται στην Εικόνα 6.3.



Εικόνα 6.3. Τυπική τοπολογία της κελιού μνήμης 6 τρανζίστορ

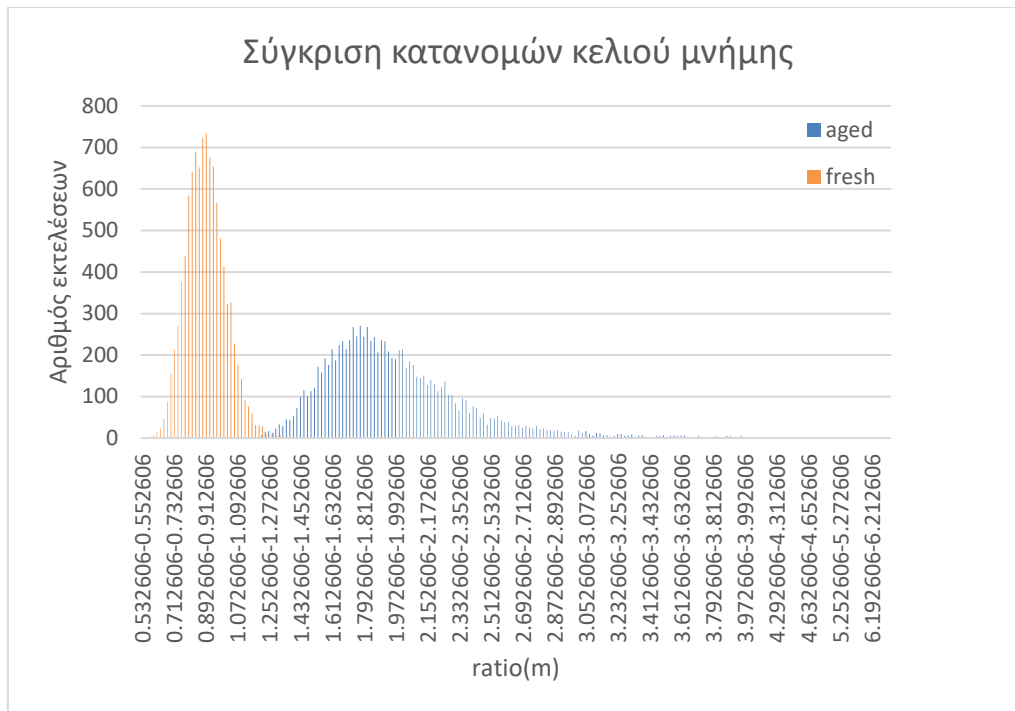
Αντικαθιστώντας κάθε φορά ένα από τα τρία παραπάνω τρανζίστορ με αυτά των ελαττωματικών μοντέλων, όπως αυτά προσδιορίζονται στην εικόνα 6.2, και μεταβάλλοντας την τιμή της μιας αντίστασης, διατηρώντας την άλλη σταθερή και ίση με $1\text{G}\Omega$, προκύπτουν οι διάφορες τιμές του λόγου οι οποίες απεικονίζονται στα γραφήματα που ακολουθούν, για το κάθε τρανζίστορ και την κάθε αντίσταση ξεχωριστά. Στην συνέχεια, συγκρίνοντας τα γραφήματα του λόγου για κάθε ελαττωματική περίπτωση με την κατανομή «φρέσκιας» λειτουργίας, προσδιορίζονται οι οριακές τιμές των αντιστάσεων για τις οποίες εντοπίζεται επικάλυψη. Υπάρχουν, επίσης, περιπτώσεις για τις οποίες δεν φαίνεται να υπάρχει επικάλυψη για καμία τιμή της αντίστασης του τρανζίστορ.

Από τα αποτελέσματα των προσομοιώσεων προκύπτει ότι υπάρχουν ελαττωματικές περιπτώσεις οι οποίες επηρεάζουν ικανά το κύκλωμα ανίχνευσης (ταλαντωτής) με αποτέλεσμα να τροποποιηθεί ο κύκλος ρολογιού του σήματος στην έξοδό του και κατά συνέπεια να μπορεί να ανιχνευθεί η γήρανση του κυκλώματος. Το φαινόμενο αυτό παρουσιάζεται στο τρανζίστορ MCP2, όπως αυτό φαίνεται στην Εικόνα 6.3, και για τιμές της αντίστασης $RSP \leq 19\text{K}\Omega$, με δεδομένο ότι η αντίσταση RDP είναι σταθερή και ίση με $1\text{G}\Omega$. Οι αντιστάσεις RSP και RDP ορίζονται στην Εικόνα 6.2α. Οι τιμές του λόγου που προκύπτουν μεταβάλλοντας την τιμή της αντίστασης RSP για το τρανζίστορ MCP2 απεικονίζονται στην Εικόνα 6.4α. Για μεταβολές στην αντίσταση RDP του MCP2, είναι δυνατή η εύρεση από την καμπύλη της τιμής του λόγου η οποία είναι το όριο στο οποίο ξεκινά η επικάλυψη με την κατανομή της φρέσκιας λειτουργίας. Αυτό συνεπάγεται την αδυναμία ανίχνευσης γήρανσης μετά τη συγκεκριμένη τιμή. Αντίστοιχα, στην Εικόνα 6.4β αναφέρεται ο λόγος για διάφορες τιμές της αντίστασης RDP του τρανζίστορ MCP2. Λόγω συμμετρίας του κελιού μνήμης, για τις αντιστάσεις του τρανζίστορ MCP1 τα αποτελέσματα θα είναι ανάλογα του τρανζίστορ MCP2. Για τα υπόλοιπα τρανζίστορ δεν υπάρχει η δυνατότητα ανίχνευσης της γήρανσης, εξαιτίας της ύπαρξης επικάλυψης των καμπυλών του λόγου κάθε αντίστασης με την κατανομή φρέσκιας λειτουργίας. Τα αποτελέσματα των τρανζίστορ MCN2 και MCN4 παρουσιάζονται ακολούθως της εικόνες Εικόνα 6.5 και Εικόνα 6.6, ενώ τα αποτελέσματα των τρανζίστορ MCN3 και MCN1 έχουν παραληφθεί λόγω συμμετρίας του κελιού.



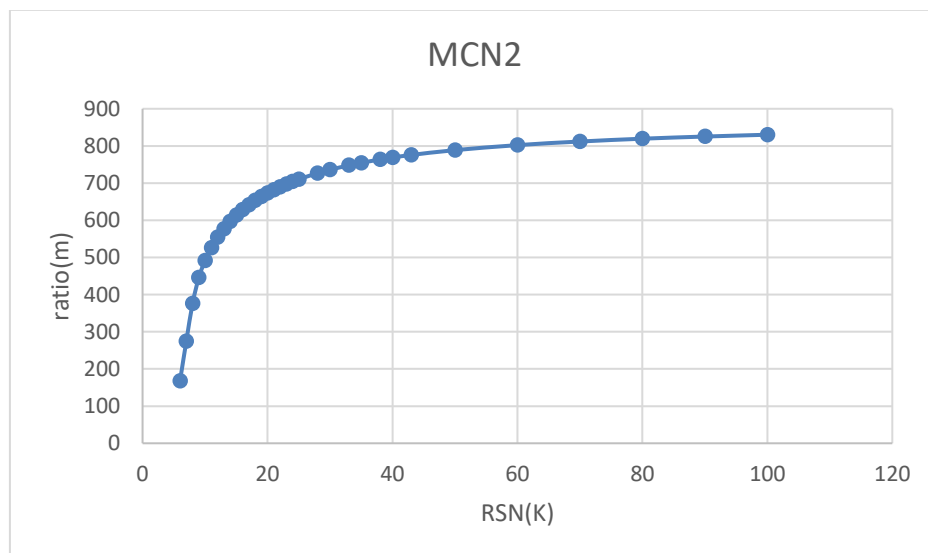
Εικόνα 6.4. Αποτελέσματα λόγου για το τρανζίστορ MCP2 για μεταβολές α) της RSP και β) της RDP

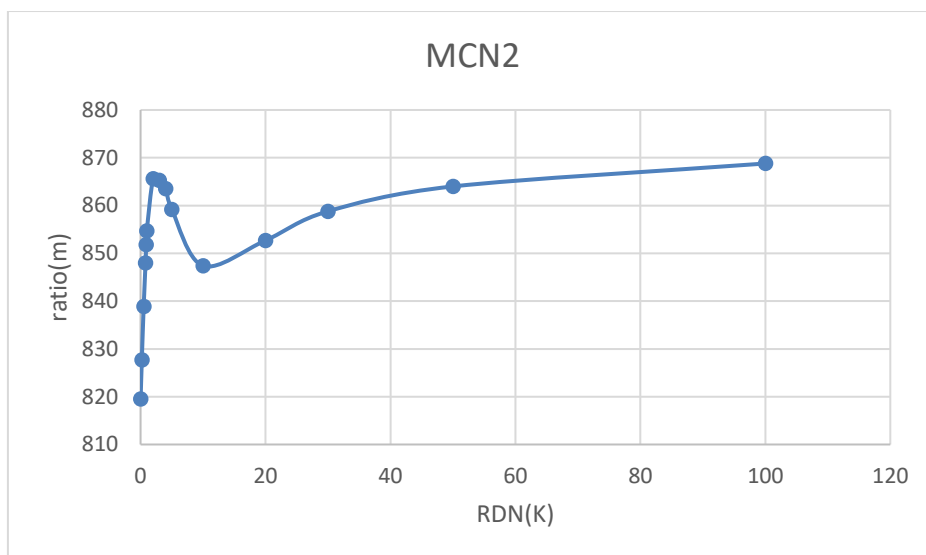
Για την αντίσταση $RSP=19K\Omega$ του τρανζίστορ MCP2, έχουν υλοποιηθεί 10.000 εκτελέσεις Monte Carlo, με σκοπό την σύγκριση των τιμών του λόγου της φρέσκιας κατάστασης λειτουργίας με τις τιμές του λόγου που προκύπτουν με την παρουσία γήρανσης. Τα αποτελέσματα παρουσιάζονται στην εικόνα 6.5. Από τις προσομοιώσεις προκύπτει η δυνατότητα ανίχνευσης γήρανσης, καθώς οι δύο κατανομές δεν επικαλύπτονται. Η ικανότητα ανίχνευσης ισχύει και για αντιστάσεις RSP μικρότερες από $19K\Omega$.



Εικόνα 6.5. Σύγκριση κατανομών λόγου του κελιού μνήμης σε φρέσκια κατάσταση λειτουργίας και υπό την παρουσία γήρανσης (για $RSP = 19K\Omega$ του τρανζίστορ MCP2)

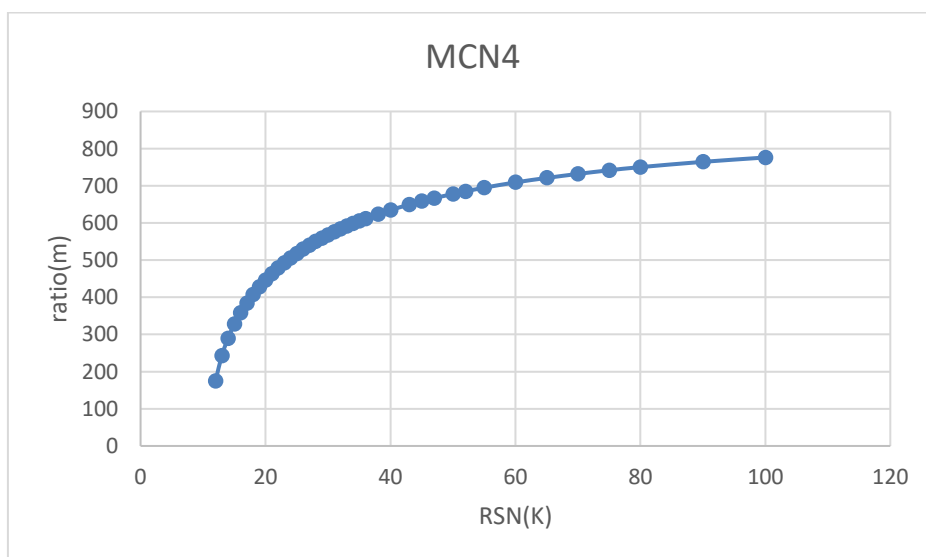
Ακολουθούν τα αποτελέσματα του λόγου για το τρανζίστορ MCN2 (Εικόνα 6.3), για αλλαγές σε μια από της δύο παράπλευρες αντιστάσεις του ελαττωματικού τρανζίστορ (Εικόνα 6.2β). Συγκεκριμένα, η πρώτη καμπύλη αφορά της τιμές που προκύπτουν για μεταβολές της αντίστασης RSN (Εικόνα 6.6α) και η δεύτερη της αντίστασης RDN αντίστοιχα (Εικόνα 6.6β).

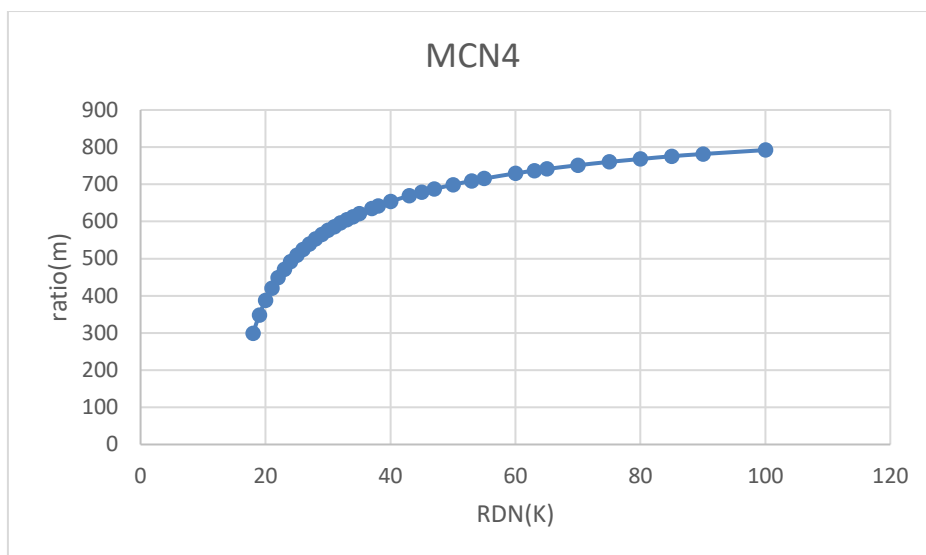




Εικόνα 6.6. Αποτελέσματα λόγου για το τρανζίστορ MCN2 για μεταβολές α) της RSN και β) της RDN

Τέλος, αναφέρονται τα αποτελέσματα του λόγου για το τρανζίστορ MCN4 (Εικόνα 6.3) που προκύπτουν εξαιτίας των διάφορων τιμών για καθεμιά από της αντιστάσεις του τρανζίστορ ξεχωριστά (Εικόνα 6.2β). Στην Εικόνα 6.7α παρουσιάζονται τα αποτελέσματα για αλλαγές στην τιμή της αντίστασης RSN και στην Εικόνα 6.7β για αλλαγές στην τιμή της αντίστασης RDN.

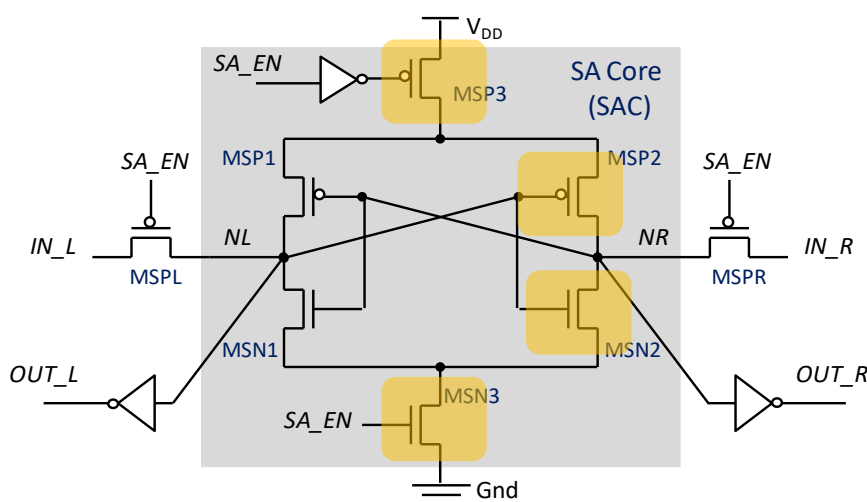




Εικόνα 6.7. Αποτελέσματα λόγου για το τρανζίστορ MCN4 για μεταβολές α) της RSN και β) της RDN

5.2.2 Προσομοιώσεις στον αισθητήρα σήματος

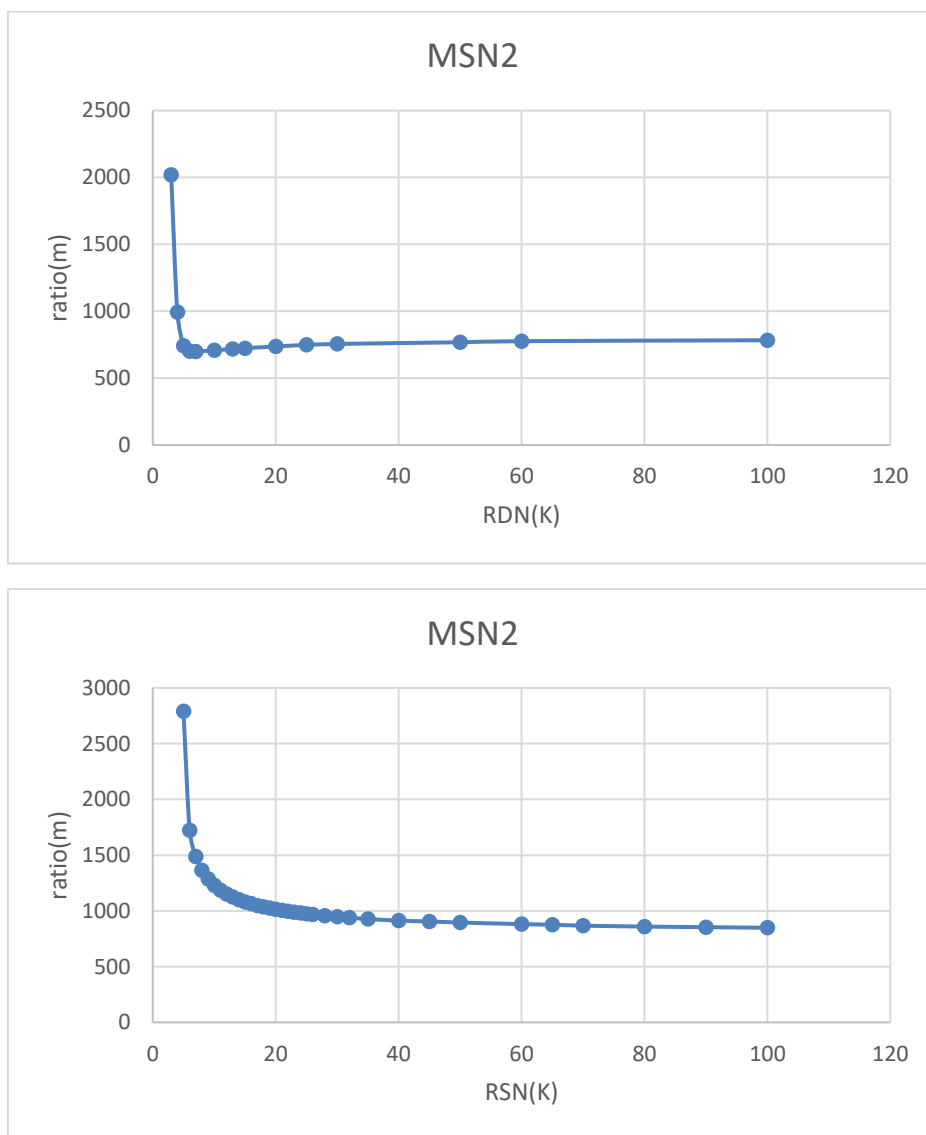
Αντίστοιχα, για τον αισθητήρα σήματος εξαιτίας της συμμετρίας της τοπολογίας του, όπως και στο κελί, τα τρανζίστορ που θα μελετηθούν με αντικατάστασή τους από τα αντίστοιχα ελαττωματικά μοντέλα είναι τα MSP3, MSP2, MSN2 και MSN3 με σκοπό την ανίχνευση της γήρανσης μέσω της χρήσης του ταλαντωτή. Η διαδικασία εντοπισμού της γήρανσης στον αισθητήρα σήματος είναι ανάλογη αυτής του κελιού. Στην Εικόνα 6.8 απεικονίζεται ο αισθητήρας σήματος με σκιαγραφημένα τα τρανζίστορ για τα οποία εκτελέστηκαν τα προσομοιώσεις.



Εικόνα 6.8. Εσωτερικό σχέδιο του SA του κυκλώματος

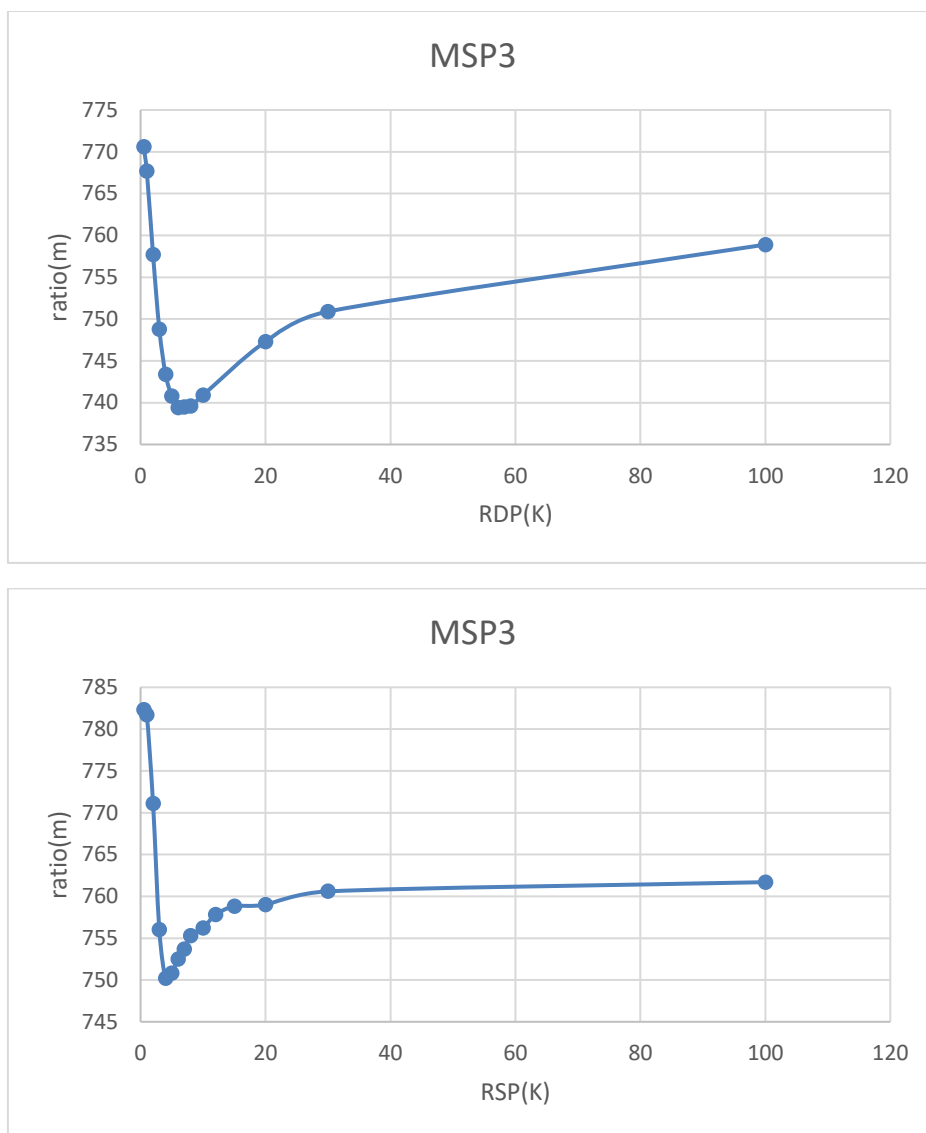
Η παρουσία ελαττώματος έχει ως αποτέλεσμα την τροποποίηση του κύκλου ρολογιού του ταλαντωτή με αποτέλεσμα να ανιχνεύεται η γήρανση για την οποία να μην θεωρείται πλέον αξιόπιστη η λειτουργία του κυκλώματος. Το τρανζίστορ για το οποίο εντοπίζεται

αυτό είναι το MSN2. Πιο συγκεκριμένα για αλλαγές στην αντίσταση RDN και για τιμές $RDN \leq 3K\Omega$, διατηρώντας σταθερή την αντίσταση RSN και ίση με $1G\Omega$ τα αποτελέσματα του λόγου που προκύπτουν εμφανίζονται στην Εικόνα 6.9α. Αντίστοιχα για αντίσταση $RSN \leq 6K\Omega$ και RDN σταθερή και ίση με $1G\Omega$ οι τιμές του λόγου φαίνονται στην Εικόνα 6.9β. Παρόμοια αποτελέσματα ισχύουν και για της αντιστάσεις του τρανζίστορ MSN1, εξαιτίας της συμμετρίας του εσωτερικού του αισθητήρα σήματος.



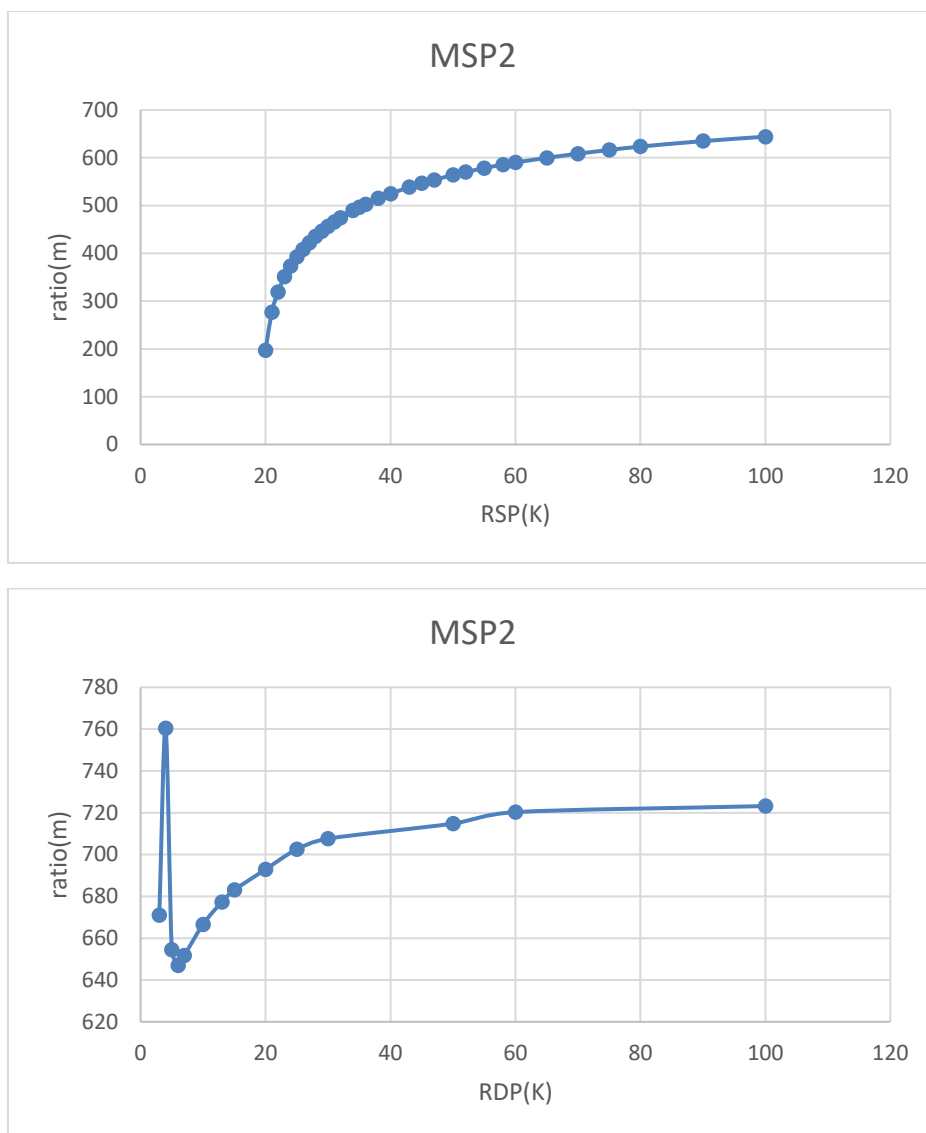
Εικόνα 6.9. Αποτελέσματα λόγου για το τρανζίστορ MSN2 για μεταβολές α) της RDN και β) της RSN

Για το τρανζίστορ MSP3, που αναφέρεται στην συνέχεια, υπάρχει επικάλυψη των καμπύλων της κάθε αντίστασης με την κατανομή της φρέσκιας λειτουργίας. Εξαιτίας της επικάλυψης αυτής, δεν προκύπτει ανίχνευση της γήρανσης για της διάφορες τιμές της κάθε αντίστασης ξεχωριστά (Εικόνα 6.2α). Στην Εικόνα 6.10α παρουσιάζεται το διάγραμμα του λόγου για μεταβολές της αντίστασης RDP και στην Εικόνα 6.10β για μεταβολές της αντίστασης RSP.



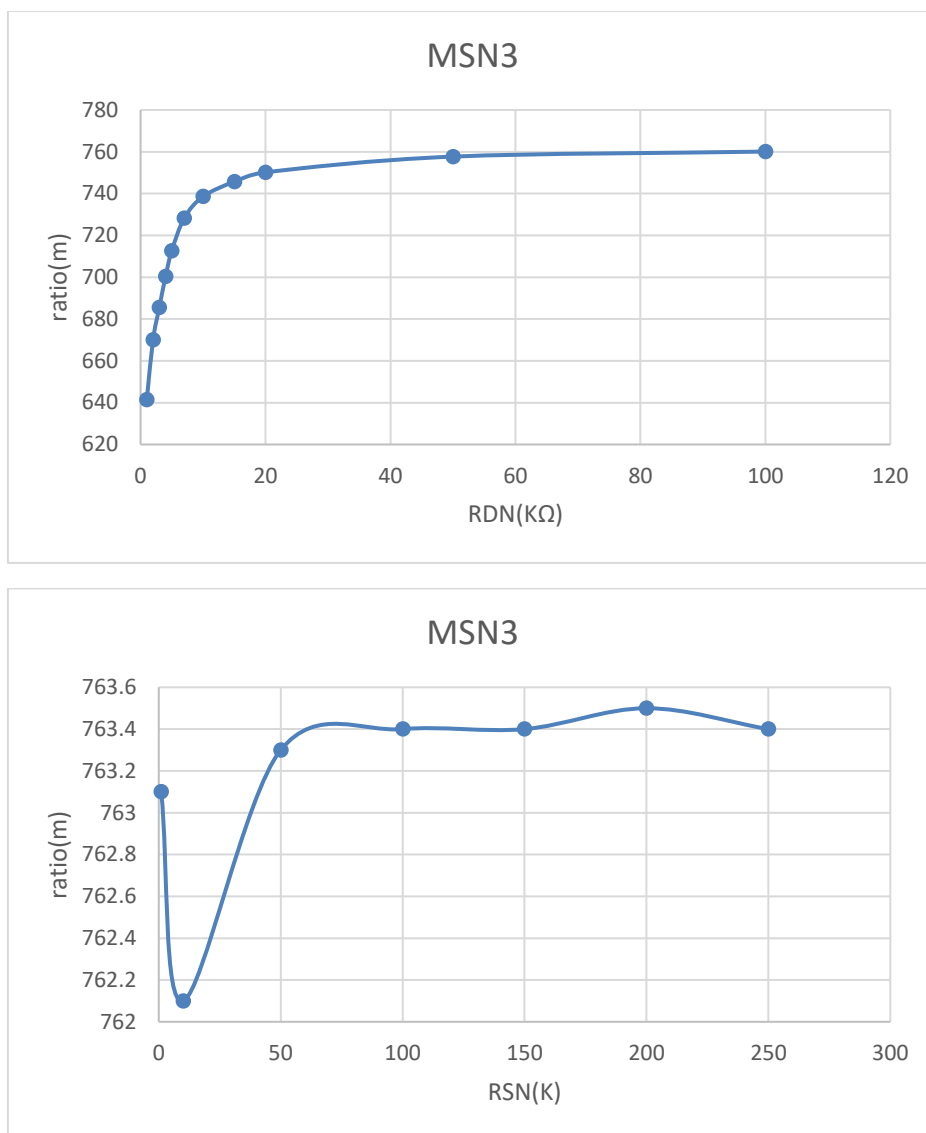
Εικόνα 6.10. Αποτελέσματα λόγου για το τρανζίστορ MSP3 για μεταβολές α) της RDP και β) της RSP

Στην συνέχεια, παρουσιάζονται οι τιμές του λόγου για μεταβολές στο μέγεθος κάθε αντίστασης του τρανζίστορ MSP2 (Εικόνα 6.2α), στην Εικόνα 6.11α για την αντίσταση RSP και την Εικόνα 6.11β για την αντίσταση RDP, διατηρώντας την άλλη αντίσταση σταθερή και ίση με $1G\Omega$. Από τα αποτελέσματα που προέκυψαν αποκαλύπτεται επικάλυψη μεταξύ των καμπυλών των αντιστάσεων και της κατανομής φρέσκιας λειτουργίας, έτσι ώστε να καταστήσουν μη δυνατή την ανίχνευση της γήρανσης για κάποια τιμή των αντιστάσεων. Τα διαγράμματα του λόγου του τρανζίστορ MSP1 είναι αντίστοιχα με αυτά του MSP2 για κάθε αντίσταση, εξαιτίας της συμμετρίας του αισθητήρα σήματος.



Εικόνα 6.11. Αποτελέσματα λόγου για το τρανζίστορ MSP2 για μεταβολές α) της RSP και β) της RDP

Τέλος, για το τρανζίστορ MSN3 (Εικόνα 6.8) δεν υπάρχει ανίχνευση της γήρανσης, εξαιτίας της ύπαρξης επικάλυψης μεταξύ των διαγραμμάτων των αντιστάσεων και της κατανομής φρέσκιας λειτουργίας. Αυτό προκύπτει από τα αποτελέσματα του λόγου που επιφέρουν οι αλλαγές στα μεγέθη των αντιστάσεων RDN και RSN (Εικόνα 6.2α) ξεχωριστά. Τα αποτελέσματα αυτά απεικονίζονται στην Εικόνα 6.12α και στην Εικόνα 6.12β, αντίστοιχα.



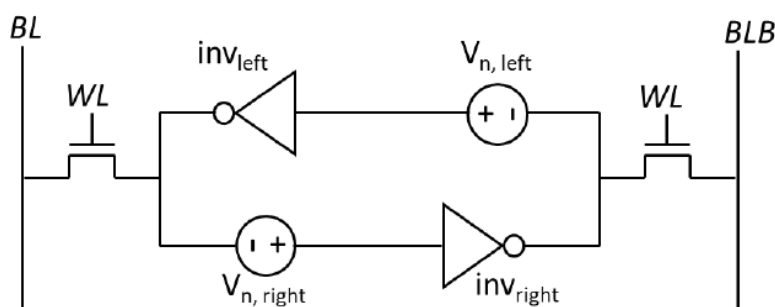
Εικόνα 6.12. Αποτελέσματα λόγου για το τρανζίστορ MSN3 για μεταβολές α) της RDN και β) της RSN

5.3 Αποτελέσματα στατικού περιθωρίου θορύβου κελιού

Η γήρανση των τρανζίστορ επηρεάζει τα περιθώρια θορύβου των κελιών της μνήμης. Το στατικό περιθώριο θορύβου (Static Noise Margin – SNM), προσδιορίζεται ως το μέγιστο ποσό θορύβου που μπορεί να ανεχθεί το κελί πριν αλλάξει η κατάσταση του, με μεταβολή των δεδομένων του. Με σκοπό να προσδιοριστεί η σταθερότητα του κελιού, εξαιτίας του θορύβου υπό την παρουσία γήρανσης, πραγματοποιήθηκε ένα σύνολο προσομοιώσεων για τον υπολογισμό του SNM με χρήση του μοντέλου γήρανσης για τα τρανζίστορ για τα οποία μπορούμε να ανιχνεύσουμε γήρανση, όπως αυτά προέκυψαν από τις προσομοιώσεις Monte Carlo της προηγούμενης ενότητας. Η μελέτη έγινε για της οριακές τιμές της σχετικής αντιστάσεις. Για την εύρεση της τιμής του SNM χρησιμοποιήθηκε το

μέγεθος (πλευρά) του μικρότερου τετραγώνου μεταξύ των δύο μεγίστων τετραγώνων που ταιριάζουν στα δύο μάτια των στατικών καμπυλών των δύο αναστροφών του κελιού (διάγραμμα πεταλούδας [SLL87]).

Το στατικό περιθώριο θορύβου στο κελί υπολογίζεται με την βοήθεια δύο πηγών θορύβου, για της λειτουργίες ανάγνωσης και διατήρησης. Ως πηγή θορύβου προστίθεται μια κάθε φορά πηγή ελεγχόμενης τάσης V_n σε μια από της εισόδους του κελιού η οποία σαρώνεται από τα 0V (GND) σε 1V (VDD), της παρουσιάζεται στην Εικόνα 6.13.



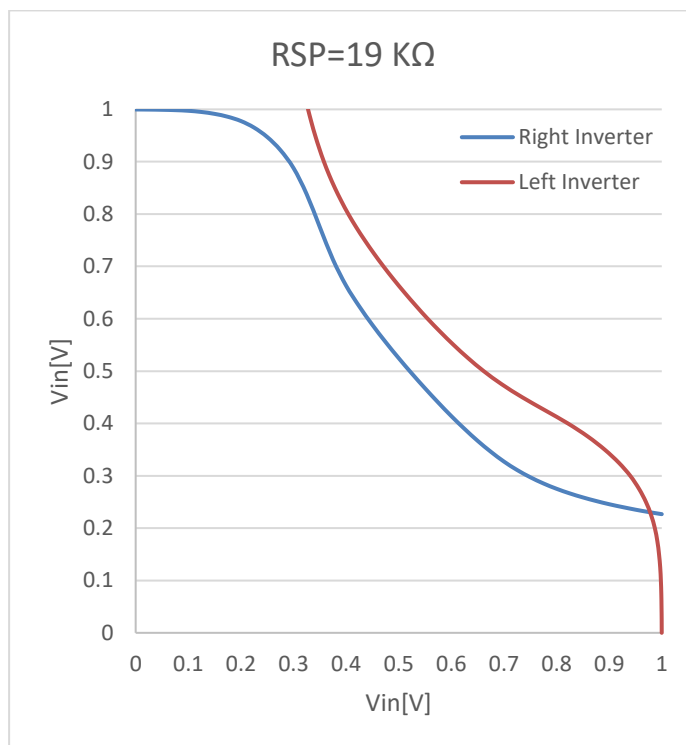
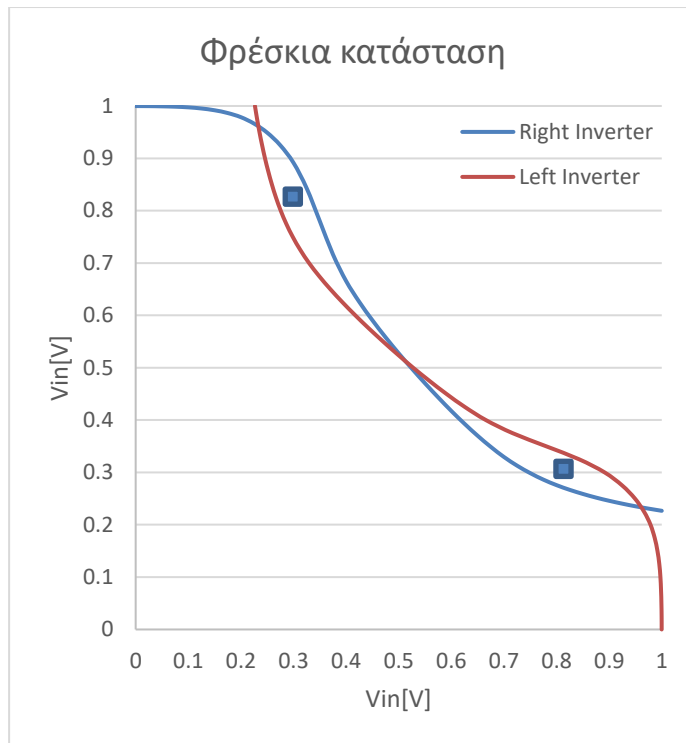
Εικόνα 6.13. Το ζεύγος αναστροφών με στατικές πηγές θορύβου V_n , δεξιά και αριστερά

Το στατικό περιθώριο θορύβου για της λειτουργίες ανάγνωσης (read static noise margin – RSNM) και διατήρησης (hold static noise margin – HSNM) καθορίζονται ως εξής:

- RSNM: αρχικά, με την ενεργοποίηση της γραμμής λέξης (WL) πραγματοποιείται σύνδεση μεταξύ των εσωτερικών κόμβων του κελιού μνήμης και των προφορτισμένων στο VDD bit lines. Στην συνέχεια το V_n σαρώνεται από το GND στο VDD.
- HSNM: αρχικά, με την απενεργοποίηση της γραμμής λέξης πραγματοποιείται διαχωρισμός μεταξύ των εσωτερικών κόμβων του κελιού μνήμης και των bit lines. Στην συνέχεια το V_n σαρώνεται από το GND στο VDD.

Τα όρια RSNM και HSNM δίνονται από την τιμή του V_n που αναστρέφει το κελί.

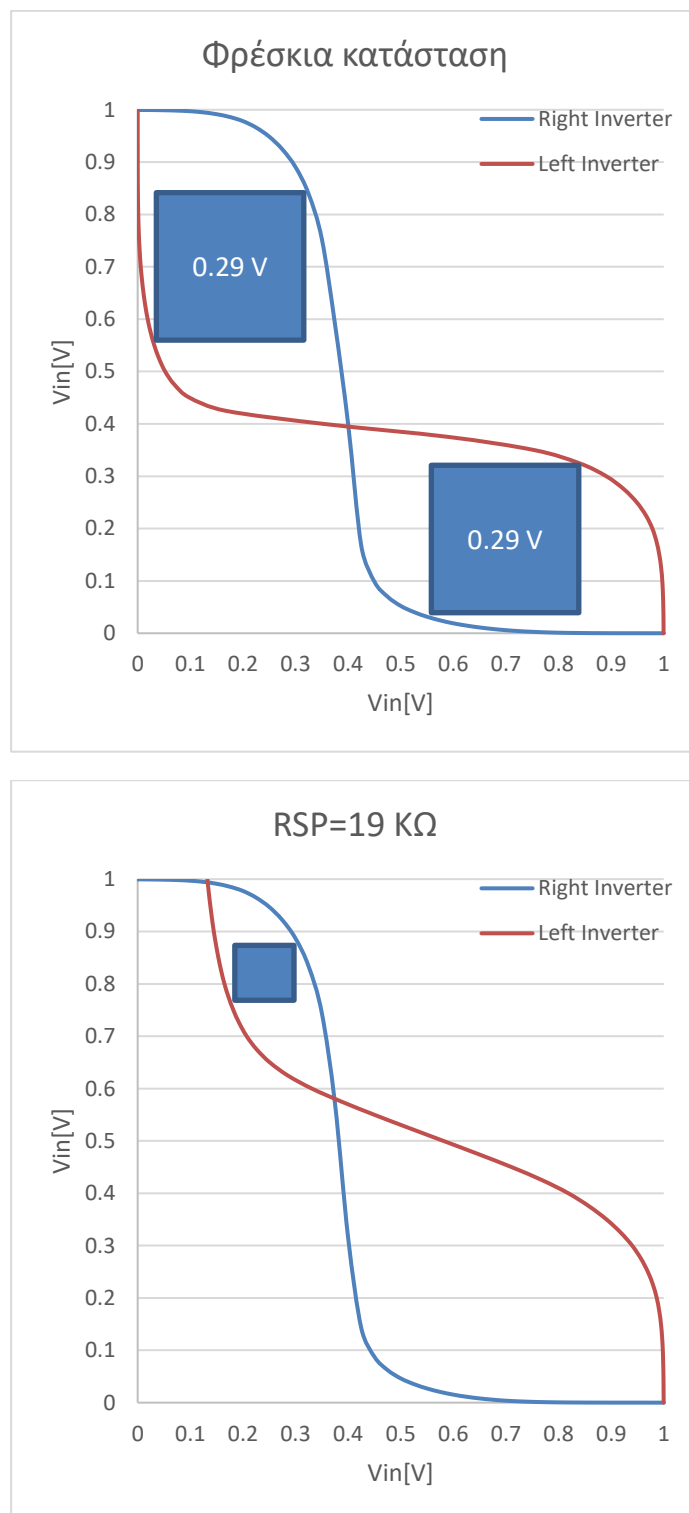
Η γήρανση που υπόκειται στα τρανζίστορ φέρει αλλαγές της στατικές χαρακτηριστικές καμπύλες για τα περιθώρια θορύβου των αναστροφών και μειώνει τα RSNM και HSNM. Στην Εικόνα 6.14α παρουσιάζεται το RSNM για ένα κελί σε φρέσκια κατάσταση και στην Εικόνα 6.14β ένα κελί με αντικατεστημένο το MCP2 τρανζίστορ με το ελαττωματικό μοντέλο της Εικόνας 6.3α. Κατά την αντικατάσταση χρησιμοποιήθηκε η οριακή τιμή της αντίστασης για την οποία ανιχνεύεται η γήρανση για το συγκεκριμένο τρανζίστορ, της αυτή προέκυψε από της προσομοιώσεις Monte Carlo στο κεφάλαιο 6.2.1 και είναι η αντίσταση RSP με τιμή 19KΩ.



Εικόνα 6.14. Αποτελέσματα $RSNM$ κελιού (α) σε φρέσκια κατάσταση $RSNM=0.04V$ και (β) υπό την παρουσία γήρανσης δεν υπάρχει μάτι

Με παρόμοια διαδικασία, της της ανάγνωσης, στην Εικόνα 6.15α. παρουσιάζονται τα αποτελέσματα του $HSNM$ που προκύπτουν για το κελί σε φρέσκια κατάσταση και στην

Εικόνα 6.15β για την οριακή τιμή της αντίστασης $RSP=19\text{ K}\Omega$, για την οποία υπάρχει η δυνατότητα ανίχνευσης της γήρανσης της αυτή προήλθε από της προσομοιώσεις Monte Carlo.



Εικόνα 6.15. Αποτελέσματα HSNM κελιού (α) σε φρέσκια κατάσταση $HSNM=0.29V$ και (β) υπό την παρουσία γήρανσης $HSNM=0.12V$

5.4 Αποτελέσματα καθυστέρησης και κατανάλωσης ισχύος του αισθητήρα σήματος

Καθυστέρηση σε «φρέσκια» κατάσταση και επιδόσεις ταχύτητας

Ο χρόνος καθυστέρησης απόκρισης ανάγνωσης του SA, σε κανονικές συνθήκες λειτουργίας της μνήμης, στη «φρέσκια» κατάσταση χωρίς την παρουσία του κυκλώματος παρακολούθησης, είναι 128,30ps. Ο χρόνος της υπολογίζεται από την ενεργοποίηση της γραμμής λέξης μέχρι την απόκριση του SA της εξόδους του. Αντίστοιχα ο χρόνος καθυστέρησης απόκρισης ανάγνωσης του SA, σε κανονικές συνθήκες λειτουργίας της μνήμης, στη «φρέσκια» κατάσταση με την παρουσία του κυκλώματος παρακολούθησης, είναι 132,28ps.

Σύμφωνα με της παραπάνω χρόνους προκύπτει ότι για την κανονική λειτουργία του κυκλώματος, η επίδραση που επιφέρει το κύκλωμα παρακολούθησης στον χρόνο καθυστέρησης απόκρισης του SA είναι 3,1%. Κατά την κανονική λειτουργία ο ταλαντωτής απομονώνεται από της γραμμές bit και από τον αισθητήρα σήματος, ενώ η πρόσθετη παρασιτική χωρητικότητα των διακοπτών SCL, SCR, SSL και SSR (Εικόνα 4.1) οι οποίοι συνδέονται της γραμμές bit και της εισόδους του SA επιφέρει μια μικρή υποβάθμιση στην ταχύτητα.

Καθυστέρηση με γήρανση

Πραγματοποιήθηκαν, της, μετρήσεις της καθυστέρησης για της οριακές τιμές των αντιστάσεων για τις οποίες προέκυψε ότι μπορούμε να ανιχνεύσουμε την γήρανση μέσω των προσομοιώσεων Monte Carlo. Συγκεκριμένα, οι μετρήσεις αφορούν το τρανζίστορ MSN2. Τα αποτελέσματα που προκύπτουν είναι:

α) για την αντίσταση $R_{DN}=3K\Omega$:

- 189,89ps, χωρίς το κύκλωμα παρακολούθησης και
- 200,36ps, με το κύκλωμα παρακολούθησης.

β) για την αντίσταση $R_{SN}=6K\Omega$, το σήμα της εξόδου του αισθητήρα σήματος δεν κάνει πλήρη μετάβαση και συνεπώς η καθυστέρηση είναι πολύ μεγάλη, οπότε υπάρχει αδυναμία του υπολογισμού της καθυστέρησης και για τις δύο περιπτώσεις.

Γίνεται φανερό ότι η γήρανση επιδρά καθοριστικά της επιδόσεις ταχύτητας του αισθητήρα σήματος.

Κατανάλωση ισχύος

Κατά την διάρκεια της κανονικής λειτουργίας τα κελιά Dff-D και ο Digitizer παραμένουν ανενεργά με σκοπό η επιρροή της στην κατανάλωση ισχύος να είναι ελάχιστη. Η ουσιαστική επιρροή στην κατανάλωση ισχύος κατά την κανονική λειτουργία προκύπτει από την παρουσία των τεσσάρων διακοπών που συνδέουν τον ταλαντωτή στο υπόλοιπο κύκλωμα και αυξάνουν την παρασιτική χωρητικότητα της σχετικούς κόμβους. Η τιμή της κατανάλωσης ισχύος ανά στήλη στη μνήμη, χωρίς το κύκλωμα παρακολούθησης συνδεδεμένο είναι $111,925\mu W$, ενώ με το κύκλωμα παρακολούθησης είναι $111,978\mu W$. Σύμφωνα με τις τιμές αυτές υπολογίζεται ότι η αύξηση της κατανάλωσης ισχύος είναι ίση με 0,05%.

Κεφάλαιο 6.

Συμπεράσματα

Στόχος της παρούσας διπλωματικής εργασίας ήταν, αρχικά η μελέτη της επίδρασης του φαινομένου γήρανσης διηλεκτρικής κατάρρευσης (TDDB) στην λειτουργία μιας μνήμης SRAM και στη συνέχεια η μελέτη της δυνατότητας ανίχνευσης της σχετικής γήρανσης των τρανζίστορ με τη βοήθεια ενός χαμηλού κόστους διαφορικού ταλαντωτή. Η έγκαιρη ανίχνευση της γήρανσης, εξαιτίας της οποίας μπορεί να προκληθούν αστοχίες στη μνήμη, αποτελεί βασικό ζήτημα έτσι ώστε να εξασφαλιστεί η ορθή λειτουργία του κυκλώματος.

Τα αποτελέσματα των προσομοιώσεων φανερώνουν ότι το φαινόμενο γήρανσης διηλεκτρικής κατάρρευσης των τρανζίστορ επιδρά αρνητικά στις επιδόσεις και την αξιοπιστία μιας μνήμης SRAM με αποτέλεσμα να υποβαθμίζεται η λειτουργία των κελιών και του αισθητήρα σήματος, γεγονός που θέτει ως επιτακτική την ανάγκη της έγκαιρης ανίχνευσής του. Σύμφωνα με τις προσομοιώσεις, η υποβάθμιση αφορά τα περιθώρια θορύβου των κελιών καθώς και την καθυστέρηση του αισθητήρα σήματος. Το κύκλωμα που εν συνεχεία προτάθηκε για την ανίχνευση του φαινομένου βασίζεται σε έναν χαμηλού κόστους τοπικό ταλαντωτή ανά bit-line και η σχετική τεχνική παρακολούθησης των υποκυκλωμάτων που το συνοδεύει δεν μεταβάλλει τη λειτουργία της μνήμης και έχει μικρή επίδραση στις επιδόσεις της. Η ανάλυση των προσομοιώσεων, με τη χρήση του κυκλώματος ανίχνευσης, έδειξε ότι αυτό δεν είχε την δυνατότητα να καλύψει όλες τις περιπτώσεις, καθώς μόνο ένα μέρος των γερασμένων τρανζίστορ (εξαιτίας του φαινομένου TDDB) μπορούσε να ανιχνευθεί.

Βιβλιογραφία

- [SLL87] E. Seevinck, F.J. List, J. Lohstroh, *Static-Noise Margin Analysis of MOS SRAM Cells*, IEEE Journal of Solid-State Circuits, vol. 22, no. 5, pp. 748-754, 1987.
- [D20] E.M. Dounavi, *Self Healing Integrated Circuits/Systems in Semiconductor Nanometer Technologies*, Ph.D. Thesis, Dept. of Computer Science and Engineering, University of Ioannina, Greece, Feb 2020
- [L06] J. Lienig, *Introduction to Electromigration-Aware Physical Design*, International Symposium on Physical Design, 2006.
- [BA00] M. L. Bushnell and V. D. Agrawal, *Essentials of Electronic Testing for Digital Memory and Mixed-Signal VLSI Circuits*, Kluwer Academic Publishers, 2000.
- [KTA+17] D. Kraak, M. Taouil, I. Agbo, S. Hamdioui, P. Weckx, H. Kukner, S. Cosemans and F. Catthoor, *Impact and Mitigation of Sense Amplifier Aging Degradation Using Realistic Workloads*, IEEE Transactions on VLSI Systems, vol. 25, no. 12, pp. 3464-3472, 2017.
- [ATH+16] I. Agbo, M. Taouil, S. Hamdioui, P. Weckx, S. Cosemans, P. Raghavan, F. Catthoor and W. Dehaene, *Quantification of sense amplifier offset voltage degradation due to zero- and run-time variability*, IEEE Computer Society Annual Symposium on VLSI (ISVLSI), pp. 725–730, 2016.
- [KHP17] J. Kinseher, L. Heib and I. Polian, *Analyzing the Effects of Peripheral Circuit Aging of Embedded SRAM Architectures*, Design Automation and Test in Europe Conference (DATE), pp. 852-867, 2017.
- [BGL+06] Joseph B. Bernstein, Moshe Gurfinkel, Xiaojun Li, Jörg Walters, Yoram Shapira, Michael Talmor, *Electronic circuit reliability modeling*, Microelectronics Reliability, 2006.
- [TGLN11] S.O. Toh, Z. Guo, T-J.K. Liu and B. Nikolic, *Characterization of Dynamic SRAM Stability in 45 nm CMOS*, IEEE Journal of Solid-State Circuits, vol. 46, no. 11, pp. 2702-2712, 2011.
- [KAT+17] D. Kraak, I. Agbo, M. Taouil, P. Weckx, S. Cosemans, F. Catthoor, W. Dehaene, and S. Hamdioui, *Mitigation of Sense Amplifier Degradation Using Input Switching*, Design Automation and Test in Europe Conference (DATE), pp. 858-863, 2017.

- [DST18] H-M. Dounavi, Y. Sfikas and Y. Tsiatouhas, *Aging Monitoring in SRAM Sense Amplifiers*, International Conference on Modern Circuits and Systems Technologies (MOCAST), 2018.
- [RCS+11] M. Rahma, Y. Chen, W. Sy, W-L. Ong, L-Y. Ting, S-S Yoon, M. Han and E. Terzioglou, *Characterization of SRAM Sense Amplifier Input Offset for Yield Prediction in 28nm CMOS*, IEEE International Custom Integrated Circuits Conference (CICC), 2011.
- [SSC+16] H. Santos, J. Semião, R. Cabral, A. Romão, M. B. Santos, I. C. Teixeira, J. P. Teixeira, *Aging and Performance Sensor for SRAM*, Conference on Design of Circuits and Integrated Systems (DCIS), 2016.
- [MM16] S. Mishra and S. Mahapatra, *On the Impact of Time-Zero Variability, Variable NBTI, and Stochastic TDDDB on SRAM Cells*, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 63, NO. 7, 2016.
- [ATK+17] I. Agbo, M. Taouil, D. Kraak, S. Hamdioui, H. Kukner, P. Weckx, P. Raghavan and F. Catthoor, *Integral Impact of BTI, PVT Variation, and Workload on SRAM Sense Amplifier*, IEEE Transactions on VLSI Systems, vol. 25, no. 04, pp. 1444-1454, 2017.
- [AM16] F. Ahmed and L. Milor, *Online Measurement of Degradation Due to Bias Temperature Instability in SRAMs*, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 24, no. 06, pp. 2184-2194, 2016.
- [PMPW08] S. Pae, J. Maiz, C. Prasad, and B. Woolery, *Effect of BTI Degradation on Transistor Variability in Advanced Semiconductor Technologies*, IEEE Transactions Device and Materials Reliability, vol. 8, no. 3, pp. 519–525, 2008.
- [CSS+11] F. Cacho, S.K. Singh, B. Singh, C. Partasarathy, E. Pion, F. Argoud, X. Federspiel, H. Pitolet, D. Roy and V. Huard, *Hot Carrier Injection Degradation Induced Dispersion: Model and Circuit-Level Measurement*, IEEE International Integration Reliability Workshop, pp. 137–141, 2011.
- [CKR+04] S. Chakravarthi, A. Krishnan, V. Reddy, C. F. Machala and S. Krishnan, *A comprehensive framework for predictive modeling of negative bias temperature instability*, Proceedings IEEE International Reliability Physics Symposium, pp. 273–282, 2004.
- [KAR07] K. Kang, M.A. Alam and K. Roy, *Characterization of NBTI induced Temporal Performance Degradation in Nano-Scale SRAM array using IDDQ*, IEEE International Test Conference (ITC), p. 11.1, 2007.

- [QLB07] J. Qin, X. Li and J.B. Bernstein, *SRAM Stability Analysis Considering Gate Oxide SBD, NBTI and HCI*, International Integrated Reliability Workshop (IRW), pp. 33-37, 2007.
- [LCWM16] T. Liu, C-C. Chen, J. Wu and L. Milor, *SRAM Stability Analysis for Different Cache Configurations Due to Bias Temperature Instability and Hot Carrier Injection*, IEEE 34th International Conference on Computer Design (ICCD), pp. 225-232, 2016.
- [KHR14] S. Y. Kim, C.-H. Ho, and K. Roy, *Statistical SBD modeling and characterization and its impact on SRAM cells*, IEEE Trans. Electron Devices, vol. 61, no. 1, pp. 54–59, Jan. 2014
- [LMA+06] Y.-H. Lee, N. Mielke, M. Agostinelli, S. Gupta, R. Lu, and W. McMahon, *Prediction of logic product failure due to thin-gate oxide breakdown*, in Proc. IEEE Int. Rel. Phys. Symp., pp. 18–28, Mar. 2006.
- [LMM+07] Y.-H. Lee, N. R. Mielke, W. McMahon, Y.-L. R. Lu, and S. Pae, *Thingate-oxide breakdown and CPU failure-rate estimation*, IEEE Trans. Device Mater. Rel., vol. 7, no. 1, pp. 74–83, Mar. 2007.
- [NVGM14] T. Naphade, P. Verma, N. Goel, and S. Mahapatra, *DC/AC BTI variability of SRAM circuits simulated using a physics-based compact model*, in Proc. IEEE Int. Rel. Phys. Symp., pp. CA.2.1–CA.2.8, Jun. 2014.
- [AHR+13] D. Angot, V. Huard, L. Rahhal, A. Cros, et al., *BTI variability fundamental understandings and impact on digital logic by the use of extensive dataset*, in Proc. IEEE Int. Electron Device Meeting, pp. 15.4.1–15.4.4, Dec. 2013.
- [PAH+14] C. Prasad, M. Agostinelli, J. Hickes, S. Ramey, et al., *Bias temperature instability variation on SiON/poly, HK/MG and trigate architectures*, in Proc. IEEE Int. Rel. Phys. Symp., pp. 6A.5.1–6A.5.7, Jun. 2014.