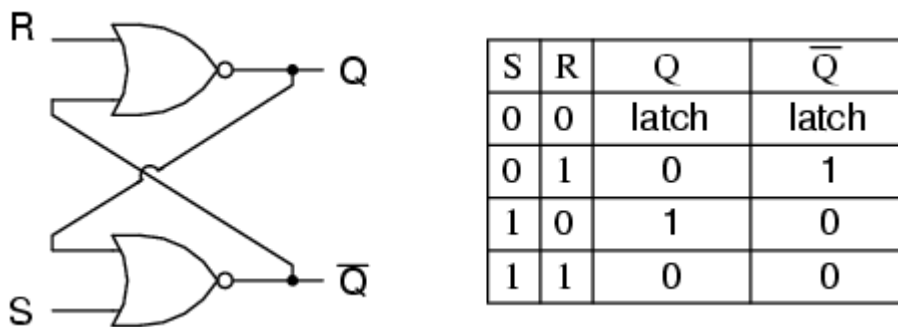

11주차 예비보고서

전공: 컴퓨터공학 학년: 2학년 학번: 20191629 이름: 이주현

1. RS 플립플롭에 대해서 조사하시오.

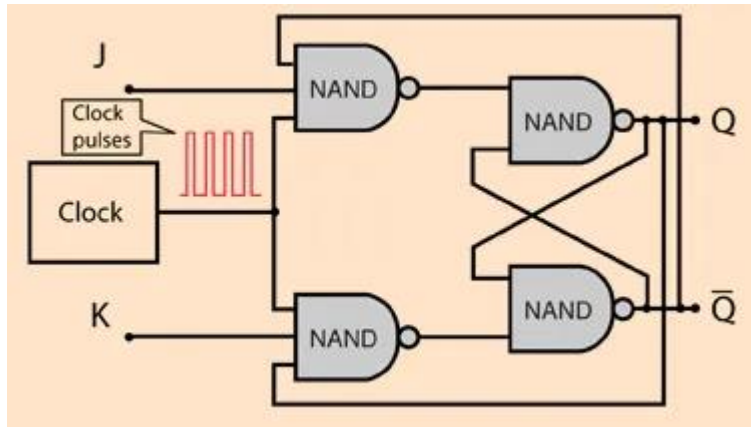
RS 플립플롭은 가장 기본적인 플립플롭이라고 할 수 있는데, set 핀과 reset 핀이 존재한다는 점에서 RS 플립플롭이라는 이름이 붙었다. 이 회로는 두 입력이 논리적 거짓일 경우, 이전 출력을 유지한다는 점에서 SR-latch라는 이름으로도 불린다. 이 회로의 회로도나 다음과 같다.



위 회로도에서 볼 수 있듯이, 하나의 출력이 다른 입력으로 들어가는 피드백 구조로 되어 있는데, 이러한 성질 때문에 R과 S 핀 모두 논리적 참이 입력된다면 제대로 작동하지 않는다는 특징이 있다.

2. JK 플립플롭에 대해서 조사하시오.

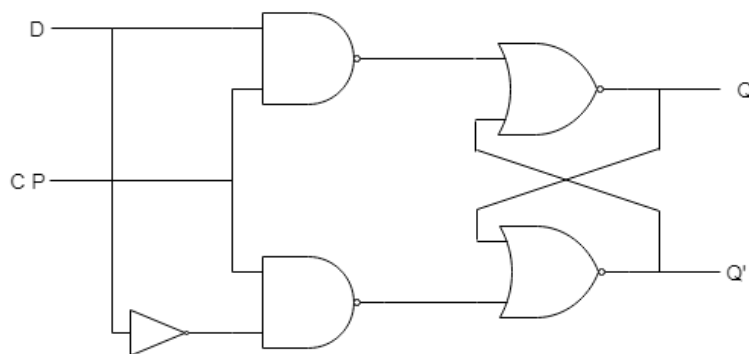
JK 플립플롭은 RS 플립플롭의 문제점을 보완한 플립플롭 회로로, 두 입력 모두에 1이 입력되었을 때에도 올바르게 대처할 수 있도록 만들어진 플립플롭이다. 다음은 JK 플립플롭의 회로도이다.



플립플롭을 자세히 관찰해 보면 클럭 입력을 받는다는 점을 알 수 있는데, 클럭을 통해서 만약 J와 K 핀에 모두 1이 입력된다면 결과값을 반전시키는 작업을 하는 것으로 생각할 수 있다. 모든 작업은 클럭 신호가 1일 때 진행되며, 클럭 신호가 low일 경우에는 아무 일이 일어나지 않는다고 볼 수 있다.

3. D 플립플롭에 대해서 조사하시오.

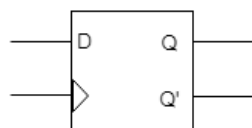
D 플립플롭은 하나의 입력만을 가지는 플립플롭인데, 기본적으로 클럭 신호를 갖는 SR latch에 하나의 입력을 그대로, 또는 반전해서 집어넣는 플립플롭이라고 할 수 있다. 회로도에는 다음과 같다.



(a) Logic diagram with Nand gates

Q D	Q (t+1)
0 0	0
0 1	1
1 0	0
1 1	1

(c) Transition table



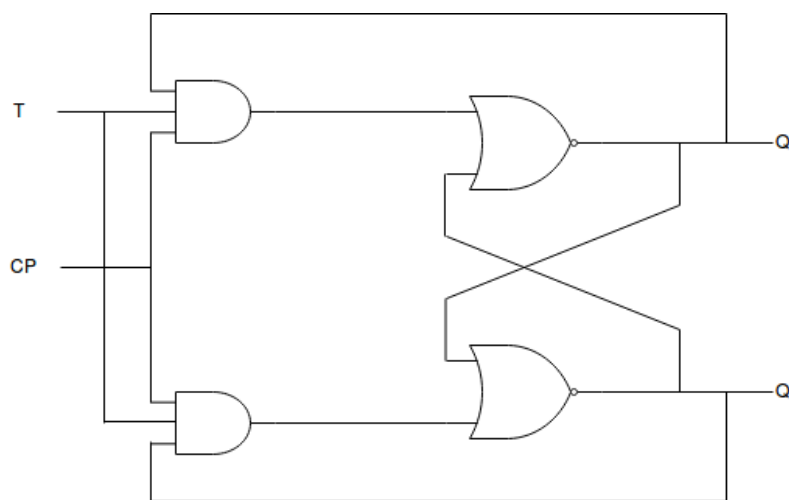
(b) Graphic Symbol

fig. Clocked D flip flop

회로도에서 알 수 있듯이, D가 1이면 SR latch의 set 핀이 1, reset 핀이 0이 되어 1을 출력하고 D가 0이면 그 반대가 되어 0을 출력한다. 즉, 입력을 그대로 출력하는 간단한 회로라고 볼 수 있다.

4. T 플립플롭에 대해서 조사하시오.

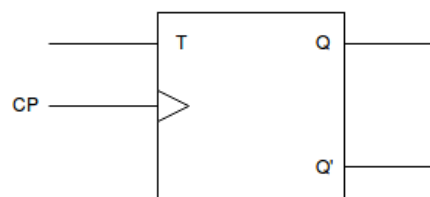
T 플립플롭은 toggle 플립플롭의 약자로, 이름에서 알 수 있듯이 스위치처럼 사용할 수 있는 플립플롭을 말한다. 여기에서 스위치를 조작하는 작업은 입력값을 1으로 바꾸는 것으로 사용한다. 다음은 회로도이다.



Q	T	Q(t+1)
0	0	0
0	1	1
1	0	1
1	1	0

b) Transition table

a) Logic diagram



c) Graphical symbol

fig. Clocked T flip flop

해당 회로는 JK 플립플롭에서 J 핀과 K 핀을 하나로 묶은 회로라고 볼 수 있다.

5. Latch의 기능에 대해서 조사하시오.

플립플롭과 래치 모두 하나의 비트를 저장하는 기억 회로라고 볼 수 있다. 하지만 래치는 플립플롭과 달리 클럭 신호를 필요로 하지 않으며, 따라서 자연스럽게 입력이 바뀌게 되면 클럭 신호를 기다릴 필요 없이 출력이 바뀌는 회로이다. 위에서 조사한 예시 중에서 RS 플립플롭과 D 플립플롭은 클럭 신호를 삭제하여 래치 형태로 만들 수 있지만, 다른 회로는 클럭 신호를 사용하는 기능이 존재하기 때문에 클럭 신호를 삭제할 수 없다. RS 플립플롭 형태를 사용하는 래치를 SR latch, D 플립플롭 형태를 사용하는 래치를 D latch라고 부른다.

6. Clock의 기능에 대해서 조사하시오.

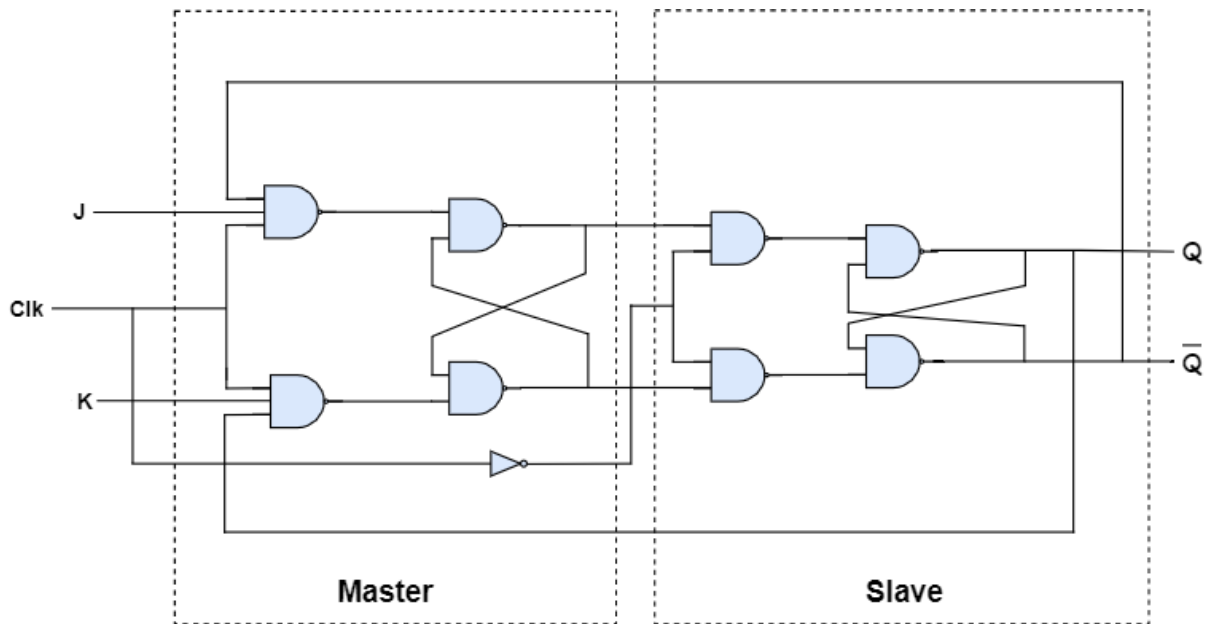
클럭은 이름에서 알 수 있듯이 일정한 주기에 맞춰 0과 1을 번갈아가며 출력하는 신호로, 회로의 동작을 보조하거나 회로의 속도를 조절하는 역할을 보통 담당한다. 클럭은 보통 크리스털이라는 부품을 사용해서 만들어내는데, 많은 전자 회로가 클럭 입력을 필요로 한다. 클럭 역시 전기 신호이기 때문에 전파 지연에서 자유로울 수는 없으므로, 실제 회로를 설계할 때는 각 부품의 데이터시트를 참고하여 시간에 맞게 데이터를 주고받을 수 있도록 유의하여 회로를 설계하여야 한다.

7. Edge-trigger의 특성에 대해 조사하시오.

Edge-trigger는 각 신호의 “끝”에서 어떠한 작업을 수행하는 것을 말한다. 여기서 끝(edge)라 함은 클럭과 같이 0과 1을 반복하는 신호에서 0에서 1으로, 또는 1에서 0으로 바뀌는 순간을 의미한다. 또, 0에서 1으로 바뀌는 순간을 rising edge(상승 에지), 1에서 0으로 바뀌는 순간을 falling edge(하강 에지)라고 부른다. 보통 플립플롭과 같은 회로는 상승 에지 또는 하강 에지 중 하나를 골라 그 때 동작을 하도록 설계하는데, 상승 에지와 하강 에지 모두에 반응하도록 설계하는 것도 불가능한 작업은 아니다.

8. Master-slave의 개념에 대해 조사하시오.

Master-slave는 어떤 하나의 장치가 다른 장치를 제어하도록 여러 장치를 연결하는 것을 말한다. 예를 들어, JK 플립플롭은 J, K 핀과 클럭 입력이 모두 1인 경우 출력이 안정되지 못하는 경우가 있는데, 이러한 문제를 해결하기 위해 주종관계를 적용하는 경우가 있다. 이를 주종 JK 플립플롭이라고 부르는데, 회로는 다음과 같다.

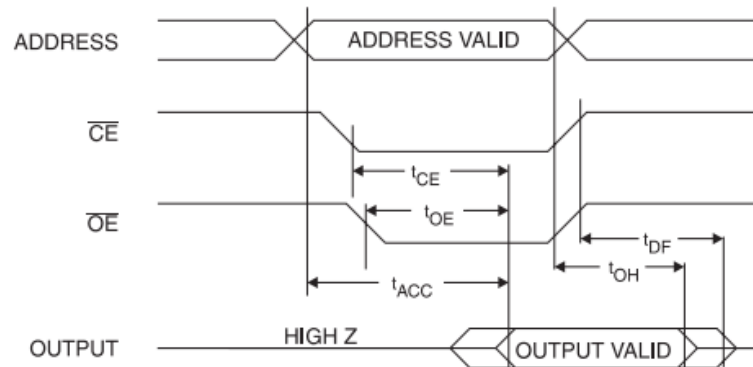


이 회로는 두 개의 플립플롭으로 구성되어 있다는 것을 알 수 있는데, 클럭의 상승 에지에서 먼저 master 플립플롭이 설정되고, 그 다음 하강 에지에서 slave 플립플롭으로 값이 전달된다는 것을 알 수 있다.

9. 기타 이론

모든 전기 신호는 어느 정도의 지연 시간을 가지면서 전파된다. 즉, 너무 빠르게 데이터의 내용이 바뀐다면 전기 회로는 데이터가 움직이는 시간에 맞춰 빠르게 결과값을 산출해낼 수 없다는 의미이다. 따라서, 데이터를 안정적으로 처리할 수 있기 위해 알아야 할 지연 시간의 종류는 크게 setup time과 hold time이다. Setup time은 클럭의 신호보다 먼저 데이터가 안정적으로 전달될 수 있도록 클럭 신호 이전에 데이터가 준비되어 있어야 하는 시간이고, hold time은 어떤 소자가 데이터를 안정적으로 처리할 수 있도록 데이터를 바꾸지 않고 기다려야 하는 시간이다. 이러한 시간은 데이터시트를 보면 알 수 있다. 아래는 AT28C256 EEPROM의 시간 다이어그램이다.

10. AC Read Waveforms⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾



- Notes:
1. \overline{CE} may be delayed up to $t_{ACC} - t_{CE}$ after the address transition without impact on t_{ACC} .
 2. \overline{OE} may be delayed up to $t_{CE} - t_{OE}$ after the falling edge of \overline{CE} without impact on t_{CE} or by $t_{ACC} - t_{OE}$ after an address change without impact on t_{ACC} .
 3. t_{DF} is specified from \overline{OE} or \overline{CE} whichever occurs first ($C_L = 5 \text{ pF}$).
 4. This parameter is characterized and is not 100% tested.

비록 이 회로는 클럭 신호를 입력받지는 않지만, 주소 값을 보내준 후 CE 핀과 OE 핀을 설정한 뒤 실제 EEPROM에 저장된 데이터가 나오기까지 지연 시간이 존재한다. 위 다이어그램에서 ADDRESS VALID라고 쓰여 있는 부분이 데이터를 안정적으로 유지해야 하는 최소 시간, 즉 setup time과 hold time을 합한 시간이라고 볼 수 있다.