

UG936

Lab7

Incremental Flow

경북대학교 2022222447 박주동

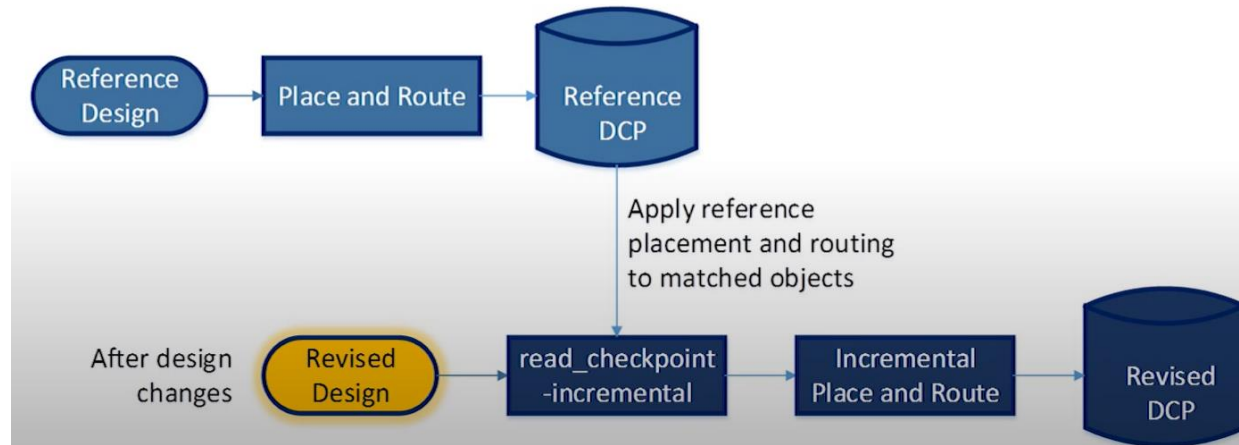
Lab7

- **Incremental compile flow**를 이용하여 design을 디버깅해보기!

-> Incremental compile을 이용하여 debug core를 추가/수정/삭제 및 결과 확인

- 이번 LAB 순서
- Step1: 디버그 코어 추가하기
- Step2: Reference Design 컴파일하기
- Step3: 새로운 Run 실행하기 (create new runs)
- Step4: Incremental debug 수정하기
- Step5: Incremental compile 실행하기

Ch.13 Debugging Designs Post Implementation

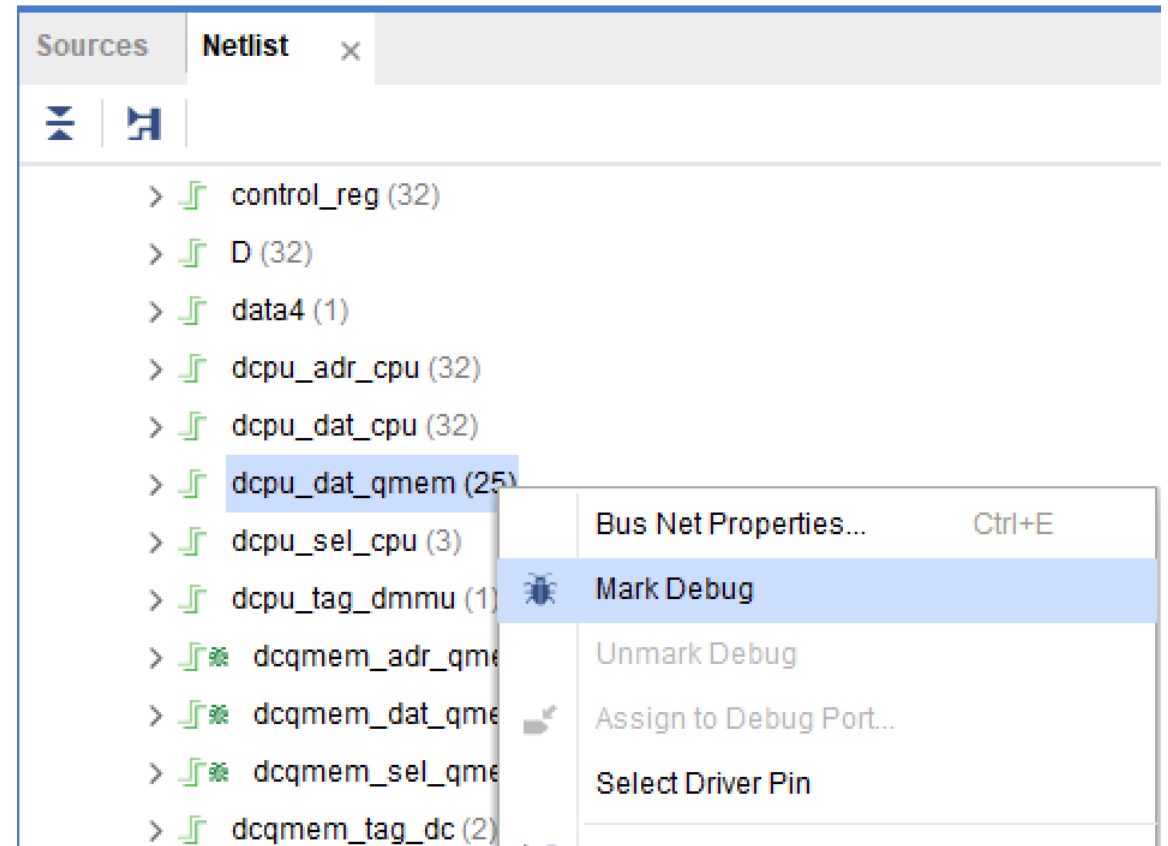


• Incremental Compile Flow Designs

- **ILA**를 추가/삭제, 수정하기 위해 사용
 - 디자인 개발이 거의 완료되는 상태에서 사용
- 시간 절약
 - 기존 design(reference design)을 최대한 재활용 -> Implement하는 속도 상승
 - 95%이상 같아야 효과적
- 최소한의 수정
 - 기존 design(reference design)을 최대한 재활용 -> 기존 design과 거의 같음
 - 95%이상 같아야 효과적

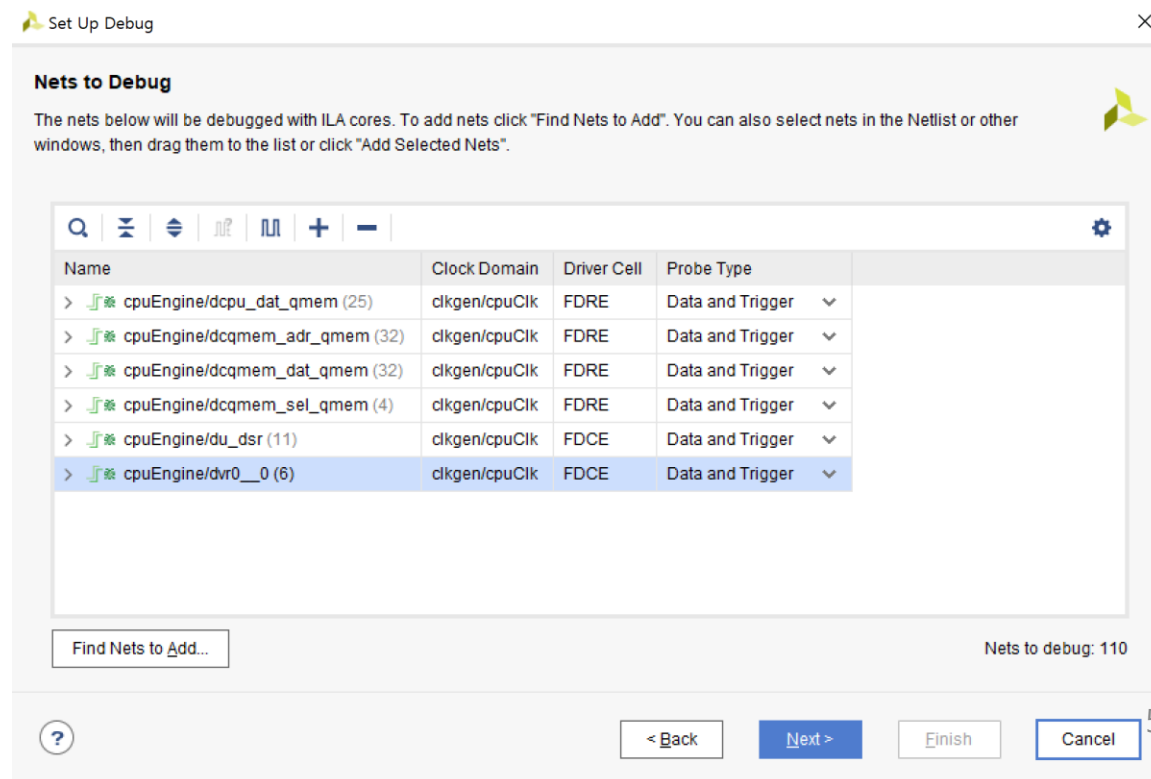
Step1: 디버그 코어 추가하기

- Vivado (ver.2018.2) 열기
- Open Example Project 클릭
- CPU(Synthesized) design template 클릭
- Project name box에서, 다음과 같이 설정
 - 프로젝트 이름: ug936_lab7_incremental
 - 프로젝트 저장 위치: default (상관없음)
 - Parts 번호: xc7k70tfbg676-2
- Synthesized design 열기
 - Netlist - “cpuEngine” 모듈에서 다음 Nets을 **Mark Debug**
 - cpuEngine/dcqmem_dat_qmem[*]
 - cpuEngine/dcpu_dat_qmem[*]
 - cpuEngine/dcqmem_adr_qmem[*]
 - cpuEngine/du_dsr[*]
 - cpuEngine/dvr0__0[*]
 - cpuEngine/dcqmem_sel_qmem[*]




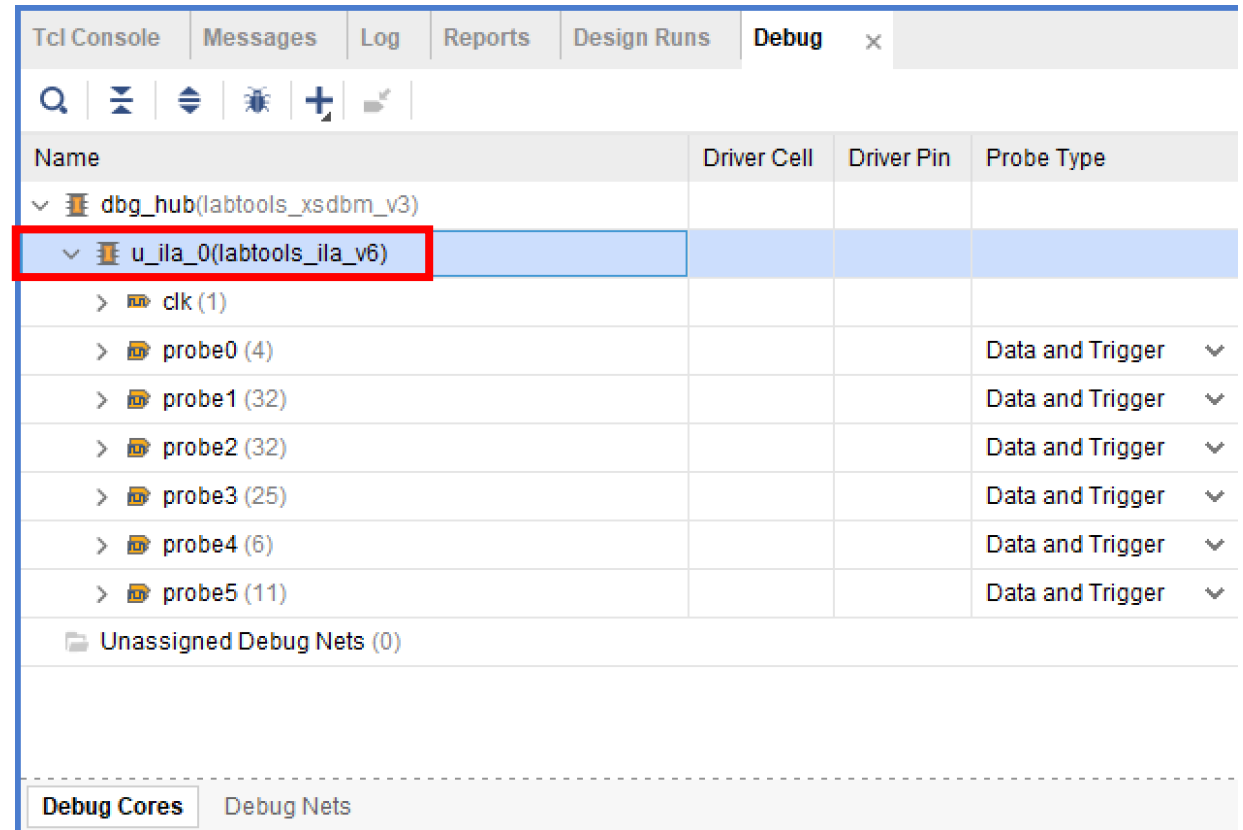
Step1: 디버그 코어 추가하기

- Mark Debug의 또다른 방법 – Tcl 사용
 - `set_property mark_debug true [get_nets [list {cpuEngine/dcqmem_dat_qmem[*]} {cpuEngine/dcpu_dat_qmem[*]} {cpuEngine/dcqmem_adr_qmem[*]} {cpuEngine/du_dsr[*]} {cpuEngine/dvr0__0[*]} {cpuEngine/du_dsr[*]} {cpuEngine/dcqmem_sel_qmem[*]}]]`
- Set Up Debug Wizard 실행
- Flow Navigator에서, **Set Up Debug** 클릭
 - 선택했던 Net들을 ILA에 연결
 - Next 클릭
 - ILA Core Options: default
 - Next 클릭 – finish 클릭



Step1: 디버그 코어 추가하기

- Debug 창에서, **u_ila_0** 코어 생성 확인
- 추가한 debug 설정을 기존 XDC파일에 저장
 - File -> Constraints -> Save or button 



Step2: Reference Design 컴파일하기

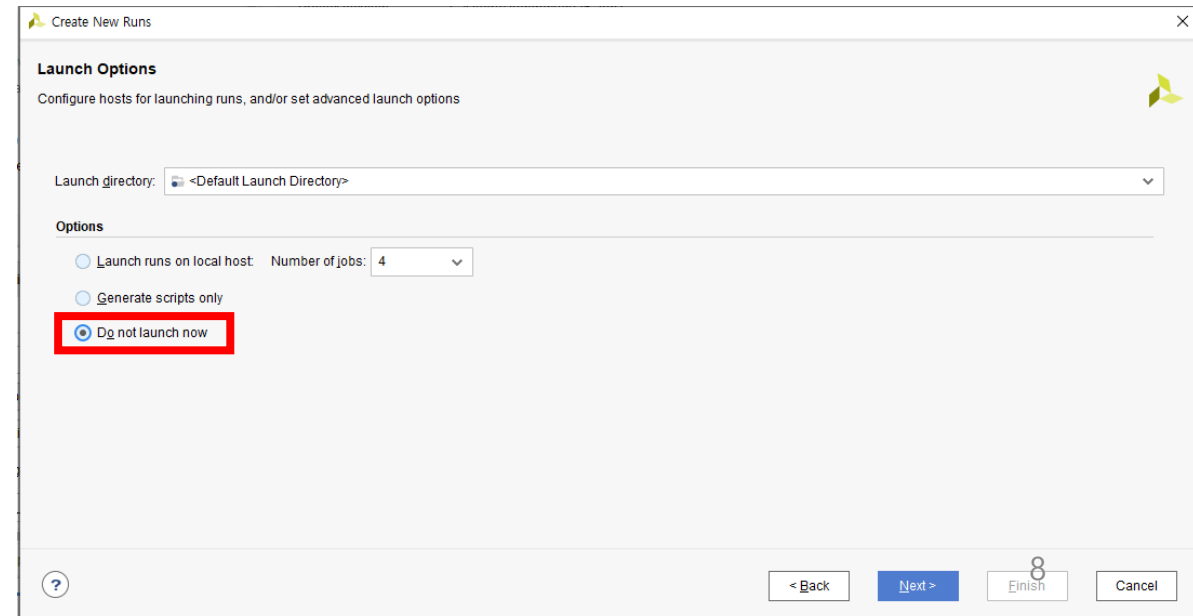
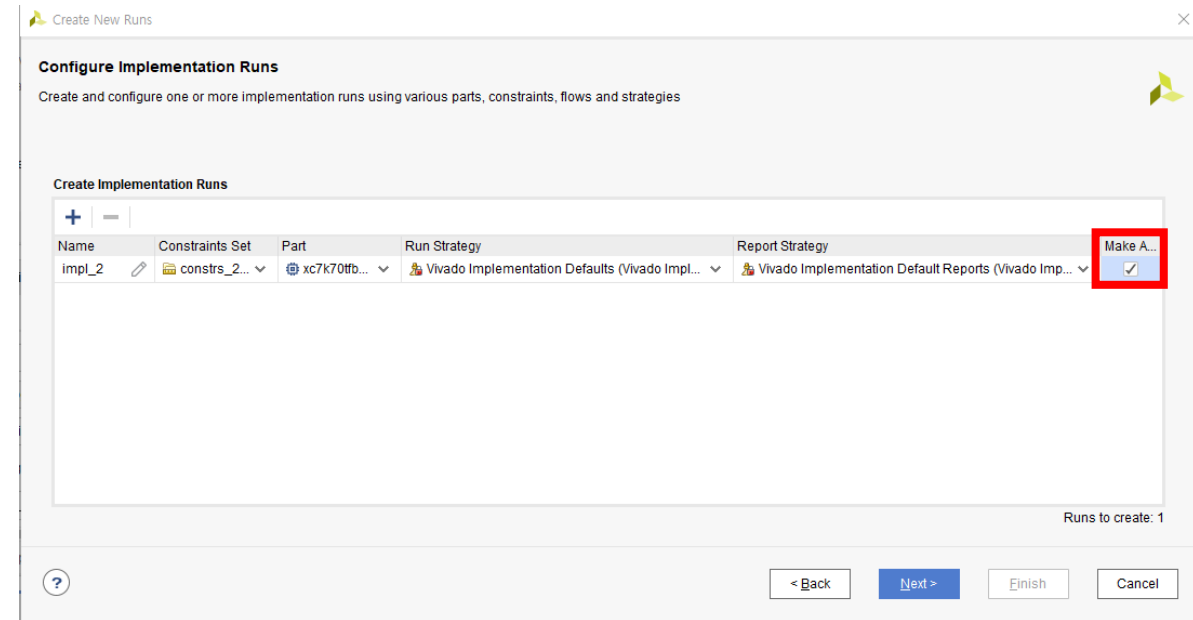
- Flow Navigator에서, Run Implementation 실행
- Implementation 완료 후, Design Runs 창에서,
- impl_1 오른쪽 클릭 – **Open Run Directory**
 - Impl_1 run directory: routed checkpoint(top_routed.dcp)가 포함됨. 해당 DCP 파일은 Incremental compile flow에 사용됨
 - Design checkpoint(DCP) 파일: netlist, constraint, implementation result(i/o 연결방식, utilization, timing, power 등등)
- Tcl 명령어로도 Run directory 경로 알 수 있음
 - get_property DIRECTORY [current_run]

The screenshot shows the Design Runs window in Vivado. The top pane displays the file structure of the impl_1 run directory, listing various .begin and .end files for different design stages. The bottom pane shows the Design Runs table with the following data:

Name	Constraints	Status	WNS	TNS	WHS	THS	TPWS	Total Power	Failed
✓ impl_1	constrs_2	route_design Complete!	0.077	0.0...	0.051	0.0...	0.000	2.391	

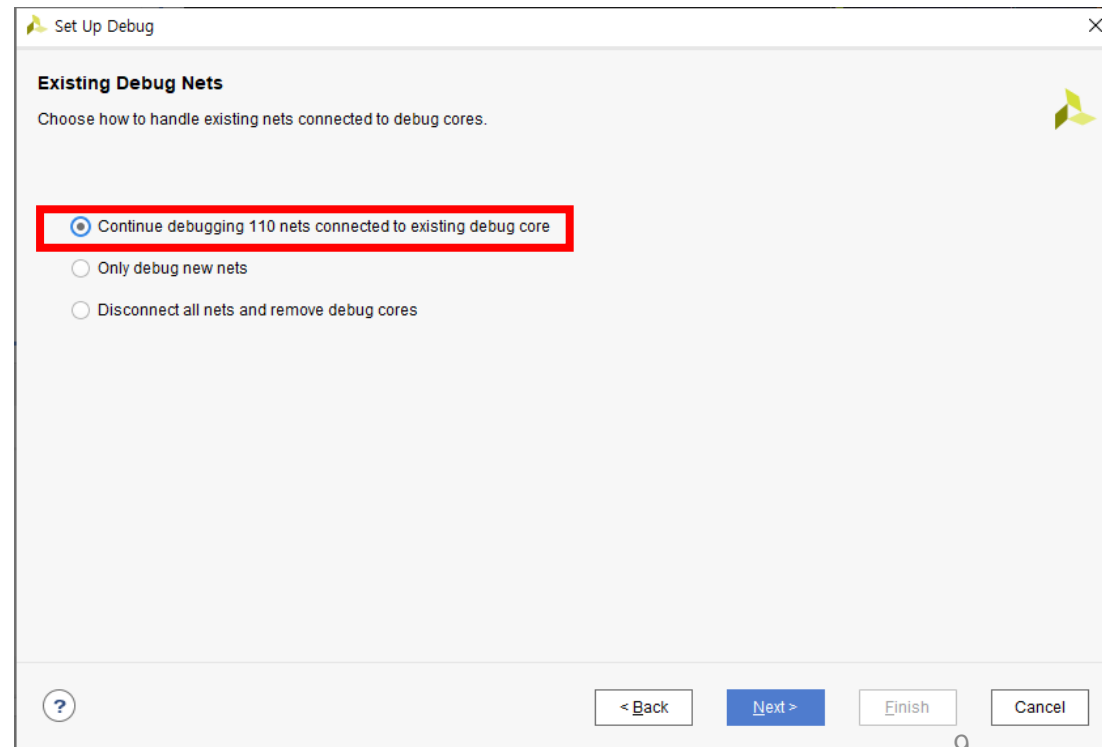
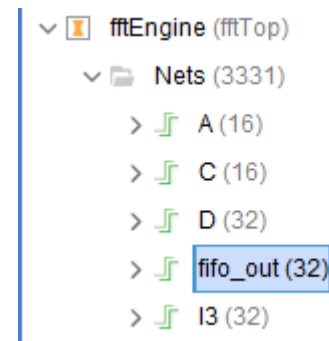
Step3: New Run 생성하기

- 이번 단계에서는, 새로운 Run 탭에 debug 코어를 수정해서 다시 합성하고 implementation을 진행해서 기존 implementation 결과와 비교할 수 있도록 함
- 새로운 Runs 생성하기
 - Flow – **Create Runs**
 - Configure Implementation Runs 창에서, **Make Active** 체크 – Next
 - Launch Options 창에서, **Do not launch now** 체크 – Next
 - Create New Runs Summary screen 창에서, Finish 클릭
 - New runs 생성
- Design Runs 탭에서, impl_2 runs 생성됨을 확인



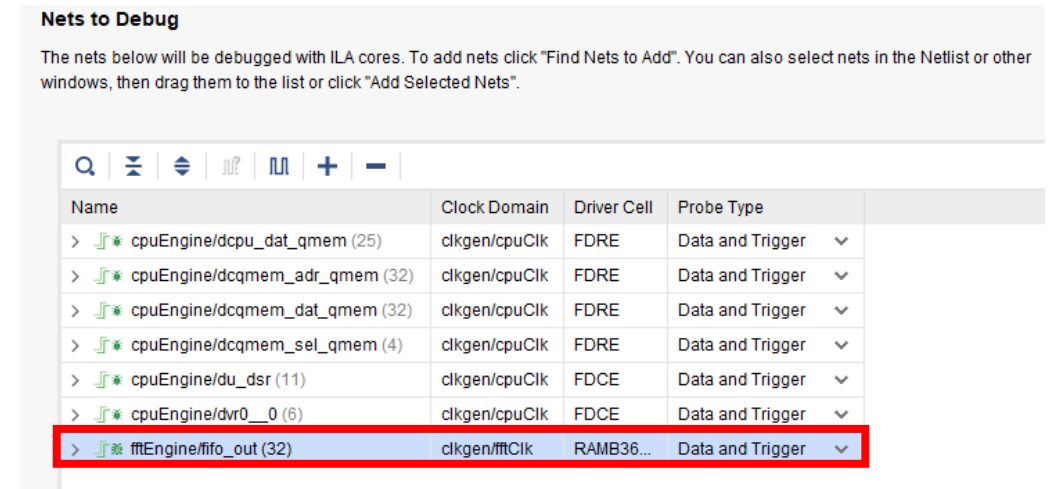
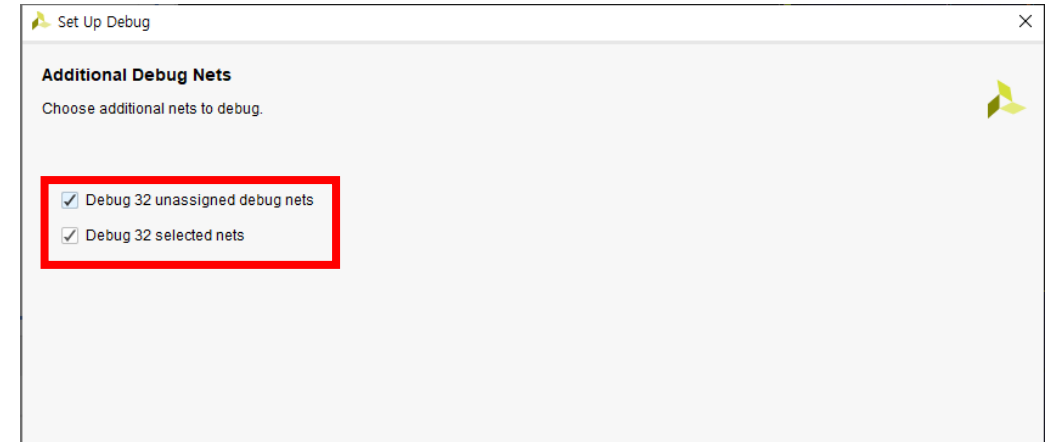
Step4: Incremental Debug 수정하기

- 새롭게 만든 Runs에서 debug 코어를 수정하는 과정
- 수정 후에, reference DCP 파일을 통해 implement하면 기존의 place와 route된 netlist와 cell들을 최대한 reuse함으로써 debug 시간을 줄일 수 있음
- Nets 추가하기
 - Synthesized netlist 열기
 - Debug core 변경을 위해서, 다음의 nets를 **MARK DEBUG**
 - fftEngine/fifo_out[*]
 - **Set Up Debug Wizard** 열기
 - Set Up Debug 클릭
 - Existing Debug Nets 창에서, 다음을 체크
 - **Continue debugging 110 nets connected to existing debug cores**
 - Next




Step4: Incremental Debug 수정하기

- Debug 32 Unassigned debug nets 체크 – Next
- Nets to Debug 탭에서, 추가된 Nets 확인 - Next
- Finish



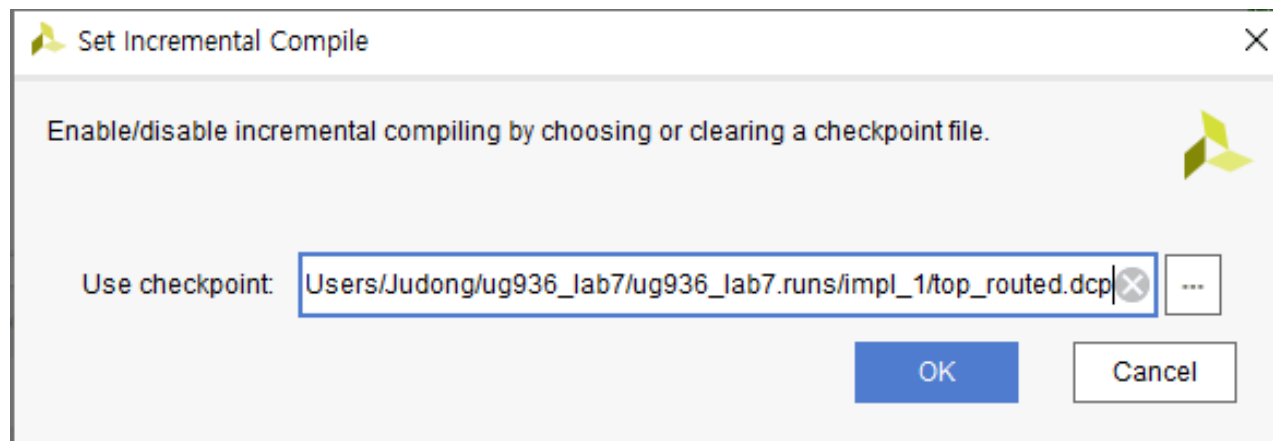
Step4: Incremental Debug 수정하기

- Debug 탭에서, **ILA 코어 2개가 생성됨**을 확인
- 추가한 debug 설정을 기존 XDC파일에 저장
- File -> Constraints -> Save or button 

Tcl Console	Messages	Log	Reports	Design Runs	Debug	×
<div><div><div><div><div></div><div></div><div></div><div></div><div></div><div></div></div></div><div></div></div></div>						
Name	Driver Cell	Driver Pin	Probe Type			
▼ dbg_hub(labtools_xsdbm_v3)						
▼ u_ila_0(labtools_ila_v6)						
> clk (1)						
> probe0 (32)			Data and Trigger	▼		
> probe1 (32)			Data and Trigger	▼		
> probe2 (4)			Data and Trigger	▼		
> probe3 (11)			Data and Trigger	▼		
> probe4 (6)			Data and Trigger	▼		
> probe5 (25)			Data and Trigger	▼		
▼ u_ila_1(labtools_ila_v6)						
> clk (1)						
> probe0 (32)			Data and Trigger	▼		
Unassigned Debug Nets (0)						

Step5: Incremental Debug 수정하기

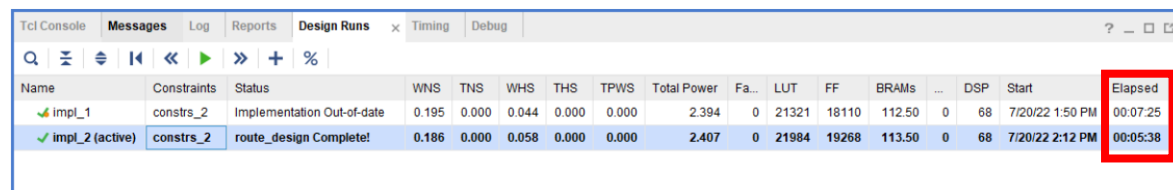
- 이번 단계에서는 incremental compile을 통해서 기존의 생성한 DCP파일을 이용해 debug코어, cell과 netlist의 placement & route를 reuse함
- top_routed.dcp를 이용해 Incremental Compile 실행하기
 - Design Runs 창에서, impl_2 오른쪽 클릭 – **Set Incremental Implementation** 클릭
 - impl_1의 **top_routed.dcp**(DCP 파일) 추가
 - Design Runs 탭에서, **Run Implementation** 실행



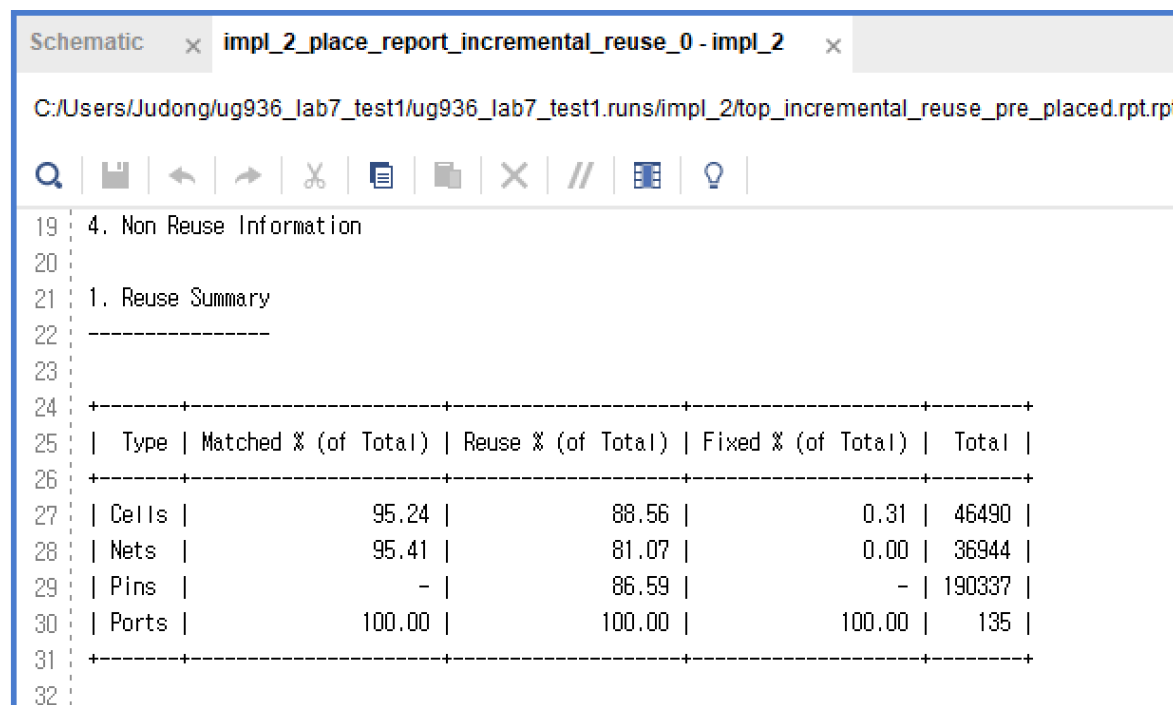
Step5: Incremental Debug 수정하기

- Incremental Compile 결과 확인

- Implementation 후, Open Implemented Design 클릭
- Design Runs 창에서, **impl_1**과 **impl_2**의 실행된 시간을 비교할 수 있음
- Reports 탭에서, **Place Design – Incremental Reuse Report** 클릭
- Incremental Reuse Report
 - reuse된 Cells, Ports, Nets의 비율
 - 비율이 높을수록 placement와 routing에서 reuse가 더 많이 일어났음을 알 수 있음
 - 해당 report
 - Fully reused nets
 - Partially reused nets
 - non-Reused nets



Name	Constraints	Status	WNS	TNS	WHS	THS	TPWS	Total Power	Fa...	LUT	FF	BRAMs	...	DSP	Start	Elapsed
impl_1	constrs_2	Implementation Out-of-date	0.195	0.000	0.044	0.000	0.000	2.394	0	21321	18110	112.50	0	68	7/20/22 1:50 PM	00:07:25
impl_2 (active)	constrs_2	route_design Complete!	0.186	0.000	0.058	0.000	0.000	2.407	0	21984	19268	113.50	0	68	7/20/22 2:12 PM	00:05:38



C:/Users/Judong/ug936_lab7_test1/ug936_lab7_test1.runs/impl_2/top_incremental_reuse_pre_placed.rpt.rpt

```
19 4. Non Reuse Information
20
21 1. Reuse Summary
22 -----
23
24 +-----+-----+-----+-----+-----+
25 | Type | Matched % (of Total) | Reuse % (of Total) | Fixed % (of Total) | Total |
26 +-----+-----+-----+-----+-----+
27 | Cells | 95.24 | 88.56 | 0.31 | 46490 |
28 | Nets | 95.41 | 81.07 | 0.00 | 36944 |
29 | Pins | - | 86.59 | - | 190337 |
30 | Ports | 100.00 | 100.00 | 100.00 | 135 |
31 +-----+-----+-----+-----+-----+
32
```

감사합니다.

- Q&A