

Vivado Design Suite Tutorial 908

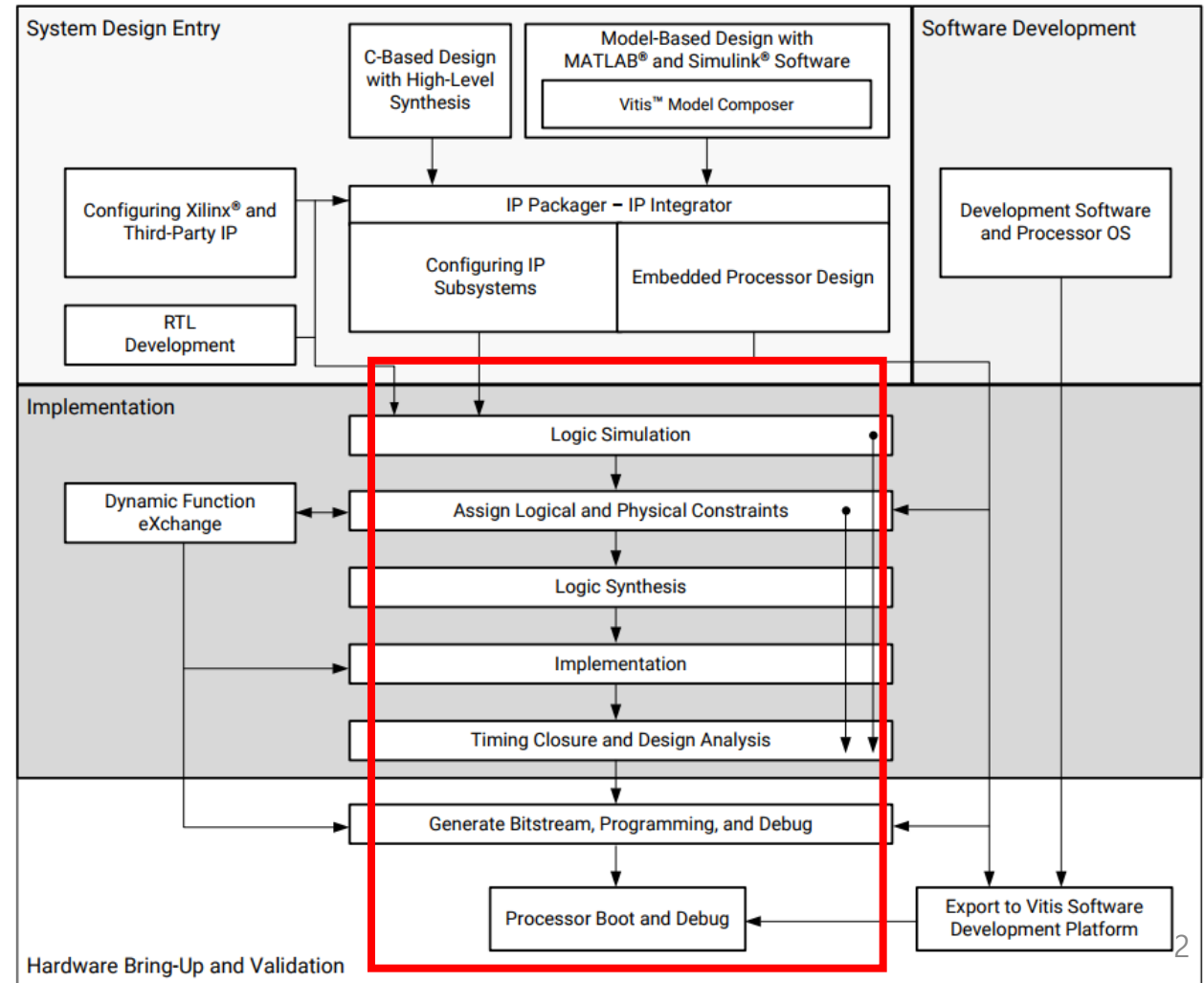
Programming And Debug

19th April 2022

경북대학교 2022222447 박주동

Ch.9 Debugging the Design Flow

- FPGA design 디버깅
 - multi-step
 - Iterative
- 디버깅 단계
 - RTL-level design simulation
 - Post-implemented design simulation
 - Post-implemented design simulation
 - **In-system debugging**
 - FPGA에서 디버깅



Ch.10 In-System Logic Design Debugging Flows

- In-system debugging
 - 하드웨어에서 동작하는 design도 debugging 가능
- Debug IP
 - IP(Intellectual Property)
 - 논리 회로 블록
 - **ILA**(integrated Logic Analyzer)
 - Implement된 design을 FPGA에서 debugging
 - **VIO**(virtual I/O)
 - FPGA에 있는 design에 가상의 입출력을 생성
 - **JTAG-to-AXI**
 - Tcl을 이용하여 FPGA 내부의 AXI interconnect를 통해 BRAM과 같은 메모리를 read/write 가능

Ch.10 In-System Logic Design Debugging Flows

- In-system debugging flow
 - **Probing** 단계
 - 어떤 신호를 측정할 것인지 정함
 - 어떤 디버그 IP로 측정할 것인지 정함(자동/수동)
 - **Implementation** 단계
 - 측정하려는 design과 디버그 IP를 함께 implement함
 - **Analysis** 단계
 - 디버그 IP를 통해 구현된 design이 이상이 없는지 확인

Ch.10 In-System Logic Design Debugging Flows

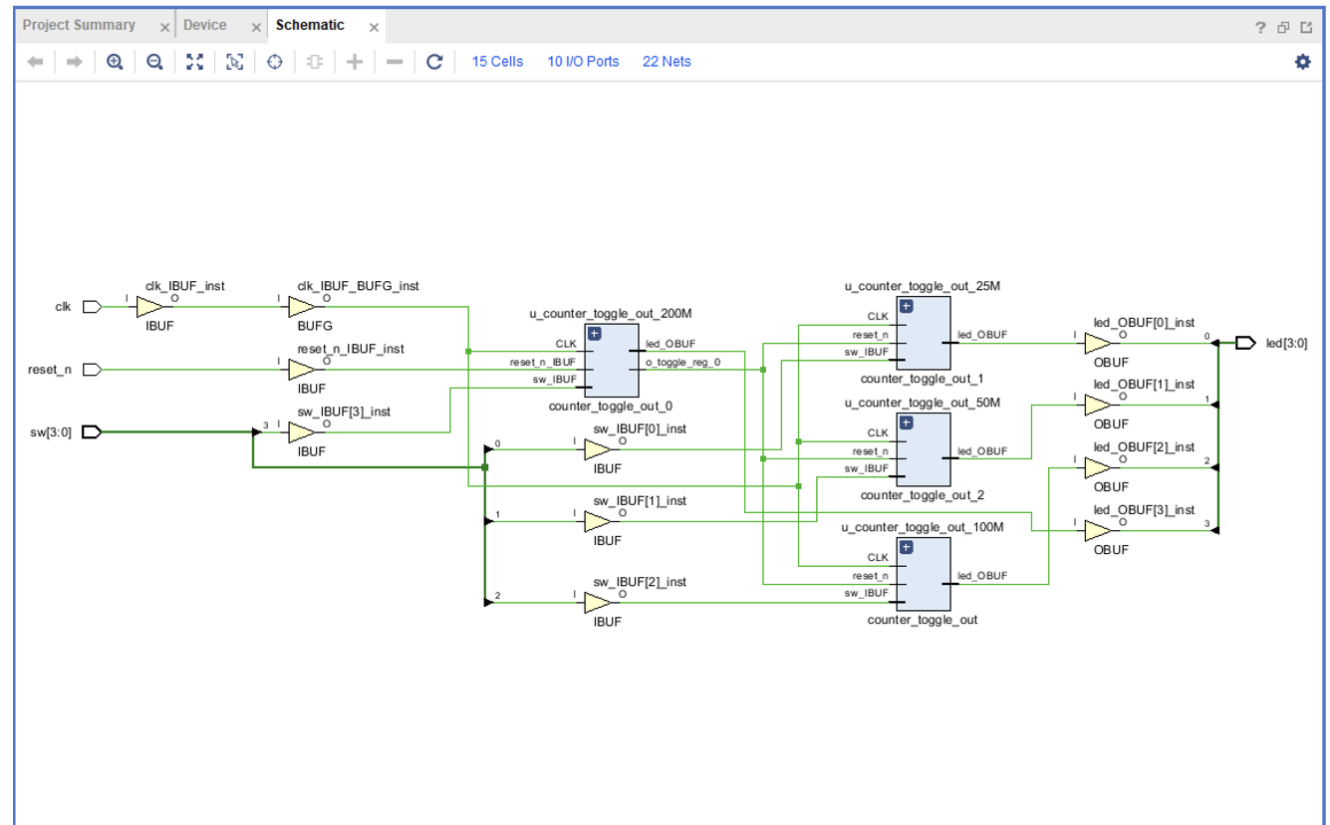
- 디버그 IP를 추가하는 2가지 방법
 - **Instantiation:**
 - 디버그 IP를 직접 손으로(수동) 추가하고 측정할 부분(nets/signals)과 연결
 - ILA, VIO, JTAG-to-AXI 가능
 - **Insertion:**
 - 측정할 부분(nets/signals)을 선택하면 디버그 IP는 자동으로 추가/연결
 - **ILA만 사용 가능**

Ch.10 Using the Netlist Insertion Debug Probing Flow

- Marking HDL Signals for Debug
 - 보낸 보드 파일을 <자일링스>WVivadoW<버전>WdataWboards에 저장
 - **New project** 생성
 - Source file 추가
 - **Lab5.v**
 - **counter_toggle_out.v**
 - Constant file 추가
 - 각 보드에 맞는 XDC 파일 추가
 - Zybo z7-20

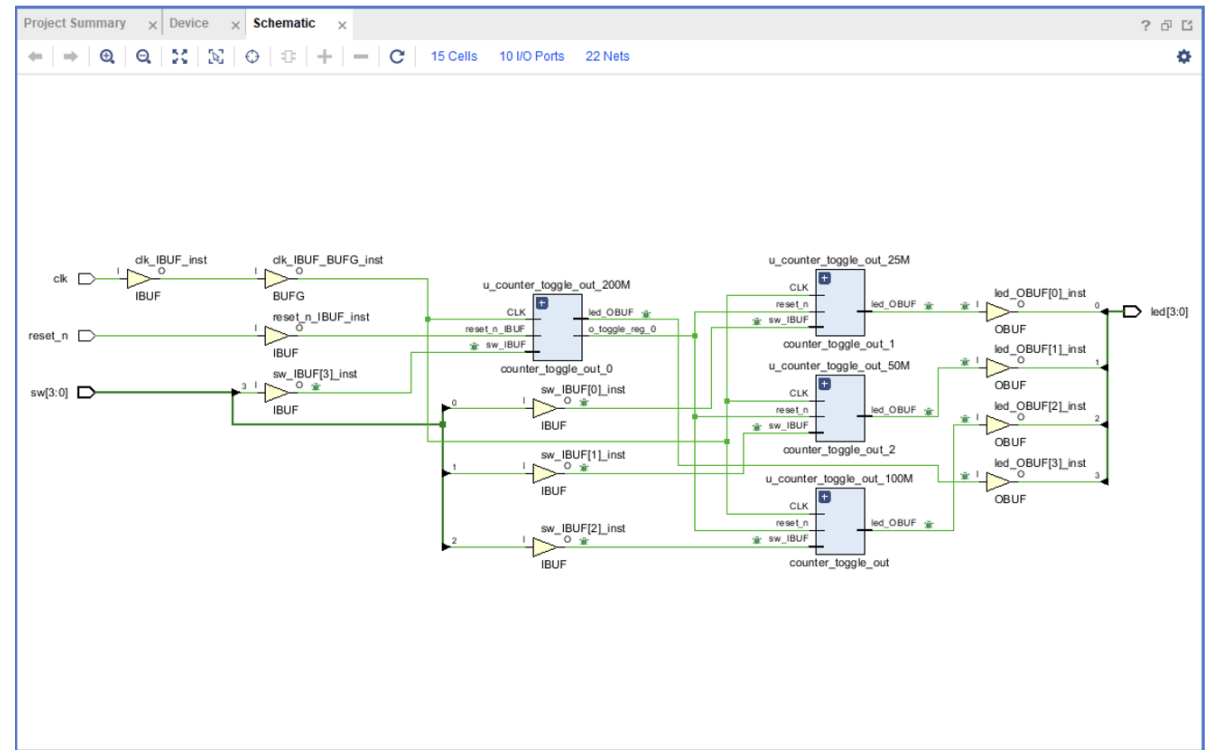
Ch.10 Using the Netlist Insertion Debug Probing Flow

- Marking HDL Signals for Debug
 - **Synthesis** 클릭
 - Synthesis 완료
 - I/O ports 설정(K17,E17,3.3V)
 - **Open synthesized design** 클릭
 - **Netlist & Schematic** 확인



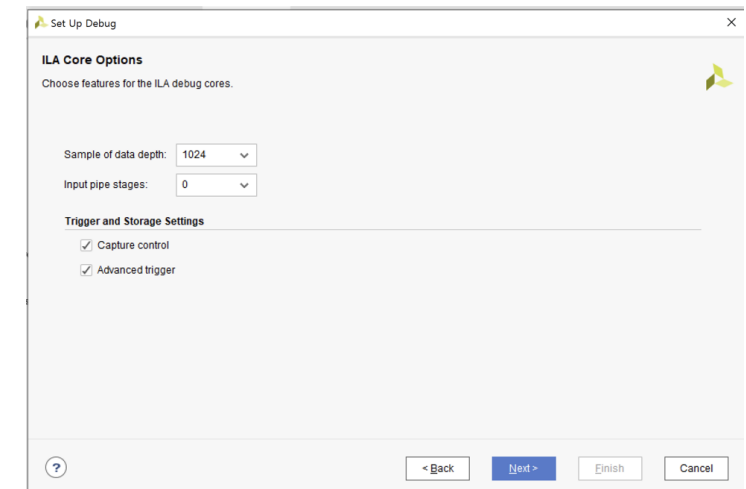
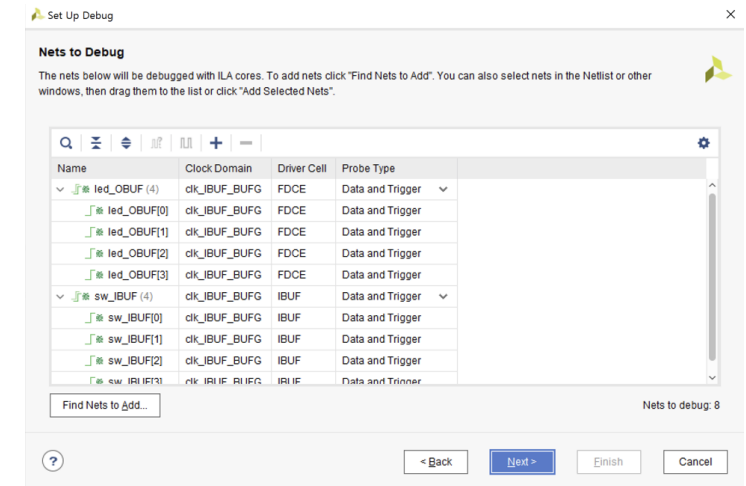
Ch.10 Using the Netlist Insertion Debug Probing Flow

- Marking HDL Signals for Debug
 - 디버깅 할 부분을 선택
 - Schematic
 - 디버깅할 부분 오른쪽 마우스 클릭 - **Mark Debug**
 - Netlist – **Mark Debug**


















Ch.10 Using the Netlist Insertion Debug Probing Flow

- 디버그 위자드로 디버그 IP 자동 추가
 - 불러오기
 - **Tools – set up debug**
 - **Open synthesized design - set up debug**
 - 측정할 선(nets) 추가 가능
 - Find Nets to Add
 - 모드선택
 - **Trigger mode**
 - **Basic mode**
 - finish



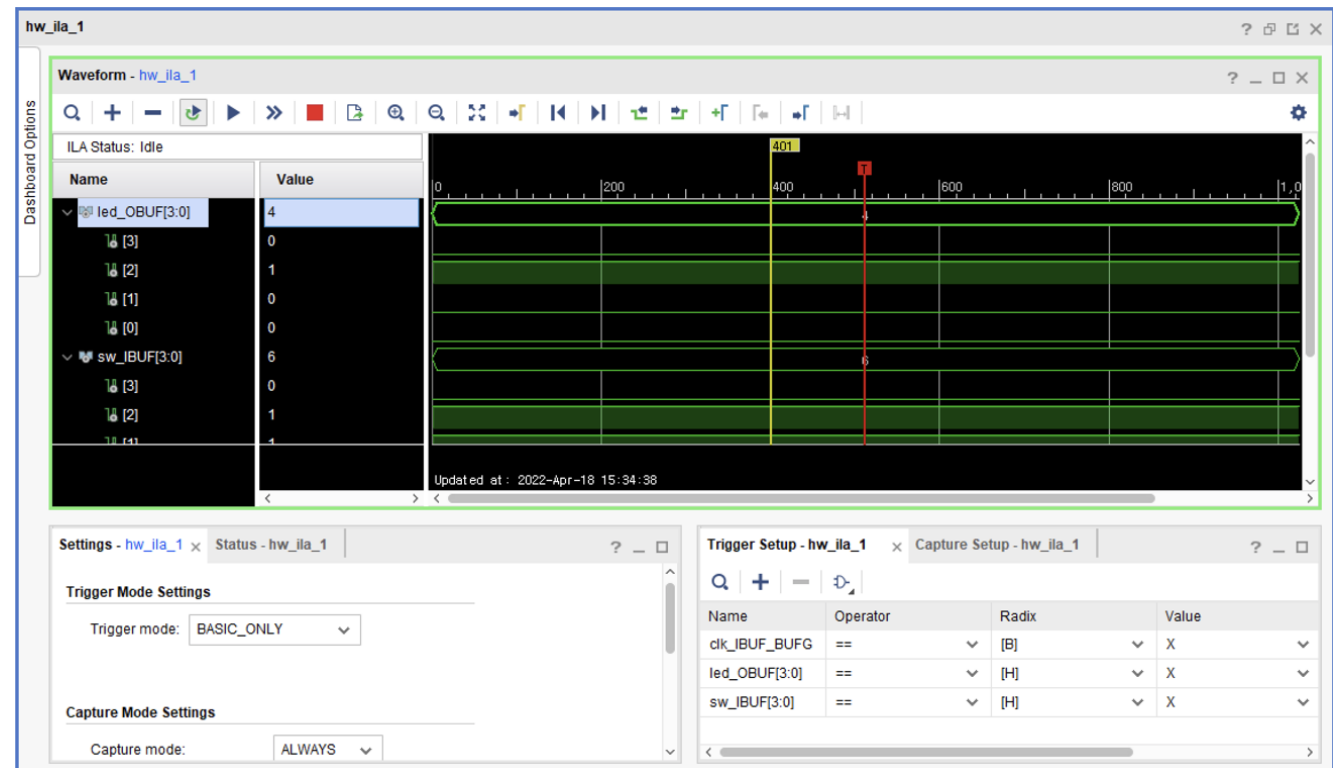
Ch.10 Using the Netlist Insertion Debug Probing Flow

- 디버그할 Nets들이 ILA에 할당되었는지 확인

Tcl Console Messages Log Reports Design Runs Debug x I/O Ports			
     			
Name	Driver Cell	Driver Pin	Probe Type
▼  dbg_hub(labtools_xsdbm_v3)			
▼  u_ila_0(labtools_ila_v6)			
>  clk (1)			
▼  probe0 (4)			Data and Trigger ▼
 Ch 0 (sw_IBUF[0])	IBUF	O	
 Ch 1 (sw_IBUF[1])	IBUF	O	
 Ch 2 (sw_IBUF[2])	IBUF	O	
 Ch 3 (sw_IBUF[3])	IBUF	O	
>  probe1 (4)			Data and Trigger ▼
Unassigned Debug Nets (0)			

Ch.10 Using the Netlist Insertion Debug Probing Flow

- FPGA 상에서 디버깅
 - 비트스트림 생성
 - **Generate bitstream**
 - Fpga 연결
 - **Auto-connect**
 - Fpga 프로그래밍
 - **Program device**
 - ILA
 - 입력값에 따른 출력값 보기



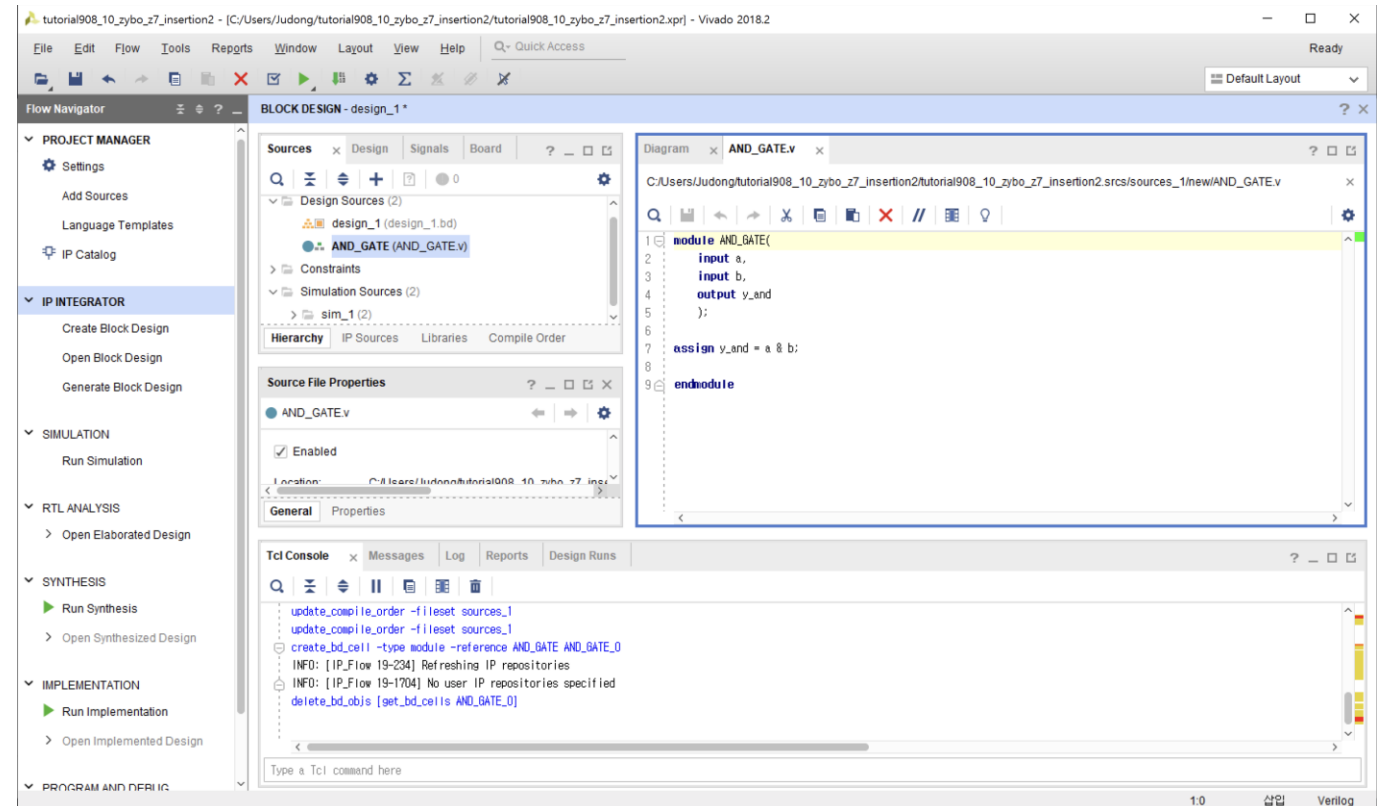
Ch.10 Using the Instantiation Debug Probing Flow

- Customizing and Generating the Debug Cores

- **New project** 생성

- **AND_GATE** 모듈 생성

- AND_GATE 오른쪽 마우스 클릭 –
Add Module to Block Design

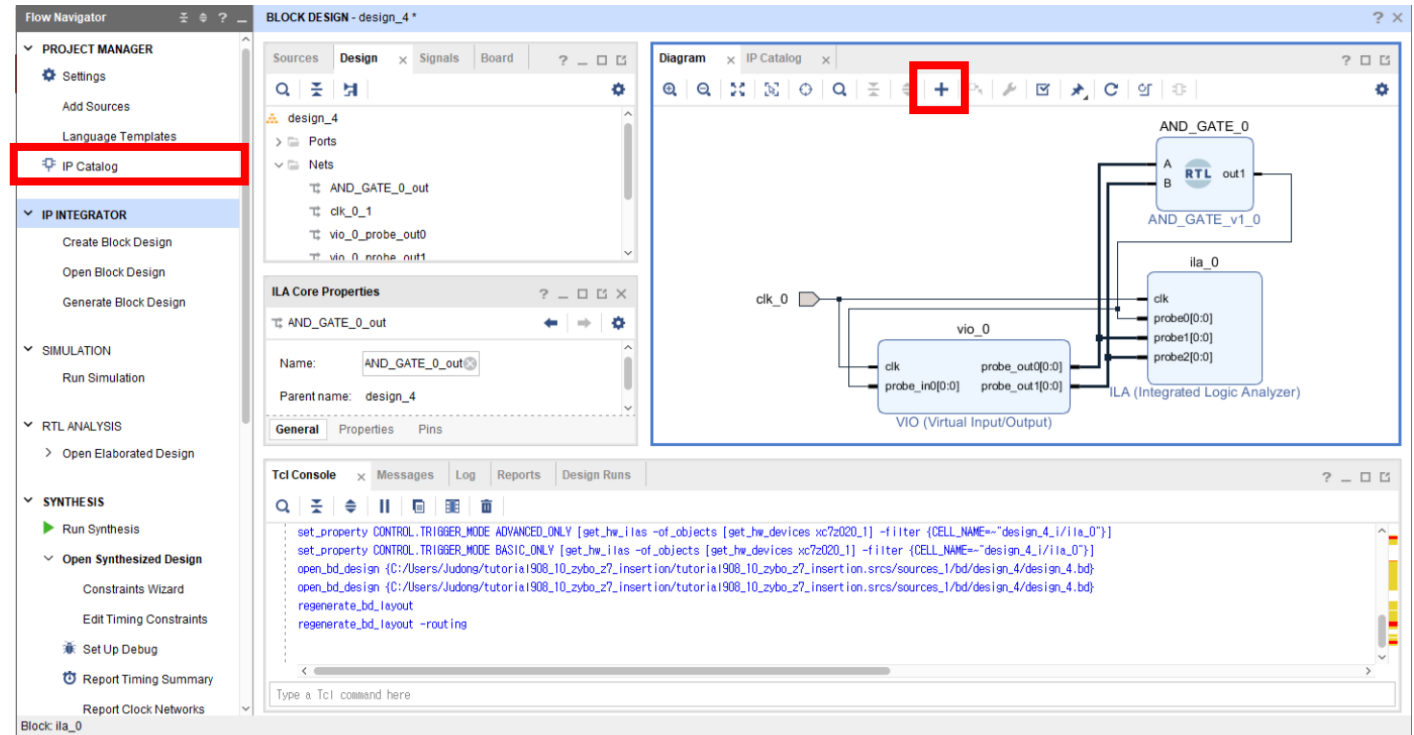


Ch.10 Using the Instantiation Debug Probing Flow

- Customizing and Generating the Debug Cores

- 디버그 IP 생성

- Flow Navigator – **IP Catalog** – Debug & Verification – Debug
- ILA, VIO** 선택
- 혹은, Block Diagram의 **Add IP** 클릭
- Generate block design**
 - 만든 블록 design 생성
- Create HDL wrapper** 클릭



Ch.10 Using the Instantiation Debug Probing Flow

- Viewing the Debug Cores in the Synthesized Design

- 블록 합성

- Run Synthesis

- 입출력 포트 설정

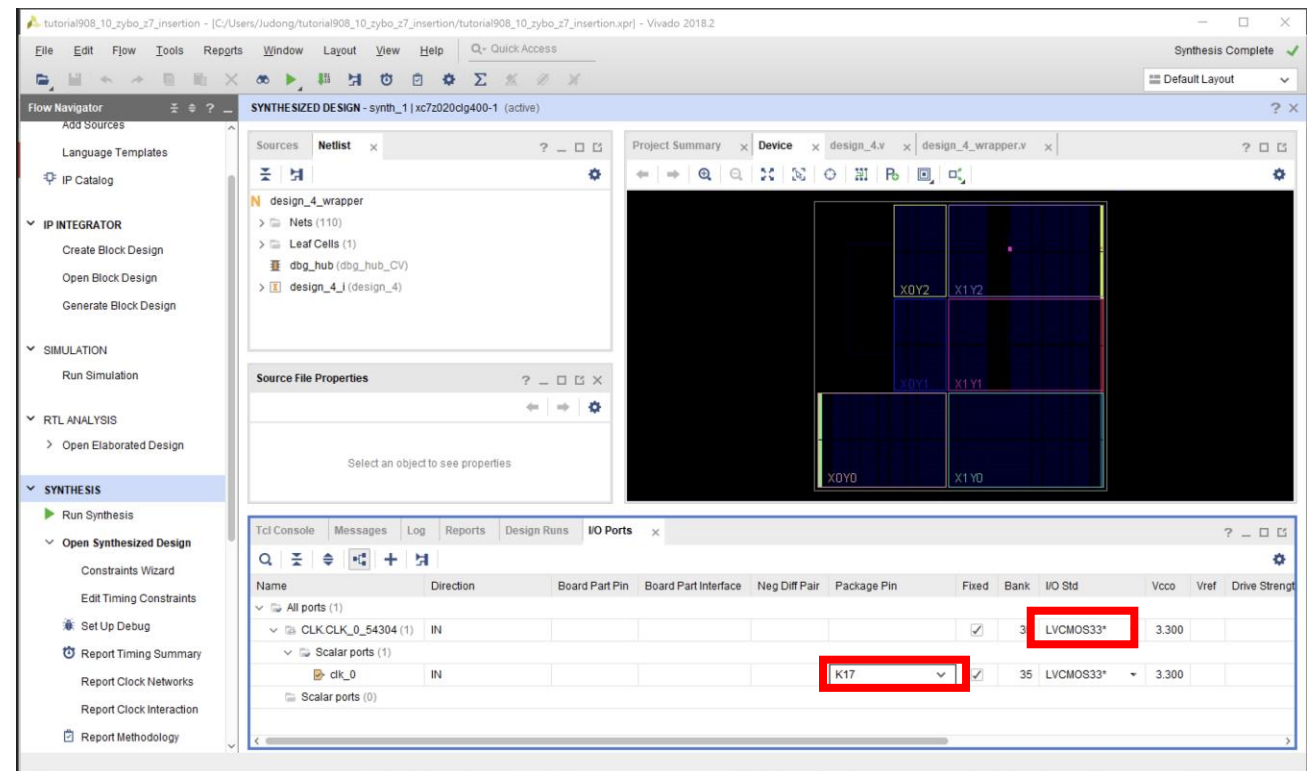
- Synthesis – open synthesized design

- Window – I/O ports

- Package Pin과 I/O Std 설정

- 각자의 Board Reference Manual

- Oscillators/Clocks 참조



Ch.10 Using the Instantiation Debug Probing Flow

- Viewing the Debug Cores in the Synthesized Design

- 비트스트림 생성
 - **Generate Bitstream**
- FPGA 프로그래밍
 - 보드 연결
 - **Auto connect**
 - 프로그래밍
 - **Program Device**
- **VIO, ILA 확인**
 - VIO로 값을 변경
 - ILA로 확인

