

王道计算机组成原理督学营期末考试答案解析

选择题

1.

解析: D

本题考察地址线和数据线的定义。

有 $64K=2^{16}$ 个存储单元, 所以地址线为 16, 每个单元 16 位, 所以数据线为 16, 故选 D。

2.

解析: B

本题考察多级存储体系。

CPU (Cache) - 主存是为了解决 CPU 和主存间的速度不匹配问题, 而主存-辅存是为了解决主存的容量不足问题, 故选 B。

3.

解析: A

本题考察不同 I/O 方式特点。

在 DMA 方式中, DMA 想要使用主存就会面临和 CPU 的冲突问题, 采用以下三种方式: 停止 CPU 访问、周期挪用、DMA 与主存交替访存, 故选 A。

4.

解析: A

本题考察机器数与真值的转化。

本题有两种方式, 第一种是补码乘法, 复杂不推荐; 第二种是先把机器码变成真值, 再计算乘法求出结果, 最后把结果转为机器码, 如下

$FFFDH=10000H-3$, 所以 $a=-3$, $b=4$, $a*b=-12$, $-12=FFF4H$, 故选 A。

5.

解析: B

本题考察 Cache 映射。

对于 Cache 映射首先要把物理地址进行划分, 按字节编址 (如果没说的话也默认按字节), 块大小为 4 字 $=4*32bit=2^4B$, 总块数为 $1K/4=2^8$, 组数为 2^6 , 地址低 10 位为 100000/0000, 所以组数为 $100000B=16$, 故选 B。

6.

题目修正: 对于五段流水线, 理想情况下, CPI 为 1 的是 ()

I. 基本流水线 CPU

II. 超标量流水线 CPU

III. 超流水线 CPU

IV. 不采用流水线

A. I、IV

B. I、II 和 III

C. I

D. I、III

解析: C

本题考察流水线。

理想情况下基本五段流水线 $CPI=1$ ，按照这种划分法不采用流水线时 $CPI=5$ ，超流水线和超标量流水线是在基本流水线的基础上进一步并行，会导致 $CPI<1$ 。

7.

解析: D

本题考察存储器。

闪存、固态硬盘和 EEPROM 都是 ROM，非易失，而 Cache 和 SRAM，是易失的，故选 D。

8.

解析: B

本题考查寻址方式，可以看书上的表格。

相对寻址和寄存器一次间址都是从寄存器中取出数据，计算得到操作数的地址，再访问内存一次，所以是一次访存；隐含寻址不需要访存，直接隐含在特定操作数中；一次间接寻址需要访存一次得到操作数地址，再访存一次得到操作数，所以是访存两次。故选 B。

9.

解析: C

本题考察 DMA 方式。

DMA 方式不通过 CPU，直接与内存进行数据交换，所以是 I/O 设备和主存间建立直接数据通路，故选 C。

10.

解析: C

本题考察 IEEE754，对于单精度（数符 1 位，阶码 8 位，尾数 23 位）最大正数，阶码最大为 11111110（全 1 表示上溢）对应真值为 $254-127=127$ ，尾数最大为 23 位全 1（隐 1 位），所以是 $1+2^{-1}+2^{-2}+\dots+2^{-23}=2-2^{-23}$ ，浮点数的值为 $(2-2^{-23})$

$*2^{127}=2^{128}-2^{104}$ ，故选 C。

11.

解析：C。

本题考察中断处理过程。

硬件：关中断-保存断点-引出中断服务程序；中断程序：保持现场和屏蔽字-开中断-执行中断服务程序-关中断-恢复现场和屏蔽字-开中断-中断返回。

应用题

一.

解析：

- (1) $56\text{MHz} \times 32\text{bit} = 1792\text{Mb/s}$ 总线带宽=总线频率*总线每次传输的 bit 数
- (2) $80\text{MHz} \times 32\text{bit} = 2560\text{Mb/s}$
- (3) 不变，还是 1792Mb/s ，和 CPU 频率无关
- (4) $56\text{MHz} \times 64\text{bit} = 3584\text{Mb/s}$
- (5) 提高总线频率、提高每个总线传输的 bit 位数、猝发传输 (3 分，每个一分)

二.

题目修正： (10 分) 计算机 CPU 的主频为 100MHz ，CPI 为 5，平均每条指令访存 2.5 次，计算机使用 Cache 时的访存顺序为先访问 Cache，若未命中再访问内存，访问内存的时间为 $5t$ ，访问 Cache 时间为 t

- (1) 该计算机 MIPS 数为多少？
- (2) Cache 命中率为多少时，使用 Cache 和不使用 Cache 的平均访问时间之比为 2: 5，求 Cache 命中率？
- (3) 在 (2) 的条件下计算使用 Cache，平均每条指令在访 Cache 和内存所花总时间是多少？平均每秒 Cache 缺失多少次？

解析：

- (1) $100\text{MHz}/\text{CPI} = 20\text{MIPS}$ 。
- (2) 设 Cache 命中率为 x ，使用 Cache 时平均访问时间 $= xt + (1-x) \times (1+5)t = (6-5x)t$ ，不使用 Cache 时平均访问时间 $= 5t$ ，所以 $(6-5x)t : 5t = 2:5$ ， $x = 80\%$ ，Cache 命中率为 80%。
- (3) $2.5 \times ((1-80\%) \times 5t + 1) = 5t$
 $20\text{MIPS} \times 2.5 \times (1-80\%) = \text{每秒缺失 } 10\text{M 次}。$