邏輯系統實驗 實驗五

組別：7

成員：章子嚴、張軒、魏晉成

學號：E24065018、E24066129、E24066226

內容

[實驗內容： 3](#_Toc512938549)

[1. 基礎題(一)：4 bit ALU 3](#_Toc512938550)

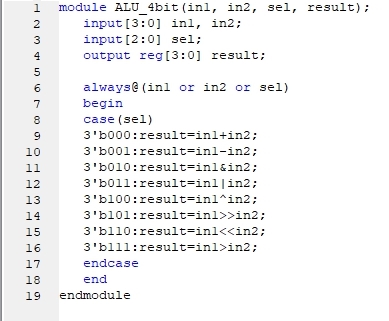
[2. 基礎題(二)：4 bit 加法器與七段顯示器： 9](#_Toc512938551)

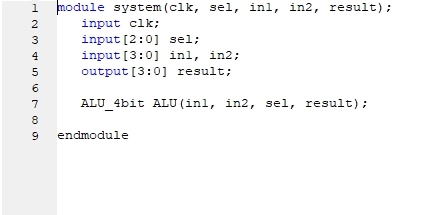
[3. 挑戰題(一)：5bit簡易算數邏輯單元與七段顯示器： 14](#_Toc512938552)

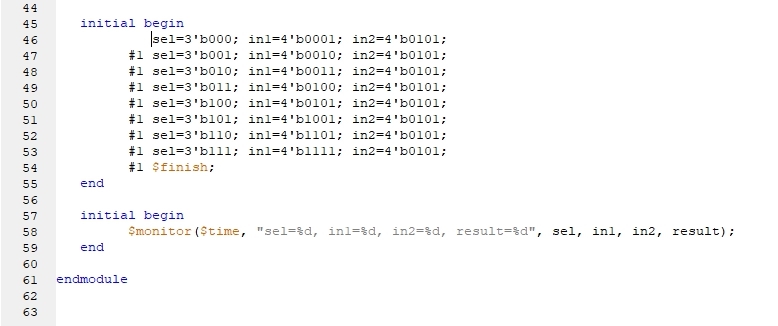
[心得： 23](#_Toc512938553)

# 實驗內容：

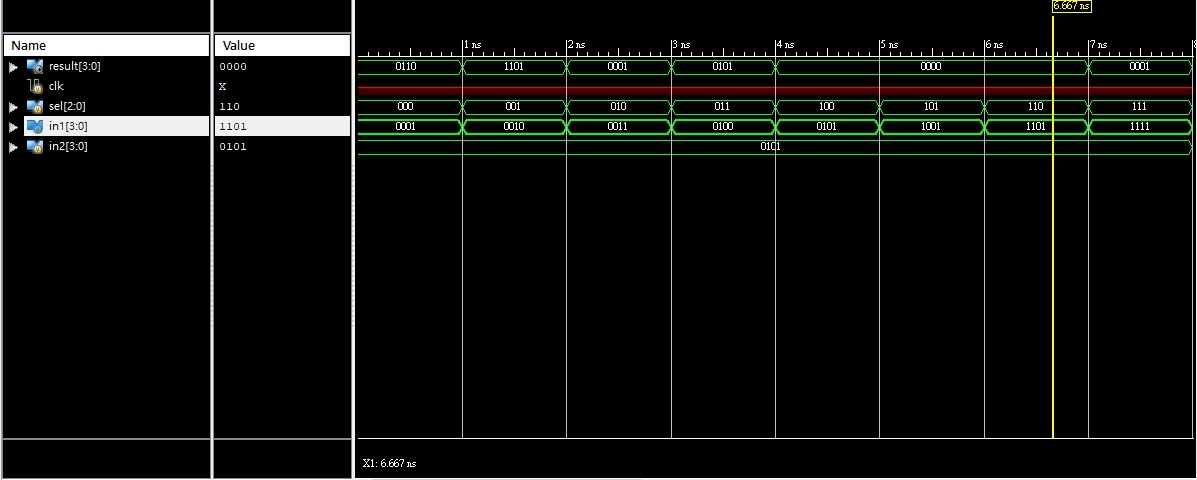
1. 基礎題(一)：4 bit ALU



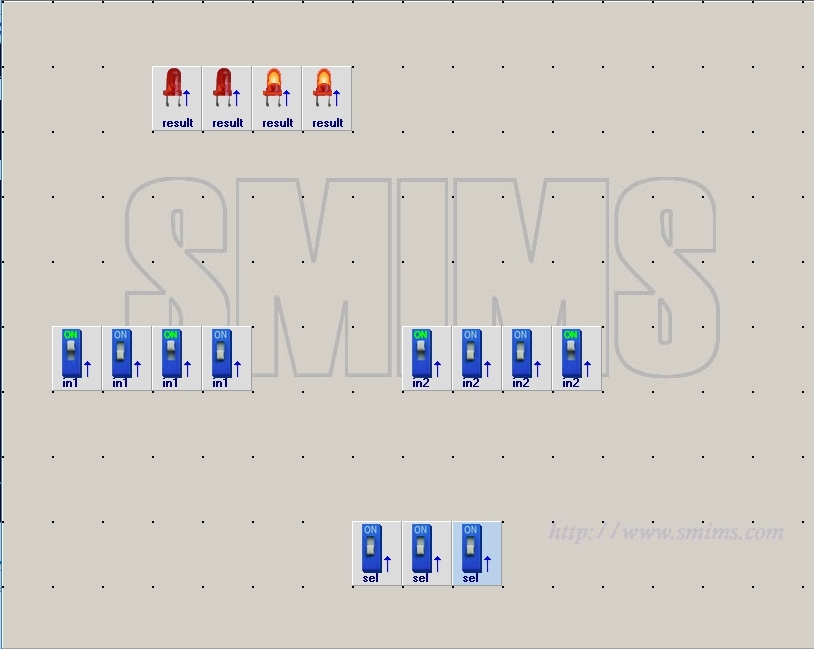
(圖一) 4 bit ALU的 verilog code

(圖二) 將4 bit ALU 封裝起來的系統之verilog code

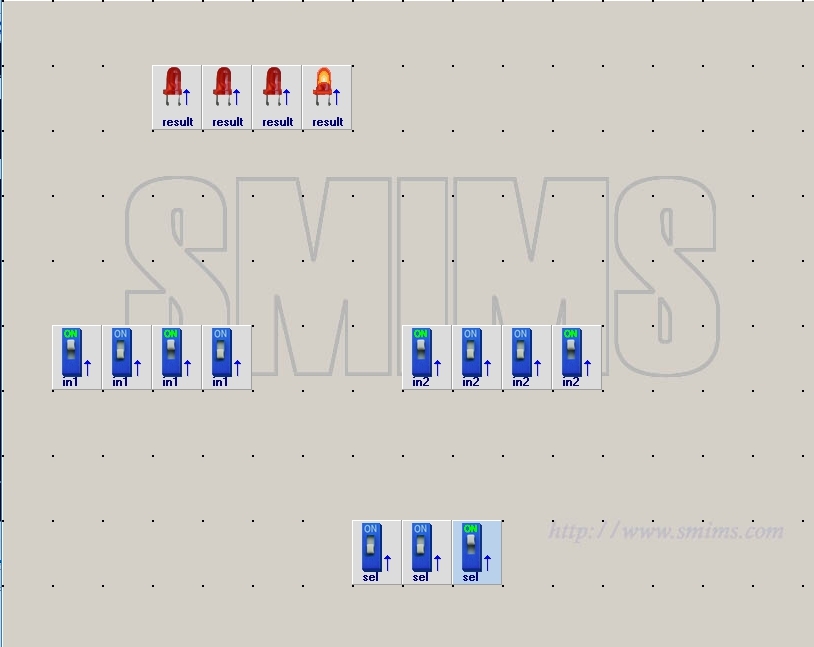
(圖三)系統之test bench



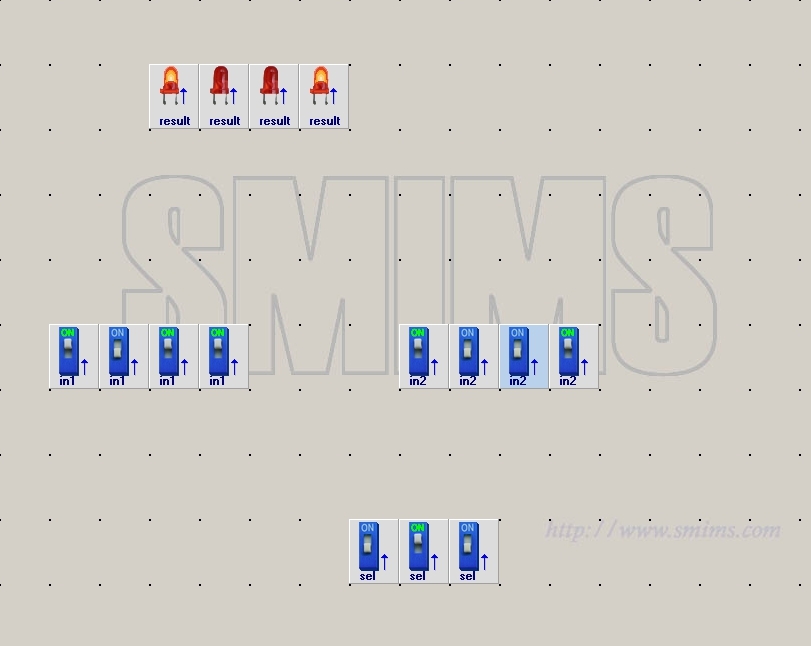
(圖四)在FPGA上驗證所得到的波形圖



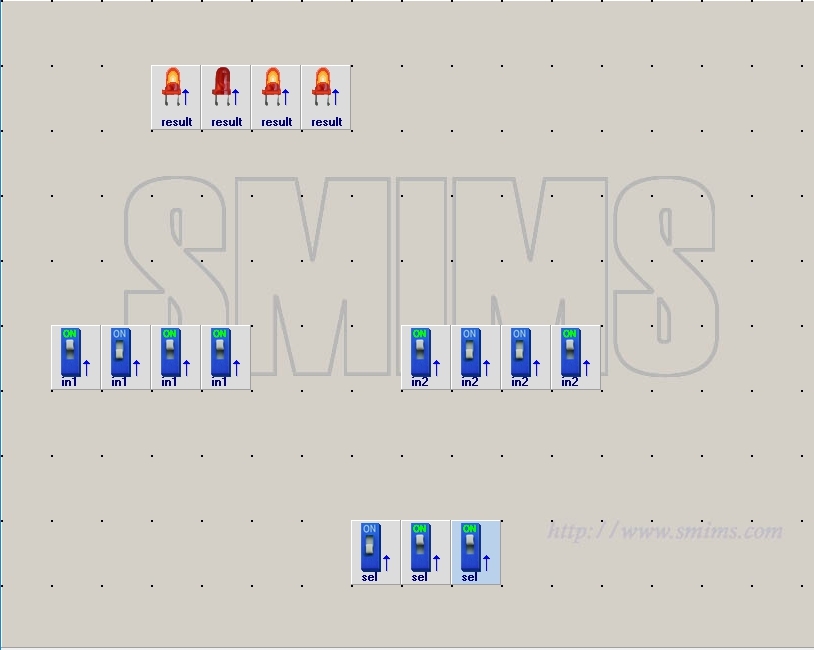
(圖五)利用VeriInstrucment進行驗證-1



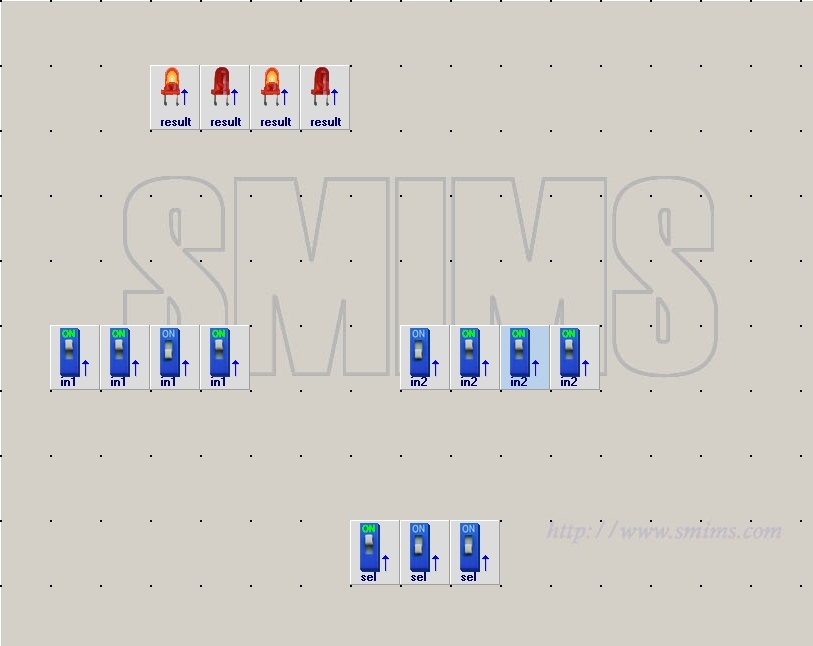
(圖六)利用VeriInstrucment進行驗證-2



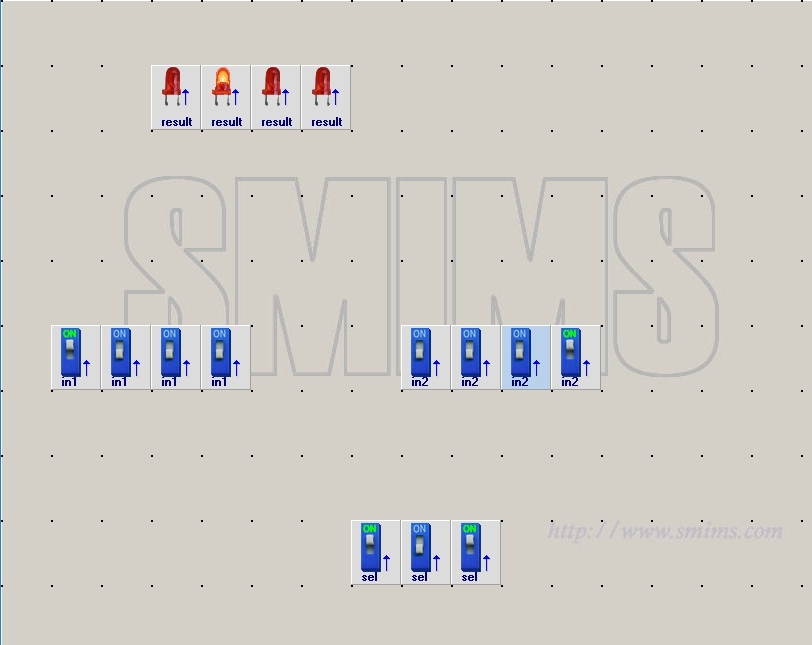
(圖七)利用VeriInstrucment進行驗證-3



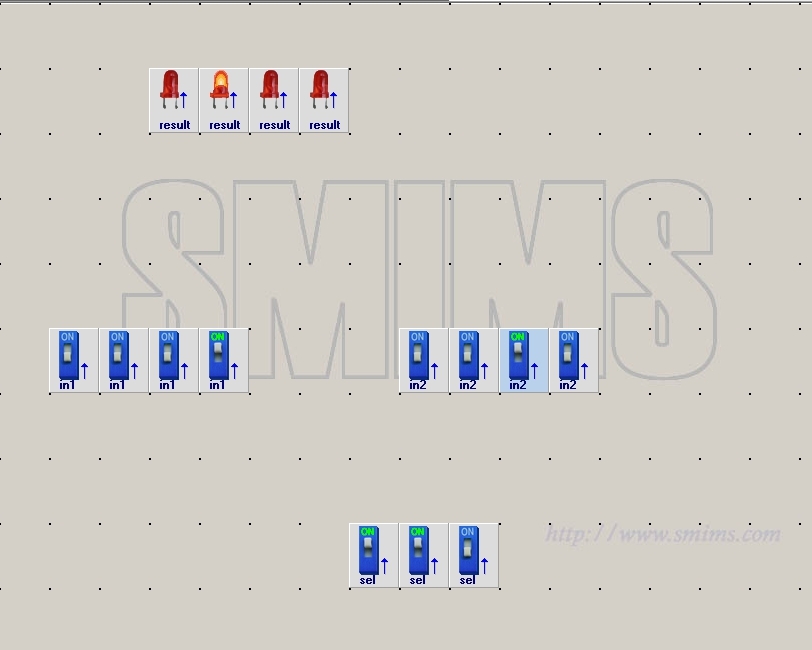
(圖八)利用VeriInstrucment進行驗證-4



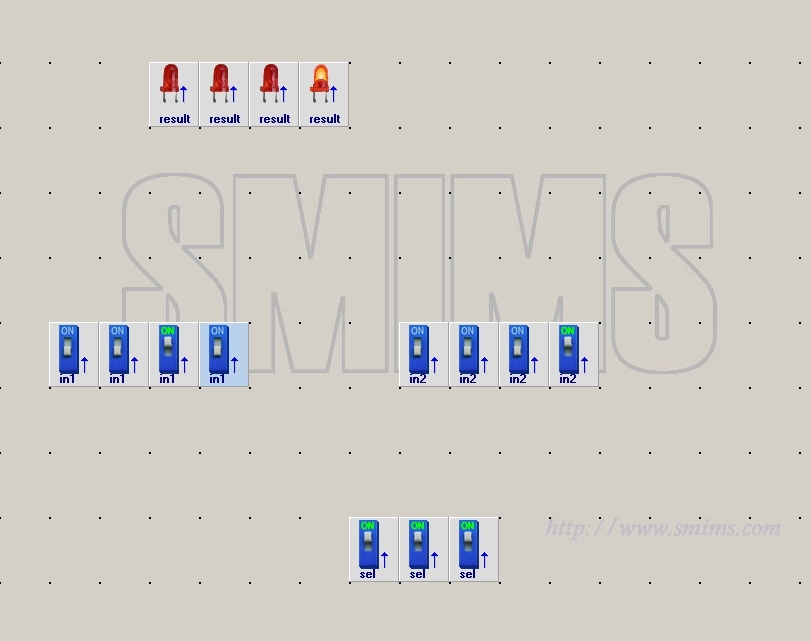
(圖九)利用VeriInstrucment進行驗證-5



(圖十)利用VeriInstrucment進行驗證-6

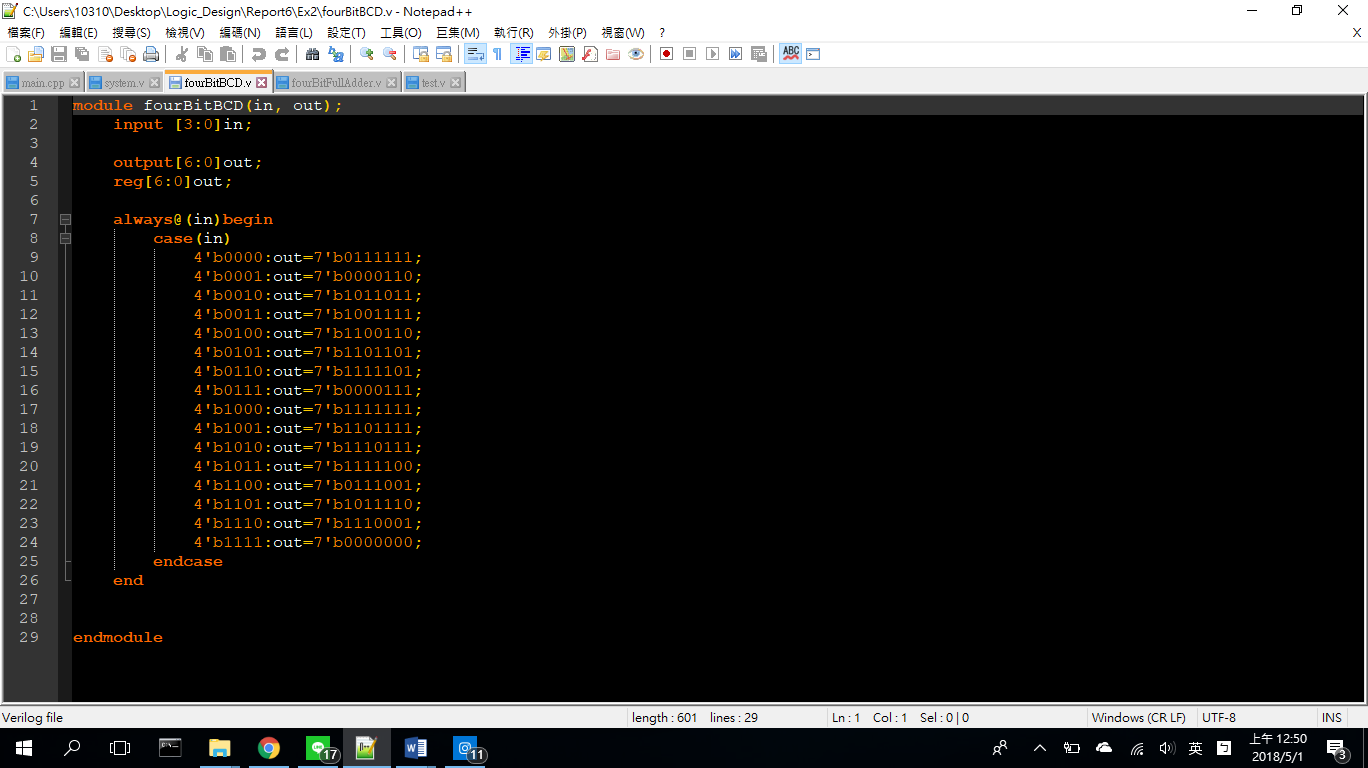


(圖十一)利用VeriInstrucment進行驗證-7

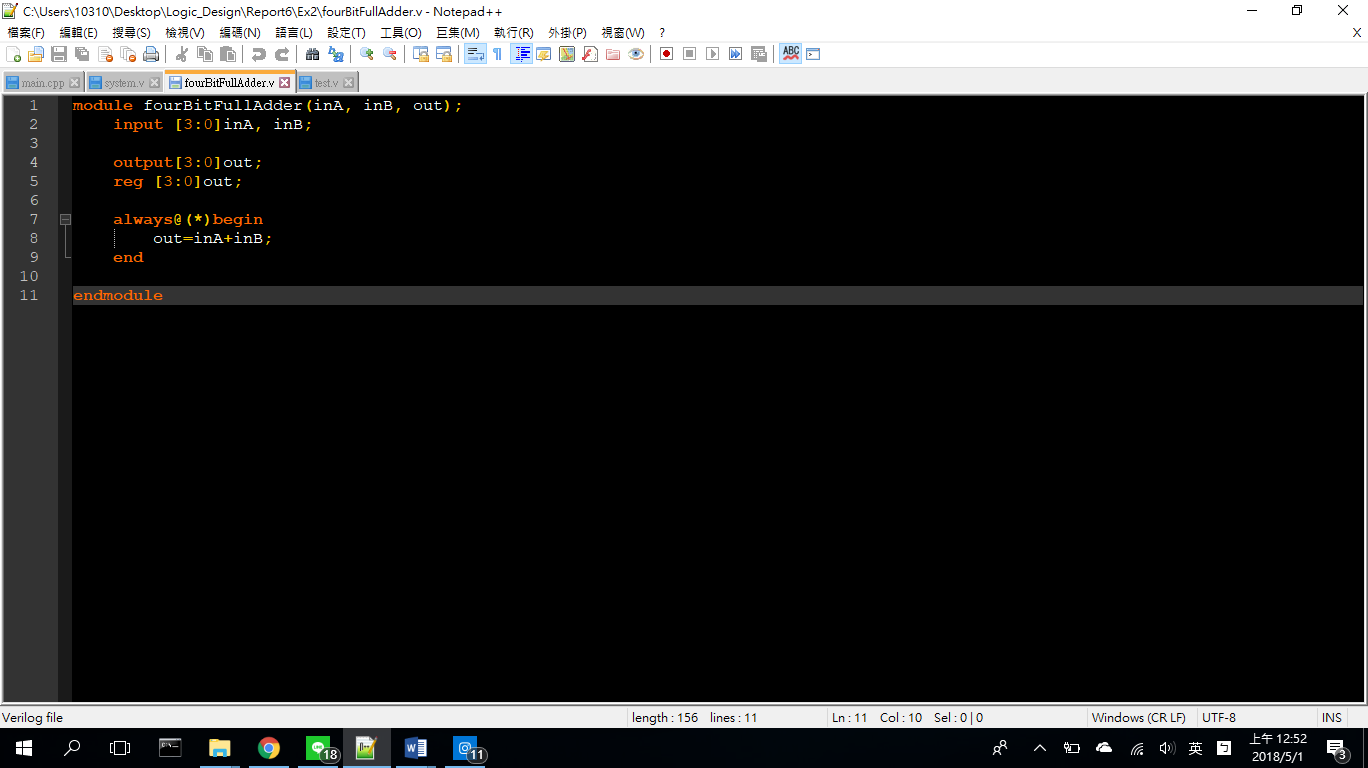


(圖十二)利用VeriInstrucment進行驗證-2

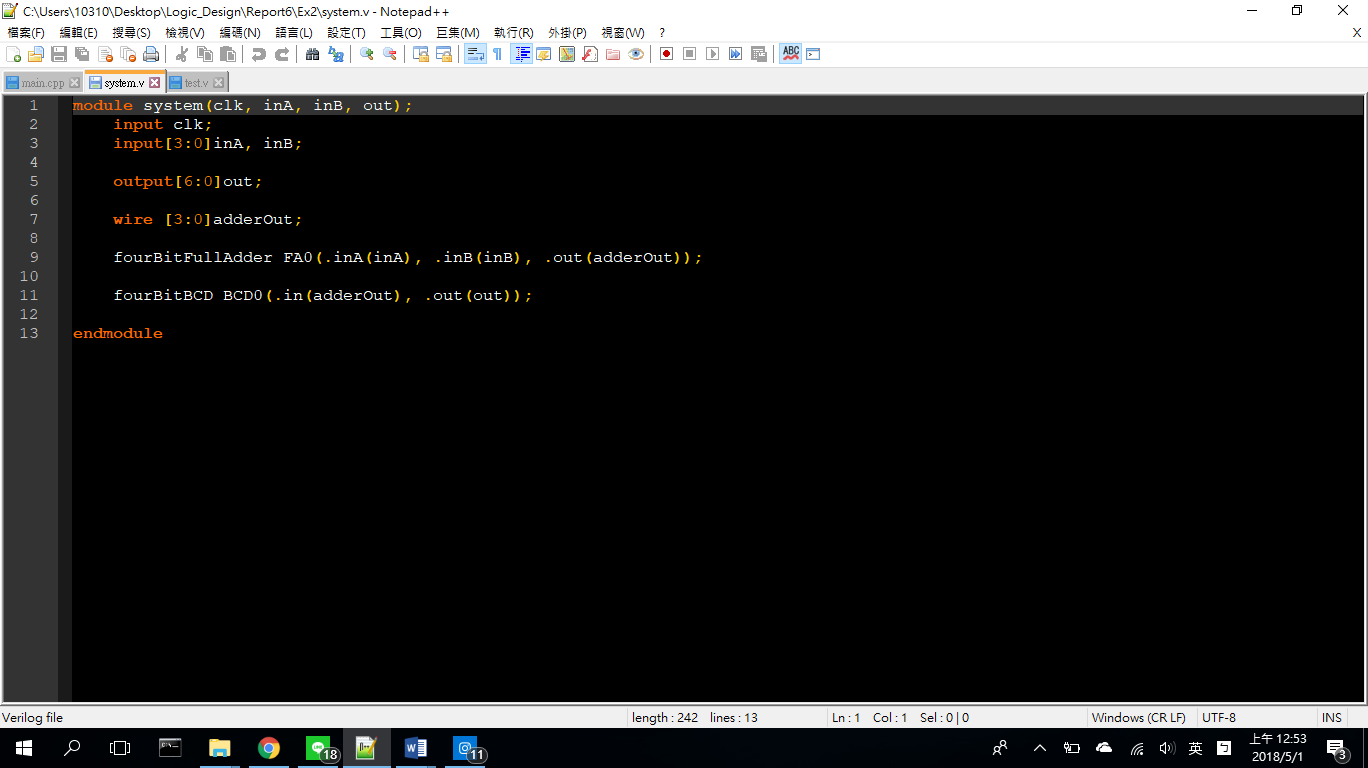
1. 基礎題(二)：4 bit 加法器與七段顯示器：



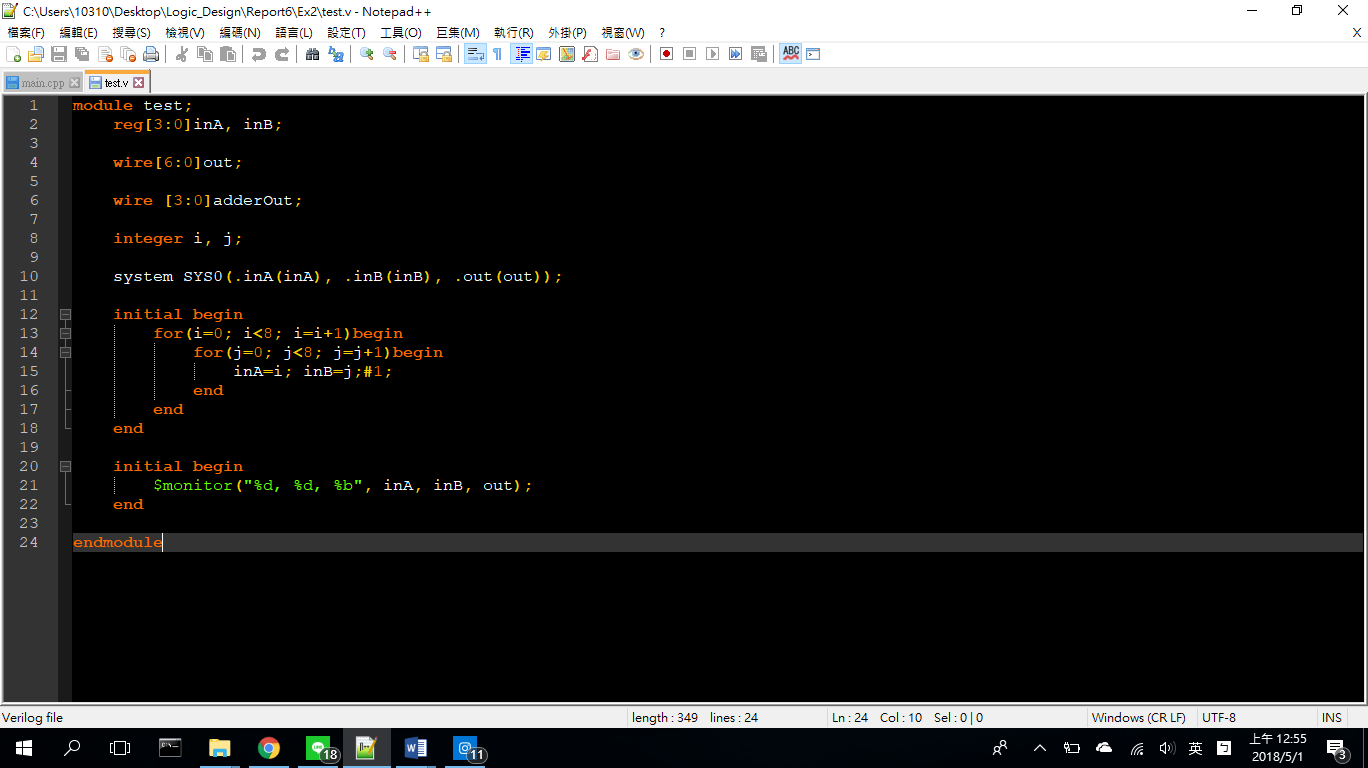
(圖十三)4bit轉七段顯示器模組的verilog code



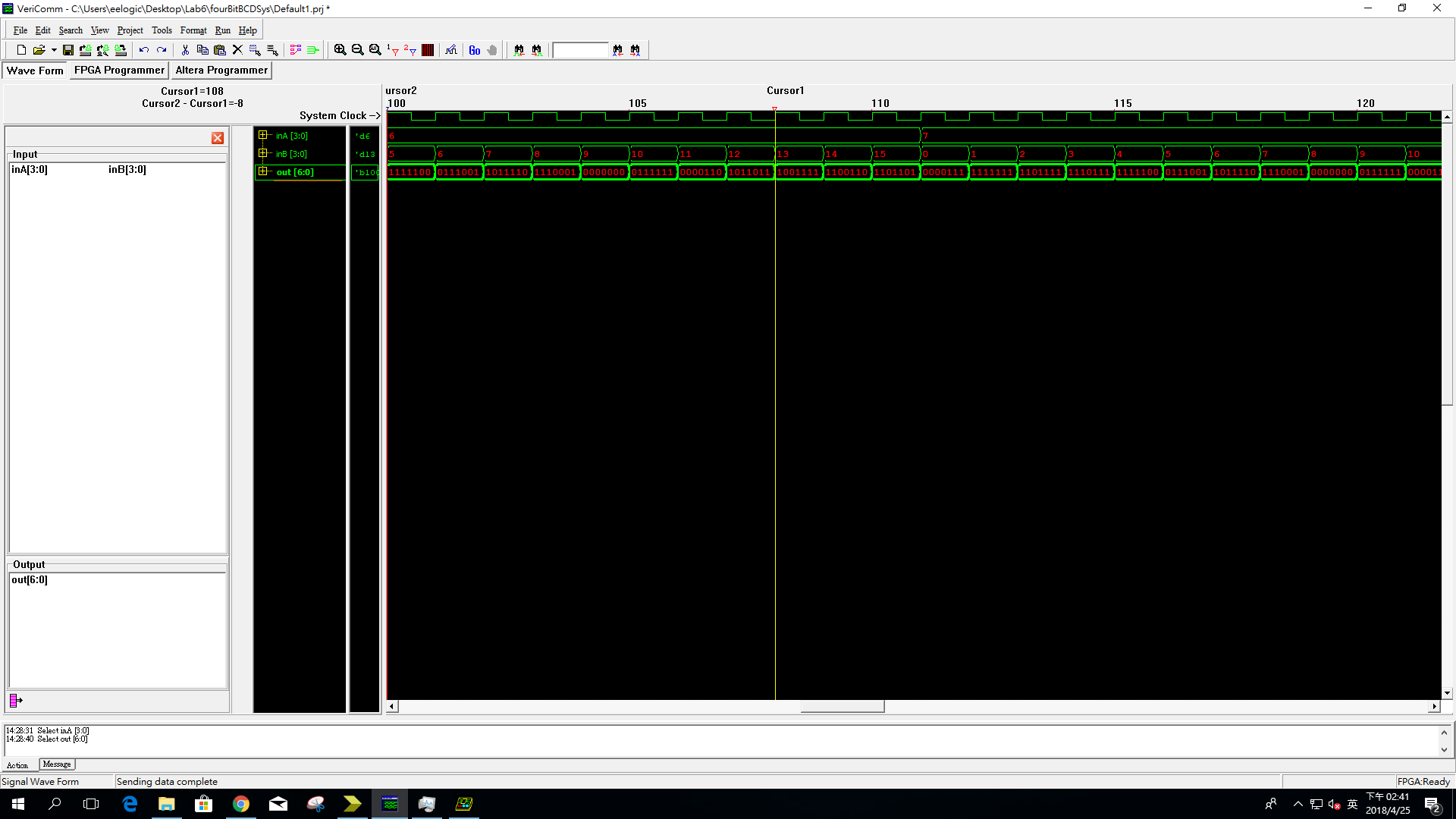
(圖十四)4bit全加器模組的verilog code



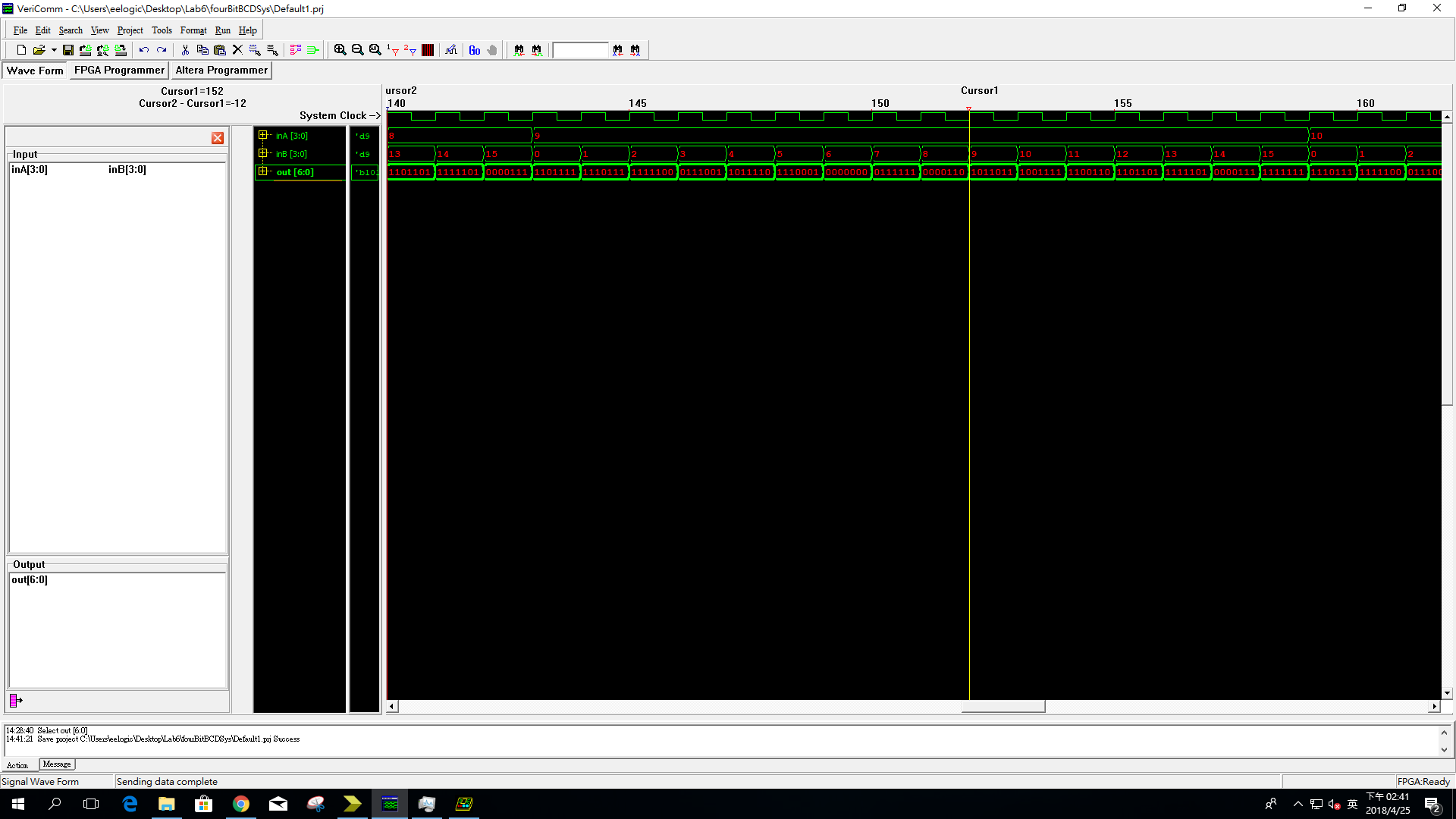
(圖十五)將全部組合而成的模組之verilog code



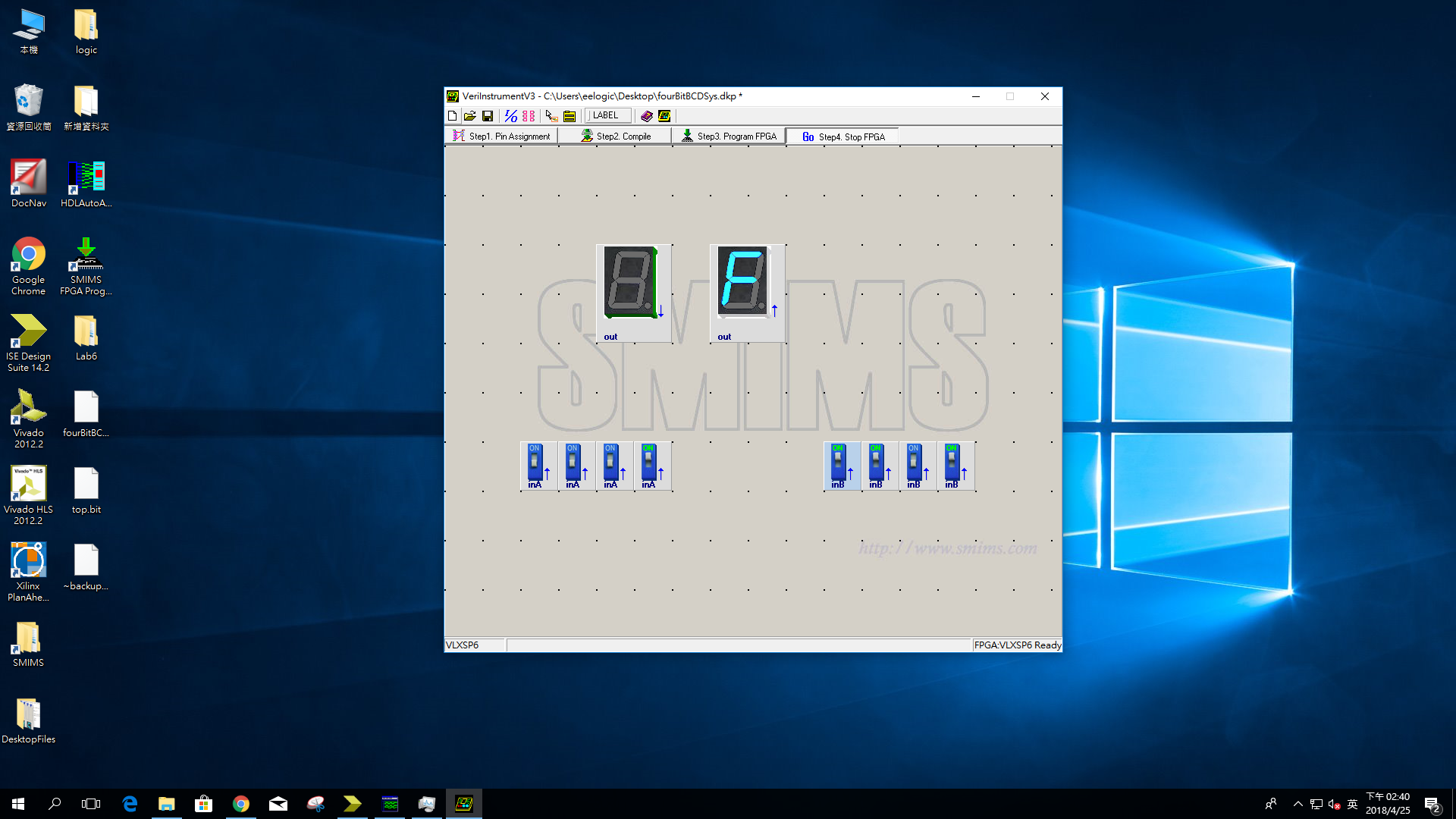
(圖十六) test bench



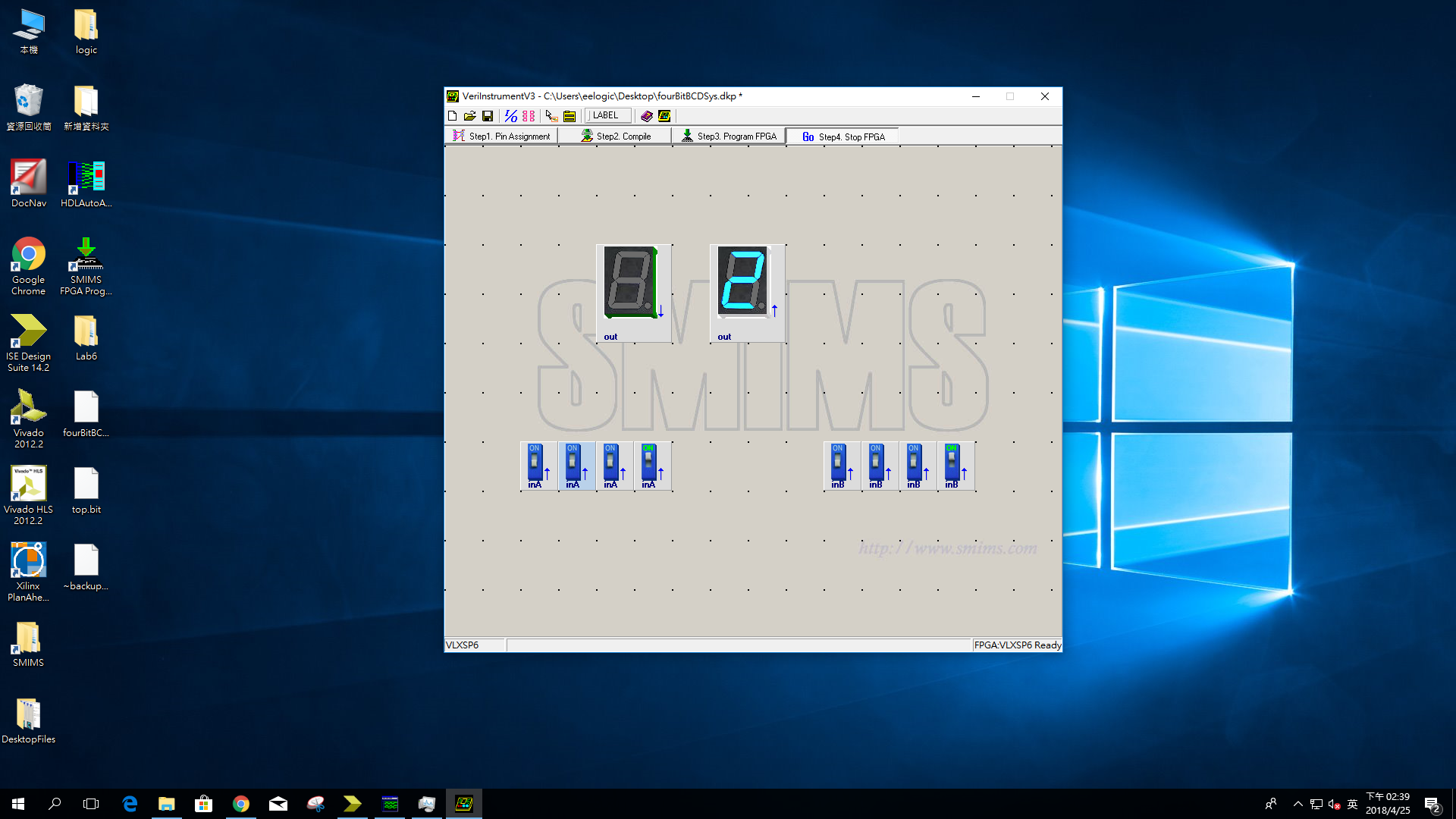
(圖十七)test bench 驗證所得的波形圖(節錄)



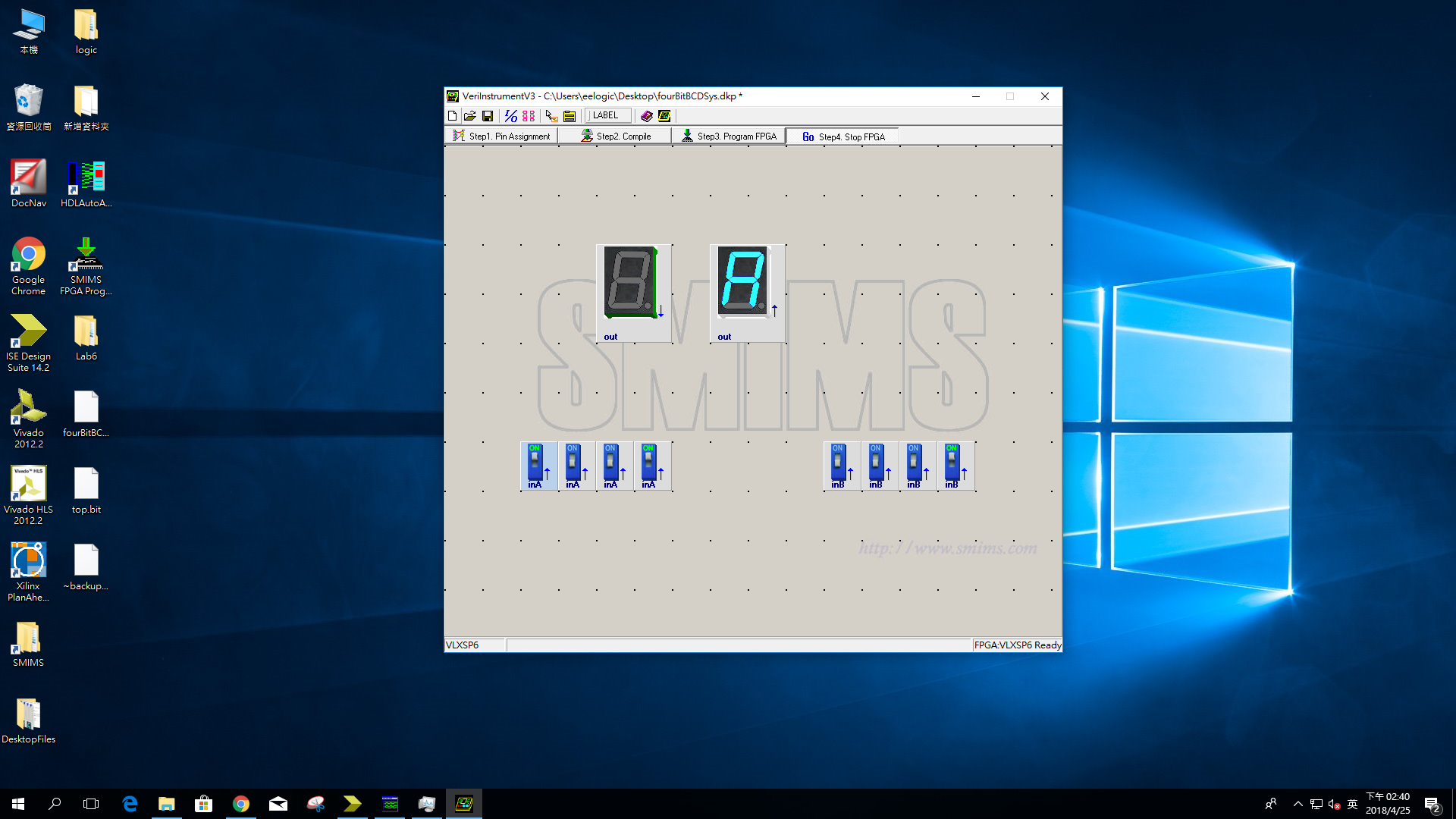
(圖十八)test bench驗證所得的波形圖(節錄)



(圖十九)利用VeriInstrument驗證的結果-1



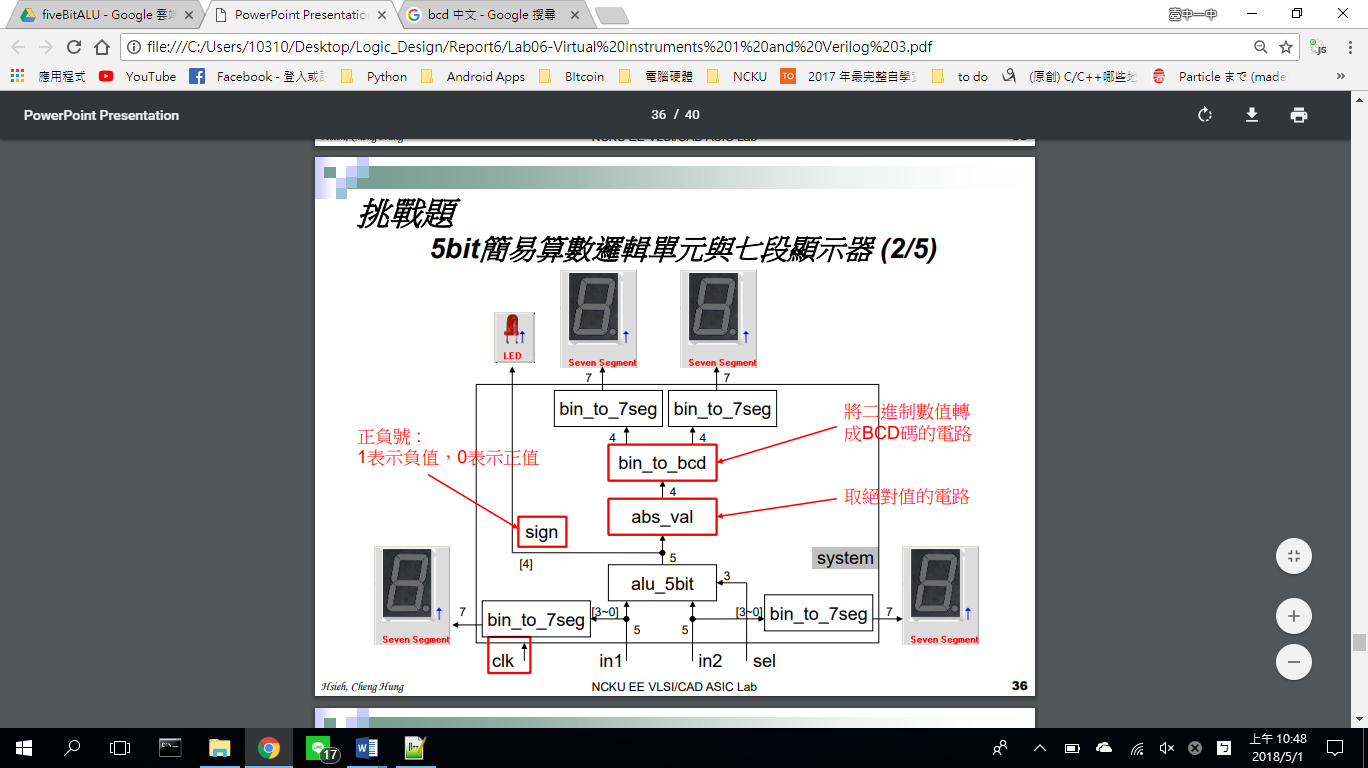
(圖二十)利用VeriInstrument驗證的結果-2



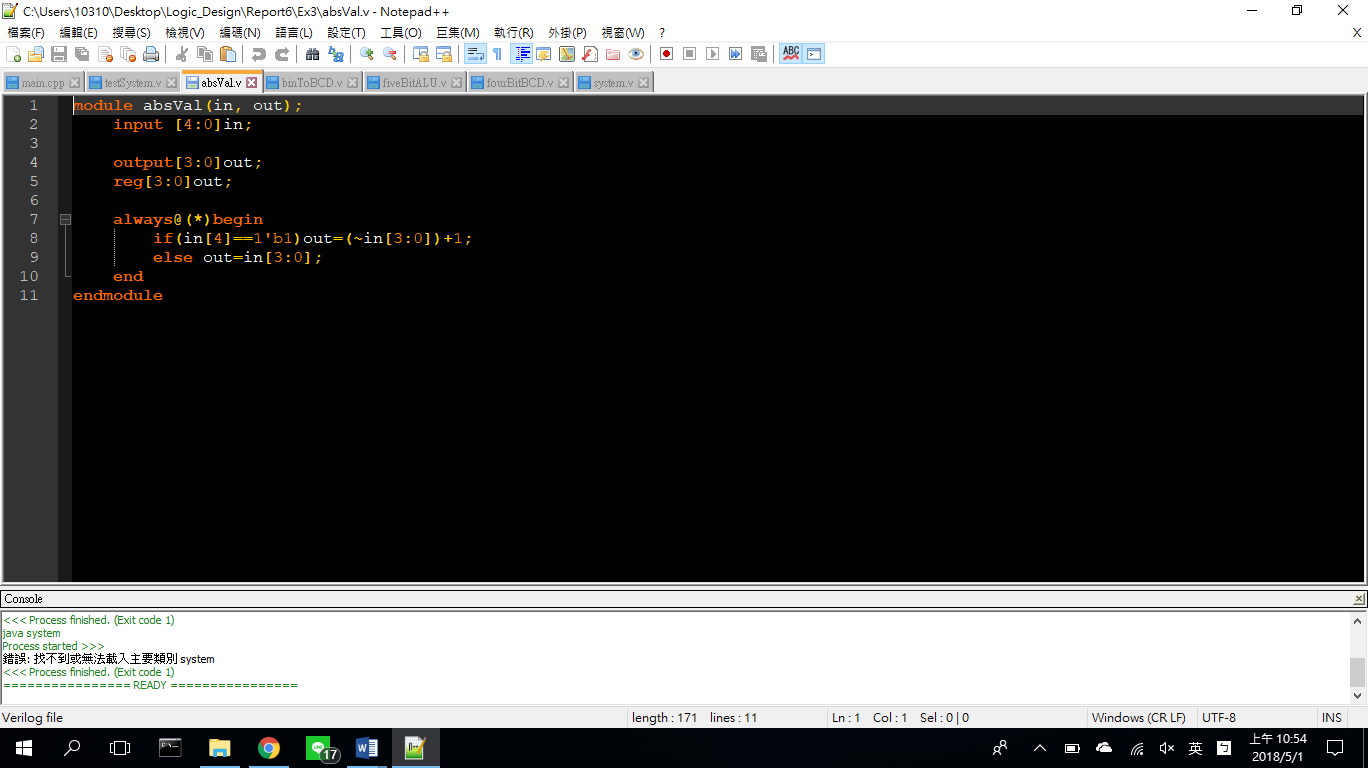
(圖二十一)利用VeriInstrument驗證的結果-3**找不到目錄項目。**

1. 挑戰題(一)：5bit簡易算數邏輯單元與七段顯示器：

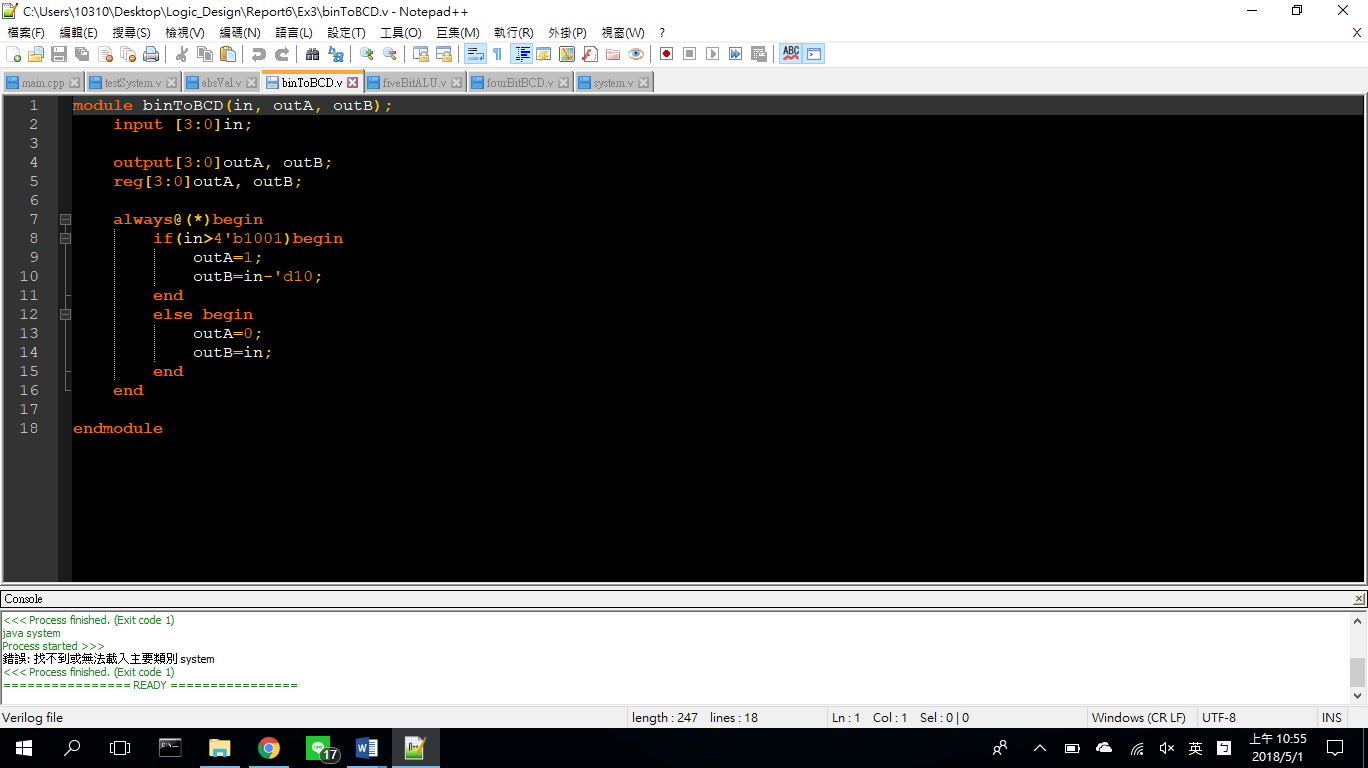
利用如下(圖二十二)之結構組成這個系統，因此會有(圖二十三)的絕對 值模組”absVal.v”、(圖二十四)的二進碼二進數轉二進碼十進數模 組”binToBCD.v”、(圖二十五)的五位元簡易算術邏輯單元”fiveBitALU.v”、 (圖二十六)的四位元二進碼十進數轉七段顯示器模組”fourBitBCD.v”、(圖二 十七)的整合系統”system.v”。



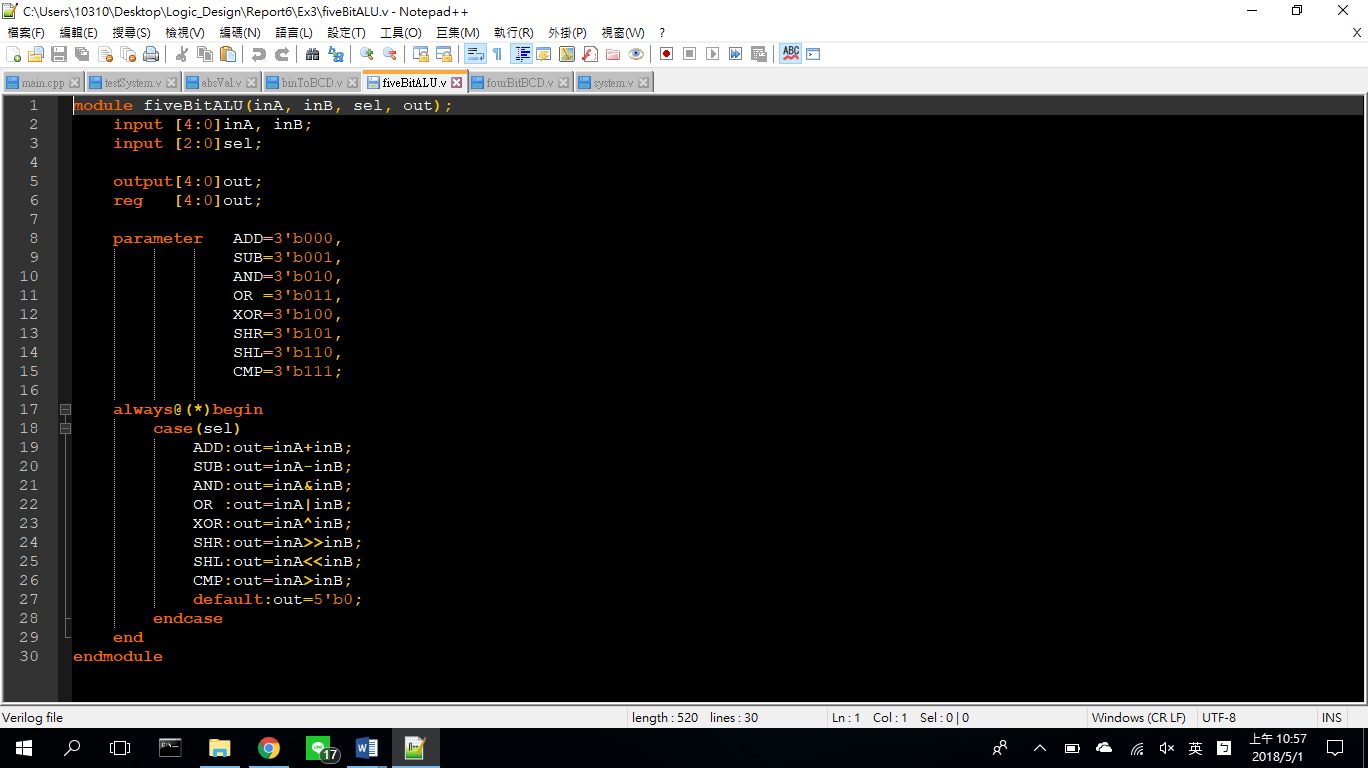
(圖二十二)系統結構圖



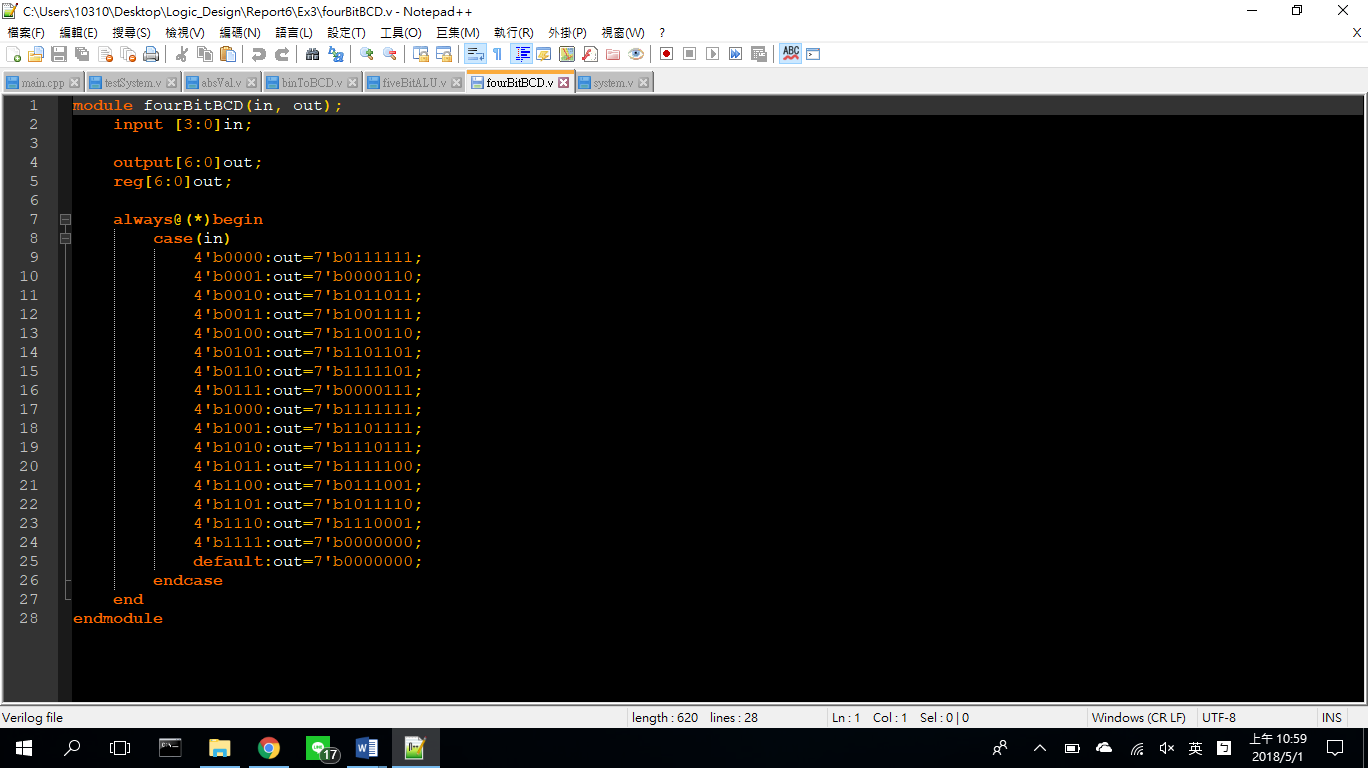
(圖二十三)絕對值模組absVal



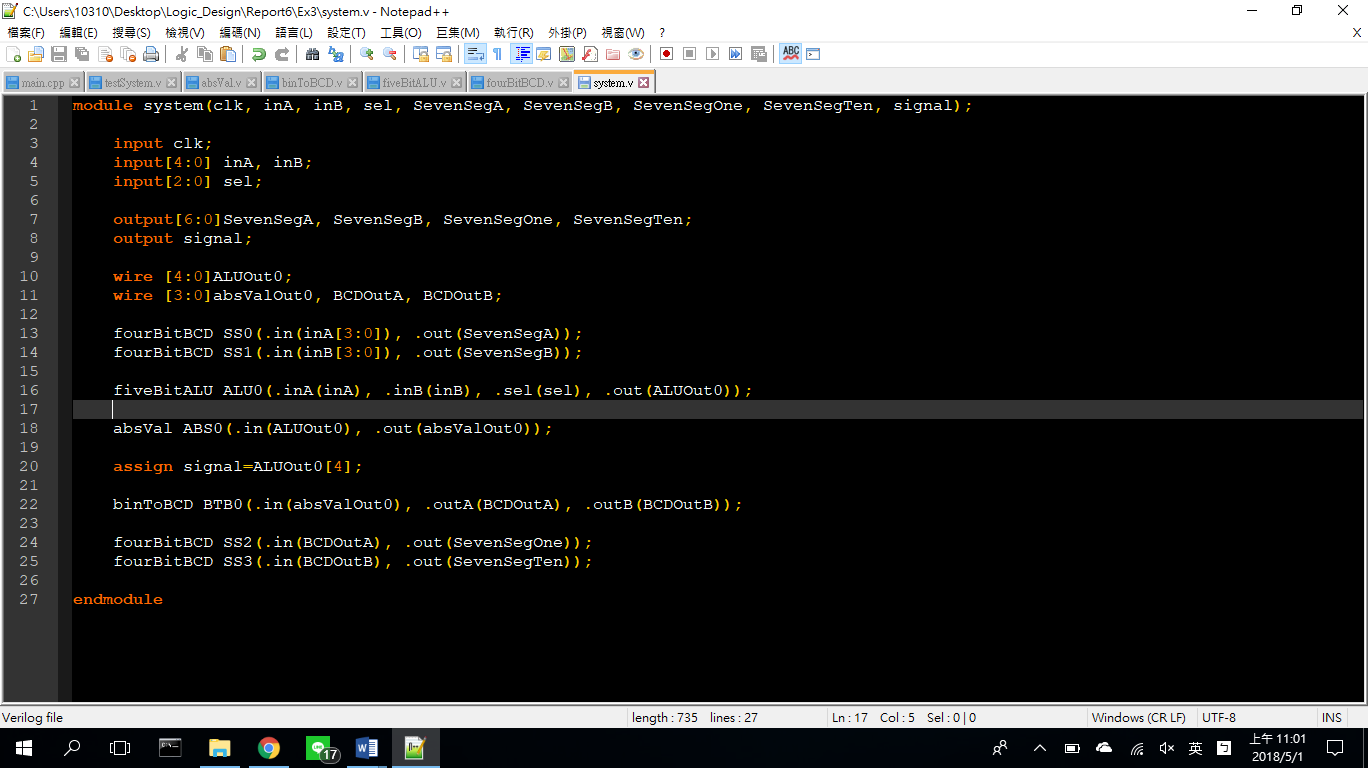
(圖二十四)二進碼二進數轉二進碼十進數模組binToBCD



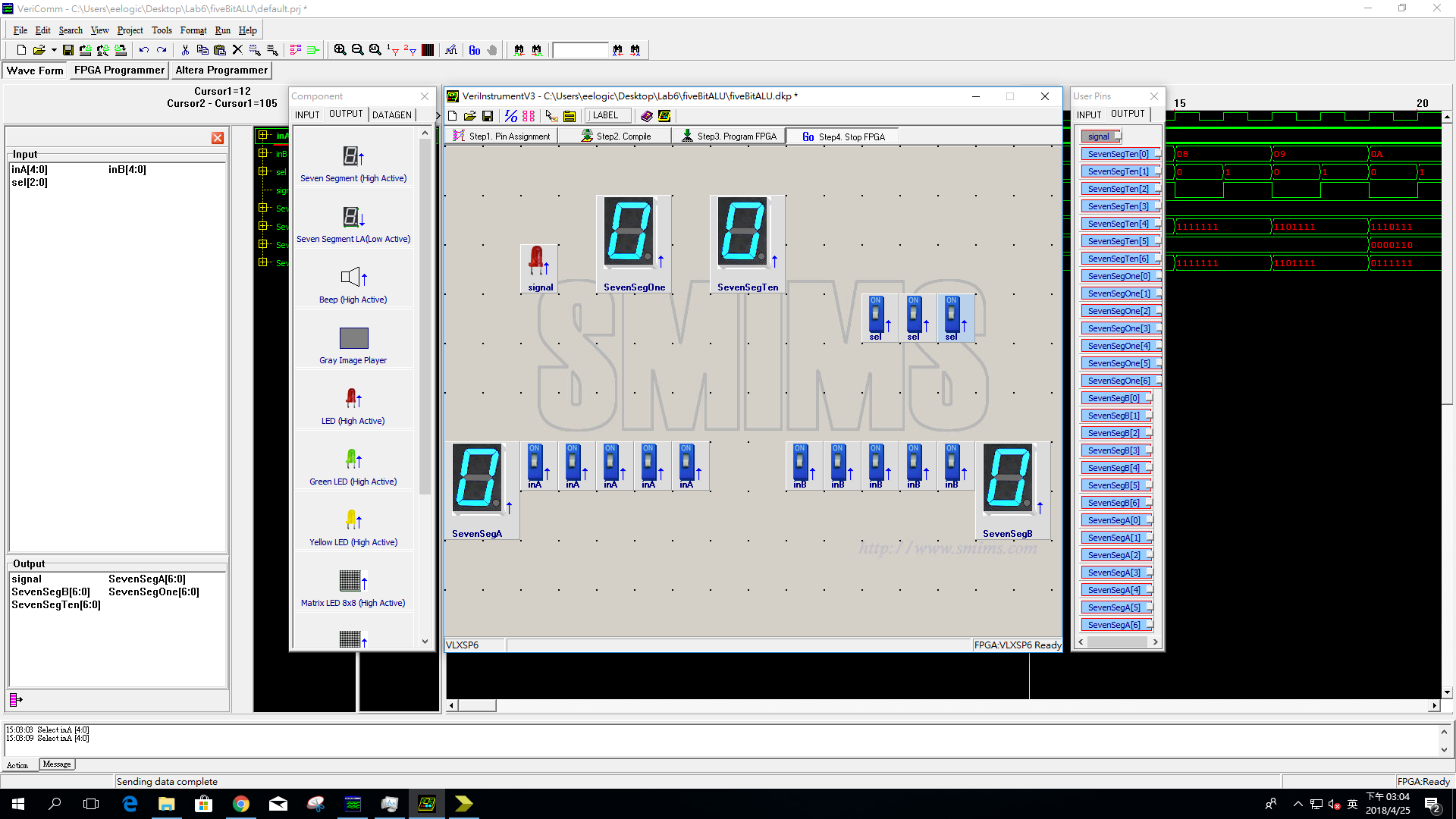
(圖二十五)五位元簡易算術邏輯單元fiveBitALU.v

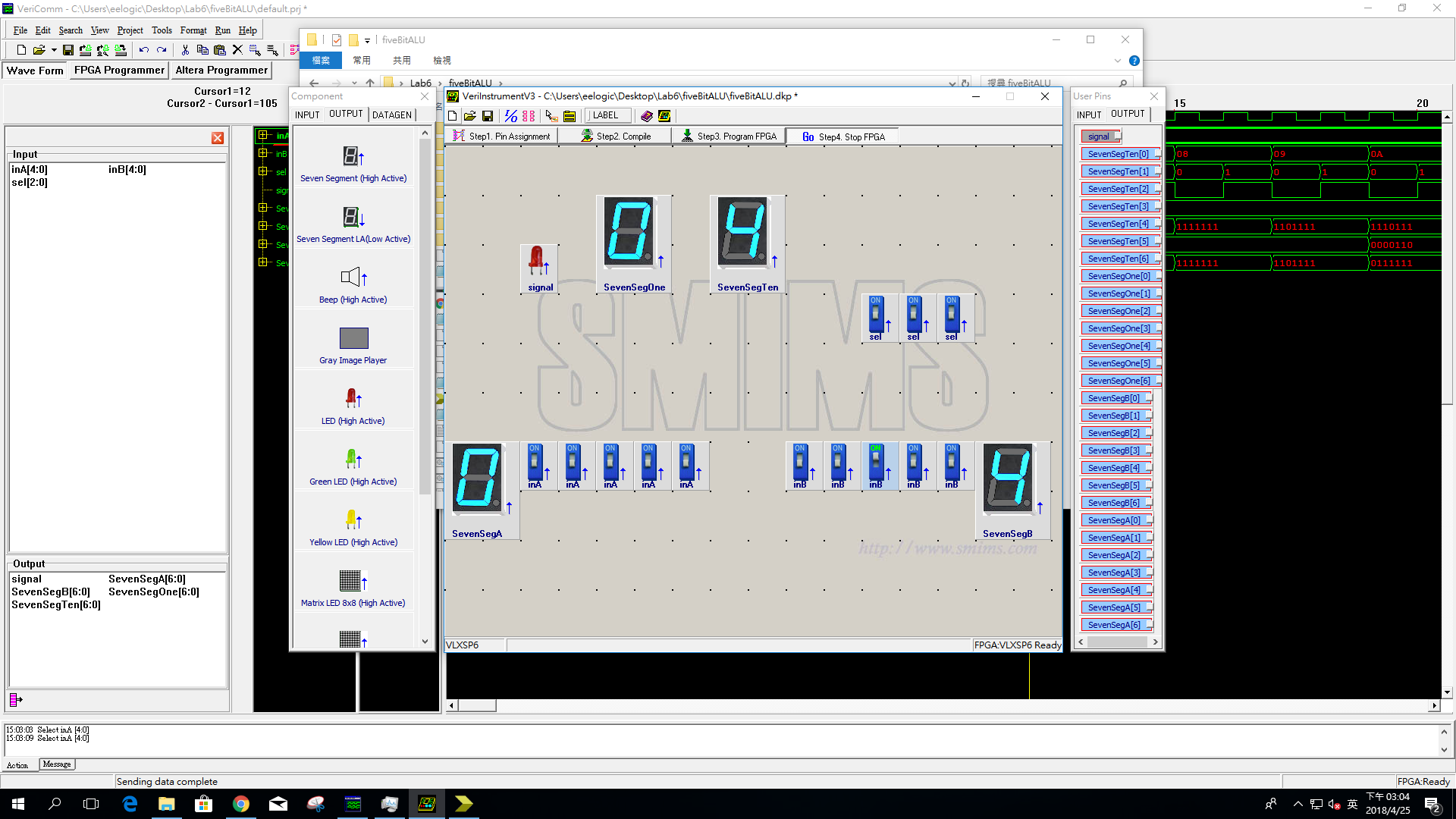


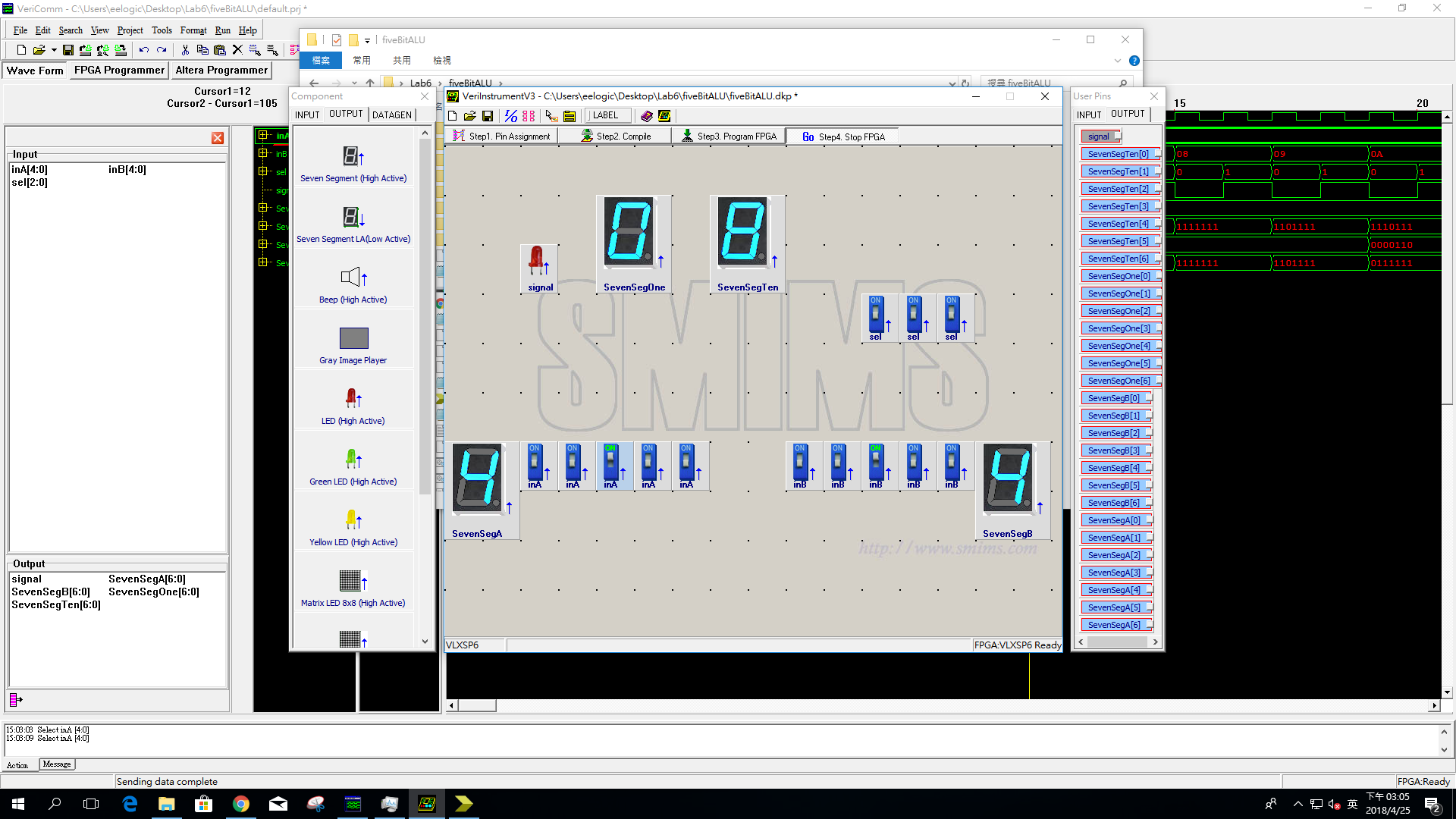
(圖二十六)四位元二進碼十進數轉七段顯示器模組fourBitBCD.v



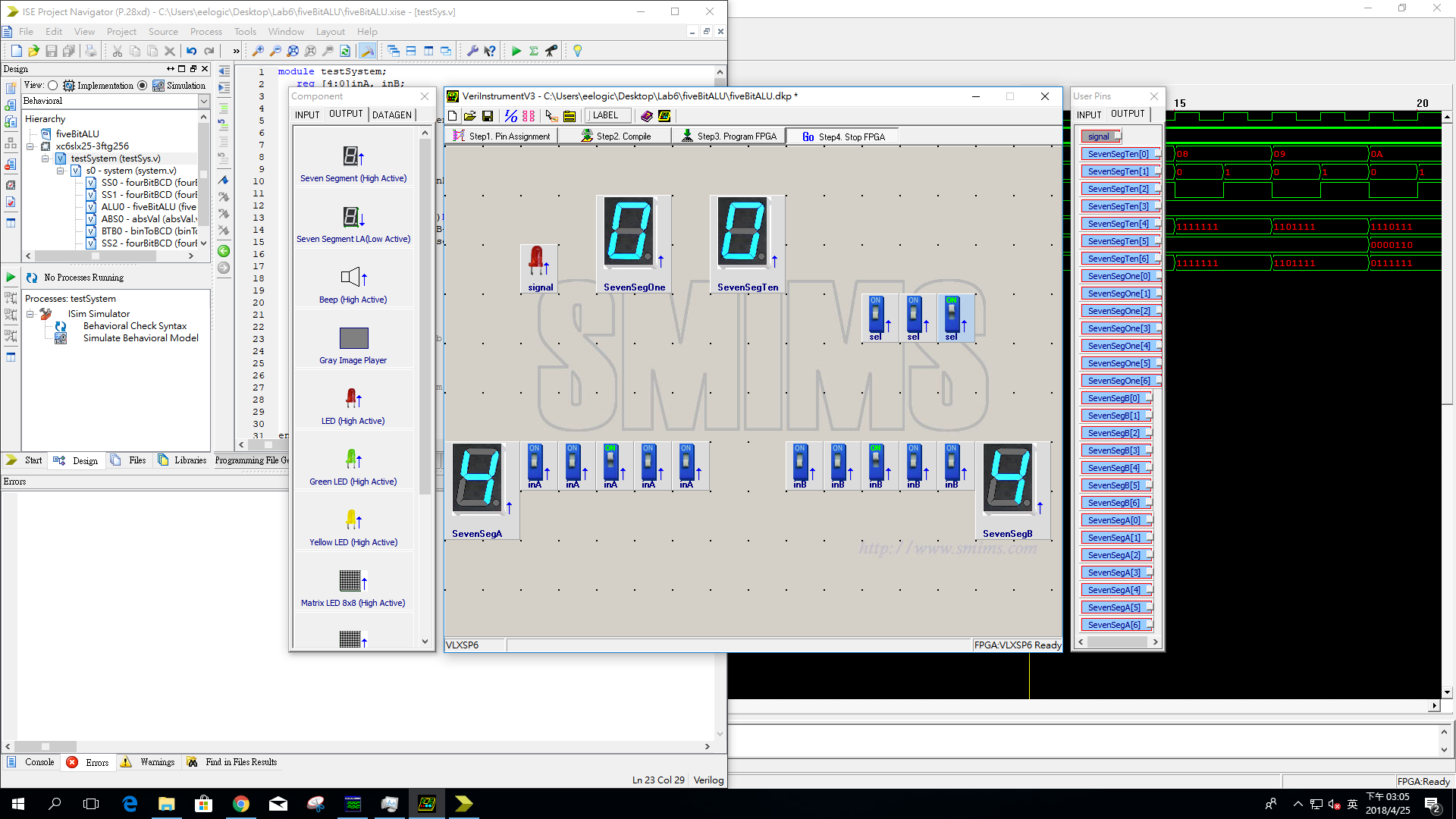
(圖二十七)整合系統system.v

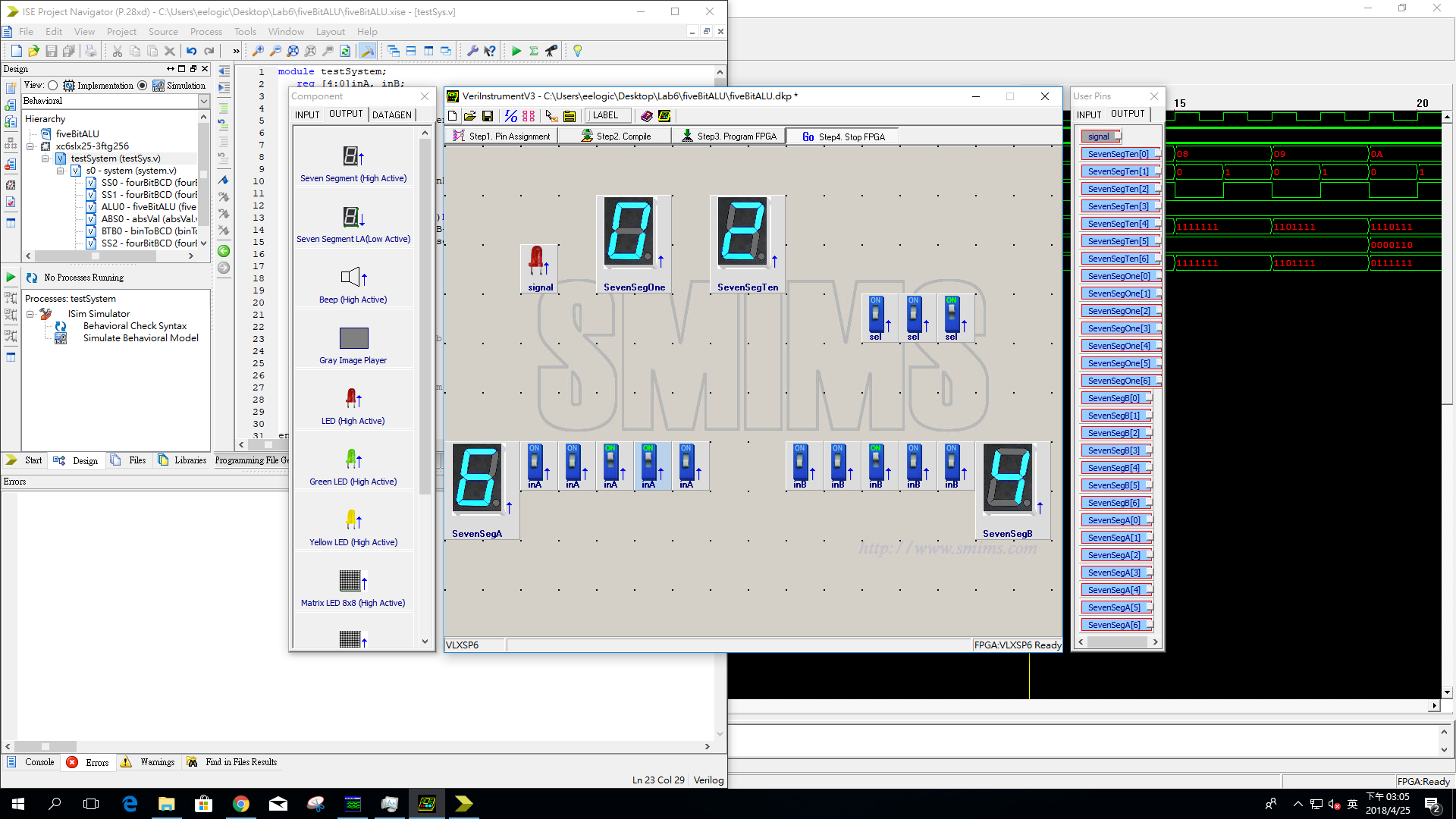


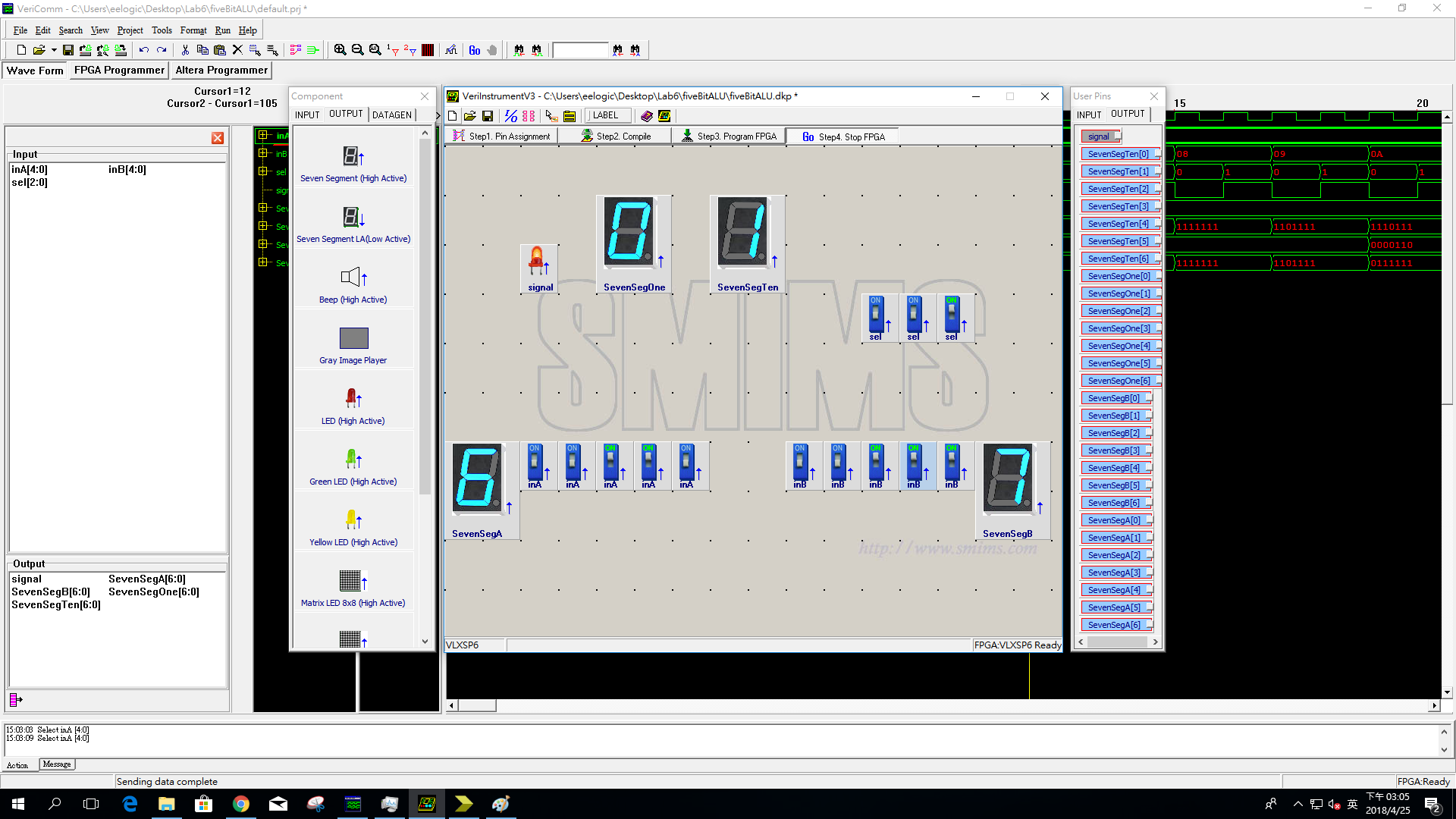
(圖二十八)使用FPGA驗證的結果-1

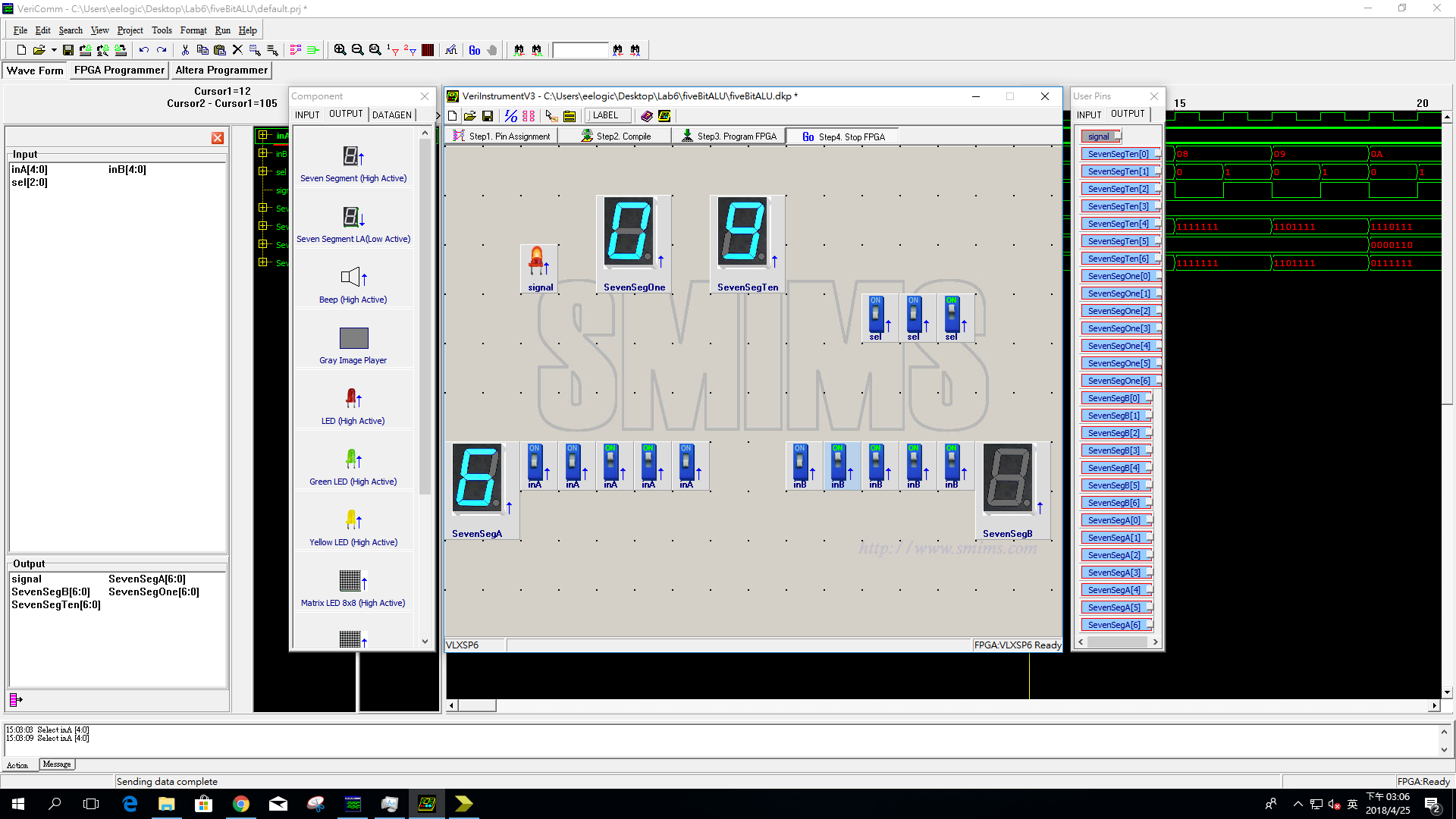
(圖二十九)使用FPGA驗證的結果-2

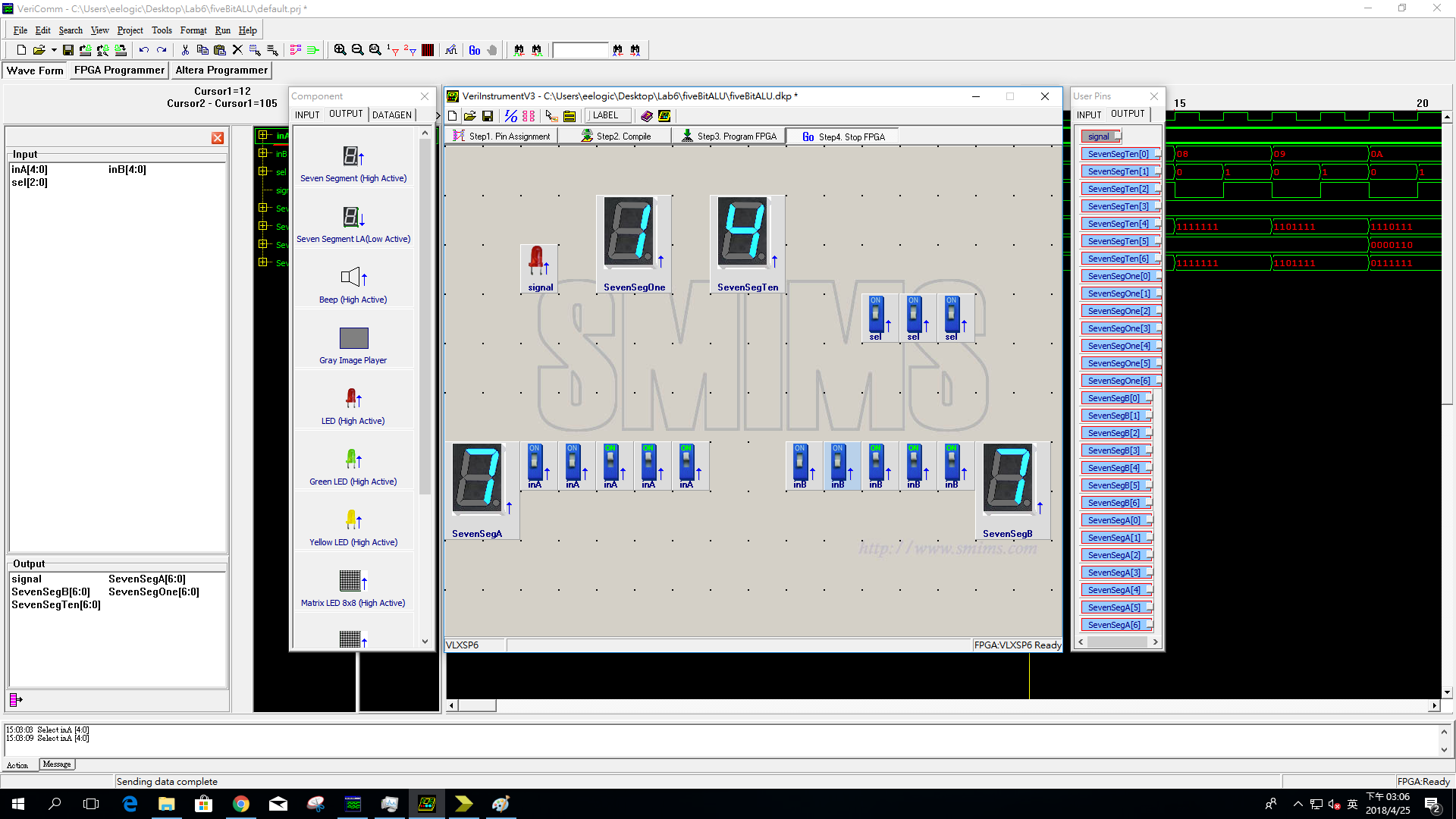
(圖三十)使用FPGA驗證的結果-3



(圖三十一)使用FPGA驗證的結果-4

(圖三十二)使用FPGA驗證的結果-5

(圖三十三)使用FPGA驗證的結果-6

(圖三十四)使用FPGA驗證的結果-7

(圖三十五)使用FPGA驗證的結果-8

# 心得：

1. 張軒：有了veriInstrument的協助，檢查結果變得簡單多了(但是弄出veriInstrument的過程很麻煩...)，比如七段顯示器，如果用testbench檢查的話，每一個case都會生出一組二位數，根本不知道它是七段顯示器裡的什麼數字呀，所以有了虛擬的七段顯示器就方便多啦!總之用起來就是比testbench方便直觀(而且比較炫炮)。
2. 章子嚴：我覺得用veriInstrument檢查簡單多了，只不多步驟有點麻煩，如果用testbench檢查就比較複雜再用veriInstrument后，我還可以在veriInstrument的虛擬元件調整輸入輸出，原來虛擬元件要跟著次序排才可以跑，要不然就不能跑
3. 魏晉成：使用VeriInstrument的過程中，雖然視覺化，但程式完成後後的步驟繁多，相對麻煩；若是使用test bench以及波形圖進行驗證，反而可以使用for迴圈做所有可能的遍歷，但如果遇到如7段顯示器的非直覺化視覺元件，則比較不方便；因此需要在兩者之間做權衡，各取其長處，才能發揮到最大的功效。