



دانشگاه علم و صنعت

دانشکده مهندسی کامپیوتر

درجه تحصیلی: کارشناسی

تکلیف 4 CAD

پرنیان شاکریان 99400064

استاد:

دکتر خدادادی

سال تحصیلی: تیر ۱۴۰۲

## سوال ۲

ابتدی کد یک بسته q2 تشکیل میدهیم که دو entity و architectures مربوط به آنها را تعریف می کند: sequence\_detector و second\_sequence\_detector. همچنین شامل دو بیت تابع و add\_no\_ones در بدنه است. sequence\_detector entity یک FSM را نشان داده که دنباله خاصی از بیت های ورودی را تشخیص می دهد. دارای یک پورت input\_number برای بیت ورودی، یک ساعت درگاه ورودی برای سیگنال ساعت و یک پورت خروجی sequence\_match است که نشان می دهد آیا دنباله ورودی با الگوی مورد نظر مطابقت دارد یا خیر. sequence\_detector architectures رفتار entity را تعریف می کند که شامل یک فرآیند حساس به سیگنال ساعت است که run\_state را بر اساس (running\_state) و بیت ورودی (input\_number) به روزرسانی می کند. این فرآیند همچنین هنگامی که دستگاه به حالت S7 میرسد، سیگنال pattern\_match را روی '۱' تنظیم می کند.

second\_sequence\_detector entity مشابه sequence\_detector است، اما دنباله متفاوتی از بیت های ورودی را تشخیص می دهد. دارای یک پورت ورودی برای بیت ورودی، یک ورودی برای سیگنال ساعت و یک پورت خروجی sequence\_match است که نشان می دهد آیا دنباله ورودی با الگوی مورد نظر مطابقت دارد یا خیر. second\_sequence\_detector رفتار entity را تعریف می کند. شامل یک فرآیند حساس به سیگنال ساعت است که run\_state را بر اساس وضعیت فعلی (running\_state) و بیت ورودی (input\_number) به روزرسانی می کند. این فرآیند همچنین هنگامی که دستگاه به حالت S5 می رسد، سیگنال pattern\_match را روی '۱' تنظیم می کند. بدنه بسته q2 دو عملکرد را اجرا می کند:

۱. bits: تابع یک بردار ورودی input\_number\_vector گرفته و مکمل هر بیت را در بردار برمی گرداند.

۲. add\_no\_ones: تابع یک بردار ورودی input\_number\_vector و یک عدد صحیح n را به عنوان پارامتر می گیرد. بردار را برمی گرداند که در آن n+1 بیت اول مکمل بوده و بیت های باقی مانده همان بیت های ورودی هستند. سپس یک عملیات جمع را شبیه سازی میکند. fsm\_dec entity یک رمزگشای FSM را نشان می دهد. یک سیگنال ساعت، بردار ورودی را گرفته و یک بردار خروجی ارائه می دهد. این شامل اعلان های مؤلفه برای sequence\_detector و second\_sequence\_detector است. fsm\_dec architectures شامل یک فرآیند حساس به سیگنال ساعت است. در داخل فرآیند، مؤلفه های sequence\_detector و second\_sequence\_detector را برای هر بیت از بردار input\_number نمونه سازی می کند. سیگنال های first\_match و second\_match نشان می دهد که آیا دنباله ورودی با الگوهای مورد نظر مطابقت دارد یا خیر. این فرآیند متغیر out\_vec را بر اساس نتایج تطبیق تنظیم می کند و آن را به سیگنال خروجی اختصاص می دهد.