



دانشکده مهندسی کامپیوتر

آزمایشگاه طراحی سیستم‌های دیجیتال

گزارش آزمایش سوم

دکتر سیاوش بیات سرمدی

پارسا محمدیان — ۹۸۱۰۲۲۸۴

۲۵ فروردین ۱۴۰۰

فهرست مطالب

۱	مقدمه	۲
۲	چارچوب نظری و شرح آزمایش	۲
۱.۲	بخش اول	۲
۲.۲	بخش دوم	۲
۳	گزارش متنی بخش Place & Route	۳
۴	تست مدار	۵

۱ مقدمه

عنوان گزارش

توصیف جریان داده

موضوع

استفاده از نرم‌افزارهای طراحی به کمک کامپیوتر^۱ برای طراحی و پیاده‌سازی مدار ترکیبی و ترتیبی به صورت جریان داده.

شرح ابزارها و برنامه‌های مورد استفاده

در این آزمایش از نرم‌افزار ISE Design Suite که محصول شرکت Xilinx است استفاده کرده‌ام.

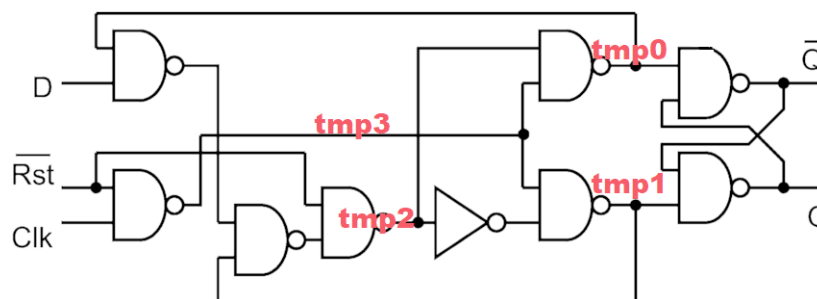
۲ چارچوب نظری و شرح آزمایش

۱.۲ بخش اول

در بخش اول آزمایش با استفاده از توصیف جریان داده یک مقایسه کننده یک بیتی ساختیم (OneBitComparator.v). سپس با گرفتن ۴ نمونه از ماژول مورد نظر، یک مقایسه کننده ۴ بیتی ساختیم که ورودی آن به صورت پارالل است (FourBitComparator.v).

۲.۲ بخش دوم

برای انجام بخش دوم، چون مدار ترتیبی است، نیاز به یک حافظه داریم. در اینجا از D Flip-Flop استفاده کرده‌ام که شماتیک آن در شکل ۱ آمده است.



شکل ۱: شماتیک فلیپ فلاپ نوع D

این فلیپ فلاپ باید به صورت جریان داده پیاده سازی شود. همچنین مابقی جزئیات پیاده سازی نیز در فایل SerialComparator.v موجود است.

^۱ CAD

۳ گزارش متنی بخش Place & Route

گزارش متنی بخش Place & Route برای ماژول FourBitComparator در ادامه آمده است.

```

1 Release 14.7 par P.20131013 (nt64)
2 Copyright (c) 1995–2013 Xilinx, Inc. All rights reserved.
3
4 DESKTOP-PRL8LS0:: Wed Apr 14 11:58:24 2021
5
6 par -w -intstyle ise -ol high -t 1 FourBitComparator_map.ncd
7 FourBitComparator.ncd FourBitComparator.pcf
8
9
10 Constraints file: FourBitComparator.pcf.
11 Loading device for application Rf_Device from file '3sd3400a.nph' in
12 environment C:\Xilinx\14.7\ISE_DS\ISE\
13 "FourBitComparator" is an NCD, version 3.2, device xc3sd3400a, package fg676,
14 speed -4
15
16 Initializing temperature to 85.000 Celsius. (default - Range: 0.000 to 85.000
17 Celsius)
18 Initializing voltage to 1.140 Volts. (default - Range: 1.140 to 1.260 Volts)
19
20 INFO:Par:282 - No user timing constraints were detected or you have set the
21 option to ignore timing constraints ("par
22 -x"). Place and Route will run in "Performance Evaluation Mode" to
23 automatically improve the performance of all
24 internal clocks in this design. Because there are not defined timing
25 requirements, a timing score will not be
26 reported in the PAR report in this mode. The PAR timing summary will list the
27 performance achieved for each clock.
28 Note: For the fastest runtime, set the effort level to "std". For best
29 performance, set the effort level to "high".
30
31 Device speed data version: "PRODUCTION 1.34 2013-10-13".
32
33
34 Design Summary Report:
35
36 Number of External IOBs 11 out of 469 2%
37
38 Number of External Input IOBs 8
39
40 Number of External Input IBUFs 8
41
42 Number of External Output IOBs 3
43
44 Number of External Output IOBs 3
45
46 Number of External Bidir IOBs 0
47
48
49 Number of Slices 4 out of 23872 1%
50 Number of SLICEMs 0 out of 11936 0%
51
52
53
54 Overall effort level (-ol): High
55 Placer effort level (-pl): High
56 Placer cost table entry (-t): 1
57 Router effort level (-rl): High
58
59 Starting initial Timing Analysis. REAL time: 2 secs
60 Finished initial Timing Analysis. REAL time: 2 secs
61
62
63 Starting Placer
64 Total REAL time at the beginning of Placer: 2 secs
65 Total CPU time at the beginning of Placer: 2 secs
66
67 Phase 1.1 Initial Placement Analysis
68 Phase 1.1 Initial Placement Analysis (Checksum:6e) REAL time: 3 secs
69
70 Phase 2.7 Design Feasibility Check
71 Phase 2.7 Design Feasibility Check (Checksum:6e) REAL time: 3 secs
72
73 Phase 3.31 Local Placement Optimization
74 Phase 3.31 Local Placement Optimization (Checksum:6e) REAL time: 3 secs
75
76 Phase 4.2 Initial Clock and IO Placement
77 .....
78 Phase 4.2 Initial Clock and IO Placement (Checksum:6e) REAL time: 3 secs
79
80 Phase 5.30 Global Clock Region Assignment
81 Phase 5.30 Global Clock Region Assignment (Checksum:6e) REAL time: 3 secs
82
83 Phase 6.36 Local Placement Optimization
84 Phase 6.36 Local Placement Optimization (Checksum:6e) REAL time: 3 secs

```

```

85 Phase 7.3 Local Placement Optimization
86 .....
87 Phase 7.3 Local Placement Optimization (Checksum:357b0a) REAL time: 3 secs
88
89 Phase 8.5 Local Placement Optimization
90 Phase 8.5 Local Placement Optimization (Checksum:357b0a) REAL time: 3 secs
91
92 Phase 9.8 Global Placement
93 ..
94 Phase 9.8 Global Placement (Checksum:19a336a) REAL time: 3 secs
95
96 Phase 10.5 Local Placement Optimization
97 Phase 10.5 Local Placement Optimization (Checksum:19a336a) REAL time: 3 secs
98
99 Phase 11.18 Placement Optimization
100 Phase 11.18 Placement Optimization (Checksum:2171395) REAL time: 4 secs
101
102 Phase 12.5 Local Placement Optimization
103 Phase 12.5 Local Placement Optimization (Checksum:2171395) REAL time: 4 secs
104
105 Total REAL time to Placer completion: 4 secs
106 Total CPU time to Placer completion: 3 secs
107 Writing design to file FourBitComparator.ncd
108
109
110 Starting Router
111 ..
112
113 Phase 1 : 29 unrouted; REAL time: 20 secs
114
115 Phase 2 : 29 unrouted; REAL time: 20 secs
116
117 Phase 3 : 6 unrouted; REAL time: 20 secs
118
119 Phase 4 : 6 unrouted; (Par is working to improve performance) REAL time:
120 22 secs
121
122 Phase 5 : 0 unrouted; (Par is working to improve performance) REAL time:
123 22 secs
124
125 Updating file: FourBitComparator.ncd with current fully routed design.
126
127 Phase 6 : 0 unrouted; (Par is working to improve performance) REAL time:
128 22 secs
129
130 Phase 7 : 0 unrouted; (Par is working to improve performance) REAL time:
131 22 secs
132
133 Phase 8 : 0 unrouted; (Par is working to improve performance) REAL time:
134 22 secs
135
136 Phase 9 : 0 unrouted; (Par is working to improve performance) REAL time:
137 22 secs
138
139 Total REAL time to Router completion: 22 secs
140 Total CPU time to Router completion: 22 secs
141
142 Partition Implementation Status
143 -----
144 No Partitions were found in this design.
145 -----
146
147 Generating "PAR" statistics.
148
149 Timing Score: 0 (Setup: 0, Hold: 0)
150
151
152 Generating Pad Report.
153
154 All signals are completely routed.
155
156 Total REAL time to PAR completion: 23 secs
157 Total CPU time to PAR completion: 23 secs
158
159 Peak Memory Usage: 4578 MB
160
161 Placement: Completed - No errors found.
162 Routing: Completed - No errors found.
163
164 Number of error messages: 0
165 Number of warning messages: 0
166 Number of info messages: 1
167
168 Writing design to file FourBitComparator.ncd
169
170
171
172
173
174
175

```

176

177 PAR done!

از Text Report اطلاعات زیر بدست می‌آید. با توجه به اینکه کد را به صورت جریان داده زده‌ایم، تعداد رجیسترها و LUT ها وجود ندارد.

Number of Slices	4 out of 23872	1%
Number of SLICEMs	0 out of 11936	0%

۴ تست مدار

برای تست بخش اول، دو تست بنچ در فایل‌های FourBitComparatorTest.v و OneBitComparatorTest.v می‌نویسیم. برای تست بخش دوم نیز تست بنچ در فایل SerialComparatorTest.v موجود است.