



دانشکده مهندسی کامپیوتر

آزمایشگاه طراحی سیستم‌های دیجیتال

گزارش آزمایش اول

دکتر سیاوش بیات سرمدی

پارسا محمدیان — ۹۸۱۰۲۲۸۴

۱۶ فروردین ۱۴۰۰

فهرست مطالب

۲	۱	مقدمه
۲	۲	چارچوب نظری و شرح آزمایش
۲	۱.۲	تشخیص دهنده مضارب ۳
۲	۲.۲	تشخیص دهنده مضارب ۱۱
۳	۳.۲	ماژول اصلی
۳	۴.۲	تست ماژول اصلی
۳	۳	گزارش متنی
۸	۴	شماتیک
۹	۱.۴	ماژول ElevenBcdDividerChecker
۱۰	۲.۴	ماژول ThreeBcdDividerChecker
۱۳	۳.۴	ماژول FiveBitAdder
۱۴	۴.۴	ماژول SixBitEqual
۱۵	۵.۴	ماژول FullAdder
۱۶	۶.۴	ماژول HalfAdder

۱ مقدمه

عنوان گزارش

طراحی مدارهای ترکیبی با استفاده از امکانات شماتیک.

موضوع

استفاده از نرم‌افزارهای طراحی به کمک کامپیوتر^۱ و امکانات شماتیک آن‌ها برای طراحی و پیاده‌سازی مدار ترکیبی.

شرح ابزارها و برنامه‌های مورد استفاده

در این آزمایش از نرم‌افزار ISE Desgin Suite که محصول شرکت Xilinx است استفاده کرده‌ام.

۲ چارچوب نظری و شرح آزمایش

در این آزمایش از ما خواسته شده دو مدار ترکیبی طراحی کنیم که مضارب ۳ و ۷ را تشخیص بدهند. ورودی این مدارها نیز عدد BCD چهار رقمی است. ابتدا به سراغ مدار ترکیبی تشخیص مضارب ۳ می‌روم.

۱.۲ تشخیص‌دهنده مضارب ۳

از آنجایی که تمامی اعدادی که تمام ارقام آن‌ها ۹ است برابر ضرب عدد ۳ در عددی که تمام ارقام آن ۳ است (با تعداد ارقام یکسان) می‌باشد، باقی‌مانده هر عدد به فرم 10^n بر ۳ برابر ۱ است.

$$\overline{abcd} \equiv_3 1000 \times a + 100 \times b + 10 \times c + d \equiv_3 a + b + c + d$$

پس عددی را بخش‌پذیر بر ۳ می‌دانیم اگر حاصل جمع ارقام آن بر ۳ بخش‌پذیر باشد. البته تمامی محاسبات بالا در مبنای ۱۰ انجام شده است که به دلیل BCD بودن ورودی است. مجموع ۴ رقم، می‌تواند مقادیر ۰ تا $4 \times 9 = 36$ را داشته باشد و که اگر این مقدار برابر یکی از اعداد ۰، ۳، ۶، ۹، ۱۲، ۱۵، ۱۸، ۲۱، ۲۴، ۲۷، ۳۰، ۳۳، ۳۶ باشد عدد مورد نظر بر ۳ بخش‌پذیر است. برای پیاده‌سازی این الگوریتم نیاز به جمع‌کننده و مقایسه‌کننده برابری داریم. پس ابتدا Half Adder و سپس Full Adder طراحی می‌کنیم که به کمک آن یک جمع‌کننده بسازیم. از آنجایی که جمع ارقام عدد ۴ رقمی ما کسیم ۳۶ می‌شود، ۶ رقم کافی است. پس جمع‌کننده ۵ بیتی می‌سازیم که با کری جواب ۶ رقمی تولید کند. جزئیات پیاده‌سازی آن‌ها در فایل‌های HalfAdder.v، FullAdder.v، SixBitEqual.v، FiveBitAdder.v و ThreeBcdDividerChecker.v موجود می‌باشند.

۲.۲ تشخیص‌دهنده مضارب ۱۱

از آنجایی که اعداد ۱۱، ۹۹ و ۱۰۰۱ بر ۱۱ بخش‌پذیر هستند، اعداد ۴ رقمی بخش‌پذیر به ۱۱ ویژگی زیر را دارند.

$$\overline{abcd} \equiv_{11} 1000 \times a + 100 \times b + 10 \times c + d \equiv_{11} -a + b - c + d \equiv_{11} (b + d) - (a + c)$$

CAD^۱

پس عددی را بخش‌پذیر بر ۱۱ می‌دانیم اگر حاصل جمع و تفریق یکی در میان ارقام آن بر ۱۱ بخش‌پذیر باشد. البته تمامی محاسبات بالا در مبنای ۱۰ انجام شده است که به دلیل BCD بودن ورودی است. حاصل جمع و تفریق ۴ رقم، می‌تواند مقادیر ۱۸- تا ۱۸ را داشته باشد و که اگر این مقدار برابر یکی از اعداد ۰، ۱۱، ۱۱- باشد عدد مورد نظر بر ۱۱ بخش‌پذیر است. برای پیاده‌سازی این الگوریتم می‌توانیم جمع‌کننده قسمت قبل را به صورت Adder/Subtractor طراحی کنیم که در این قسمت نیز استفاده شود. مقایسه کننده برابری هم از قسمت قبل موجود است و می‌توانیم از آن استفاده کنیم. جزئیات پیاده‌سازی نیز علاوه بر فایل‌های قسمت قبل، در فایل ElevenBcdDividerChecker.v موجود است.

۳.۲ ماژول اصلی

در پایان چون در این آزمایش خواسته شده بود که اعدادی که بر ۳ یا بر ۱۱ بخش‌پذیرند تشخیص داده شوند، باید نتیجه دو ماژول برای یک ورودی or شود. برای این کار از ماژول اصلی استفاده می‌کنیم که جزئیات پیاده‌سازی آن در فایل Main.v موجود است.

۴.۲ تست ماژول اصلی

در آخر تستی برای ماژول اصلی طراحی می‌کنیم (MainTest.v) که یک سری اعداد (بخش‌پذیر بر ۳، بخش‌پذیر بر ۱۱، بخش‌پذیر بر ۳۳، غیر بخش‌پذیر بر ۳ و ۱۱) را به ازای ورودی دریافت کند و خروجی بدهد. (در پروژه فایل‌های تست برای ماژول‌های دیگر وجود دارد که تاثیری در روند آزمایش ندارند) تست شخصی بوده‌اند

۳ گزارش متنی

```

1 Release 14.7 - xst P.20131013 (nt64)
2 Copyright (c) 1995-2013 Xilinx, Inc. All rights reserved.
3 --> Parameter TMPDIR set to xst/projnav.tmp
4
5
6 Total REAL time to Xst completion: 0.00 secs
7 Total CPU time to Xst completion: 0.38 secs
8
9 --> Parameter xsthdmdir set to xst
10
11
12 Total REAL time to Xst completion: 0.00 secs
13 Total CPU time to Xst completion: 0.38 secs
14
15 --> Reading design: Main.prj
16
17 TABLE OF CONTENTS
18 1) Synthesis Options Summary
19 2) HDL Compilation
20 3) Design Hierarchy Analysis
21 4) HDL Analysis
22 5) HDL Synthesis
23 5.1) HDL Synthesis Report
24 6) Advanced HDL Synthesis
25 6.1) Advanced HDL Synthesis Report
26 7) Low Level Synthesis
27 8) Partition Report
28 9) Final Report
29 9.1) Device utilization summary
30 9.2) Partition Resource Summary
31 9.3) TIMING REPORT
32
33
34 =====
35 * Synthesis Options Summary *
36 =====
37 --- Source Parameters
38 Input File Name : "Main.prj"
39 Input Format : mixed

```

```

40 Ignore Synthesis Constraint File : NO
41
42 — Target Parameters
43 Output File Name : "Main"
44 Output Format : NGC
45 Target Device : xc3sd3400a-4-fg676
46
47 — Source Options
48 Top Module Name : Main
49 Automatic FSM Extraction : YES
50 FSM Encoding Algorithm : Auto
51 Safe Implementation : No
52 FSM Style : LUT
53 RAM Extraction : Yes
54 RAM Style : Auto
55 ROM Extraction : Yes
56 Mux Style : Auto
57 Decoder Extraction : YES
58 Priority Encoder Extraction : Yes
59 Shift Register Extraction : YES
60 Logical Shifter Extraction : YES
61 XOR Collapsing : YES
62 ROM Style : Auto
63 Mux Extraction : Yes
64 Resource Sharing : YES
65 Asynchronous To Synchronous : NO
66 Use DSP Block : Auto
67 Automatic Register Balancing : No
68
69 — Target Options
70 Add IO Buffers : YES
71 Global Maximum Fanout : 500
72 Add Generic Clock Buffer (BUFG) : 24
73 Register Duplication : YES
74 Slice Packing : YES
75 Optimize Instantiated Primitives : NO
76 Use Clock Enable : Yes
77 Use Synchronous Set : Yes
78 Use Synchronous Reset : Yes
79 Pack IO Registers into IOBs : Auto
80 Equivalent register Removal : YES
81
82 — General Options
83 Optimization Goal : Speed
84 Optimization Effort : 1
85 Keep Hierarchy : No
86 Netlist Hierarchy : As_Optimized
87 RTL Output : Yes
88 Global Optimization : AllClockNets
89 Read Cores : YES
90 Write Timing Constraints : NO
91 Cross Clock Analysis : NO
92 Hierarchy Separator : /
93 Bus Delimiter : <
94 Case Specifier : Maintain
95 Slice Utilization Ratio : 100
96 BRAM Utilization Ratio : 100
97 DSP48 Utilization Ratio : 100
98 Verilog 2001 : YES
99 Auto BRAM Packing : NO
100 Slice Utilization Ratio Delta : 5
101
102
103
104
105
106 * HDL Compilation *
107
108 Compiling verilog file "FullAdder.v" in library work
109 Compiling verilog file "SixBitEqual.v" in library work
110 Module <FullAdder> compiled
111 Compiling verilog file "FiveBitAdder.v" in library work
112 Module <SixBitEqual> compiled
113 Compiling verilog file "ThreeBcdDividerChecker.v" in library work
114 Module <FiveBitAdder> compiled
115 Compiling verilog file "ElevenBcdDividerChecker.v" in library work
116 Module <ThreeBcdDividerChecker> compiled
117 Compiling verilog file "Main.v" in library work
118 Module <ElevenBcdDividerChecker> compiled
119 Module <Main> compiled
120 No errors in compilation
121 Analysis of file <"Main.prj"> succeeded.
122
123
124
125 * Design Hierarchy Analysis *
126
127 Analyzing hierarchy for module <Main> in library <work>.
128
129 Analyzing hierarchy for module <ThreeBcdDividerChecker> in library <work>.
130

```

```

131 Analyzing hierarchy for module <ElevenBcdDividerChecker> in library <work>.
132
133 Analyzing hierarchy for module <FiveBitAdder> in library <work>.
134
135 Analyzing hierarchy for module <SixBitEqual> in library <work>.
136
137 Analyzing hierarchy for module <FullAdder> in library <work>.
138
139 Analyzing hierarchy for module <HalfAdder> in library <work>.
140
141
142
143 * HDL Analysis *
144
145 Analyzing top module <Main>.
146 Module <Main> is correct for synthesis.
147
148 Analyzing module <ThreeBcdDividerChecker> in library <work>.
149 Module <ThreeBcdDividerChecker> is correct for synthesis.
150
151 Analyzing module <FiveBitAdder> in library <work>.
152 Module <FiveBitAdder> is correct for synthesis.
153
154 Analyzing module <FullAdder> in library <work>.
155 Module <FullAdder> is correct for synthesis.
156
157 Analyzing module <HalfAdder> in library <work>.
158 Module <HalfAdder> is correct for synthesis.
159
160 Analyzing module <SixBitEqual> in library <work>.
161 Module <SixBitEqual> is correct for synthesis.
162
163 Analyzing module <ElevenBcdDividerChecker> in library <work>.
164 Module <ElevenBcdDividerChecker> is correct for synthesis.
165
166
167
168 * HDL Synthesis *
169
170
171 Performing bidirectional port resolution ...
172
173 Synthesizing Unit <SixBitEqual>.
174 Related source file is "SixBitEqual.v".
175 Found 1-bit xor2 for signal <check0$xor0000>.
176 Found 1-bit xor2 for signal <check1$xor0000>.
177 Found 1-bit xor2 for signal <check2$xor0000>.
178 Found 1-bit xor2 for signal <check3$xor0000>.
179 Found 1-bit xor2 for signal <check4$xor0000>.
180 Found 1-bit xor2 for signal <check5$xor0000>.
181 Unit <SixBitEqual> synthesized.
182
183
184 Synthesizing Unit <HalfAdder>.
185 Related source file is "HalfAdder.v".
186 Found 1-bit xor2 for signal <sum>.
187 Unit <HalfAdder> synthesized.
188
189
190 Synthesizing Unit <FullAdder>.
191 Related source file is "FullAdder.v".
192 Unit <FullAdder> synthesized.
193
194
195 Synthesizing Unit <FiveBitAdder>.
196 Related source file is "FiveBitAdder.v".
197 Found 1-bit xor2 for signal <b0Prime>.
198 Found 1-bit xor2 for signal <b1Prime>.
199 Found 1-bit xor2 for signal <b2Prime>.
200 Found 1-bit xor2 for signal <b3Prime>.
201 Found 1-bit xor2 for signal <b4Prime>.
202 Unit <FiveBitAdder> synthesized.
203
204
205 Synthesizing Unit <ThreeBcdDividerChecker>.
206 Related source file is "ThreeBcdDividerChecker.v".
207 WARNING: Xst:646 - Signal <carryOut1> is assigned but never used. This
208 unconnected signal will be trimmed during the optimization process.
209 WARNING: Xst:646 - Signal <carryOut0> is assigned but never used. This
210 unconnected signal will be trimmed during the optimization process.
211 Unit <ThreeBcdDividerChecker> synthesized.
212
213
214 Synthesizing Unit <ElevenBcdDividerChecker>.
215 Related source file is "ElevenBcdDividerChecker.v".
216 WARNING: Xst:646 - Signal <carryOut2> is assigned but never used. This
217 unconnected signal will be trimmed during the optimization process.
218 WARNING: Xst:646 - Signal <carryOut1> is assigned but never used. This
219 unconnected signal will be trimmed during the optimization process.
220 WARNING: Xst:646 - Signal <carryOut0> is assigned but never used. This
221 unconnected signal will be trimmed during the optimization process.

```

```

222 Unit <ElevenBedDividerChecker> synthesized.
223
224
225 Synthesizing Unit <Main>.
226 Related source file is "Main.v".
227 Unit <Main> synthesized.
228
229
230
231 HDL Synthesis Report
232
233 Macro Statistics
234 # Xors : 186
235 1-bit xor2 : 186
236
237
238
239
240 * Advanced HDL Synthesis *
241
242
243 WARNING: Xst:1290 - Hierarchical block <hfl> is unconnected in block <fa4>.
244 It will be removed from the design.
245 WARNING: Xst:1290 - Hierarchical block <hfl> is unconnected in block <fa4>.
246 It will be removed from the design.
247 WARNING: Xst:1290 - Hierarchical block <hfl> is unconnected in block <fa4>.
248 It will be removed from the design.
249 WARNING: Xst:1290 - Hierarchical block <hfl> is unconnected in block <fa4>.
250 It will be removed from the design.
251
252
253 Advanced HDL Synthesis Report
254
255 Macro Statistics
256 # Xors : 186
257 1-bit xor2 : 186
258
259
260
261
262 * Low Level Synthesis *
263
264
265 Optimizing unit <Main> ...
266
267 Optimizing unit <FiveBitAdder> ...
268
269 Mapping all equations...
270 Building and optimizing final netlist ...
271 Found area constraint ratio of 100 (+ 5) on block Main, actual ratio is 0.
272
273 Final Macro Processing ...
274
275
276 Final Register Report
277
278 Found no macro
279
280
281
282 * Partition Report *
283
284
285 Partition Implementation Status
286
287
288 No Partitions were found in this design.
289
290
291
292
293 * Final Report *
294
295 Final Results
296 RTL Top Level Output File Name : Main.ngr
297 Top Level Output File Name : Main
298 Output Format : NGC
299 Optimization Goal : Speed
300 Keep Hierarchy : No
301
302 Design Statistics
303 # IOs : 17
304
305 Cell Usage :
306 # BELS : 58
307 # LUT2 : 4
308 # LUT3 : 29
309 # LUT4 : 25
310 # IO Buffers : 17
311 # IBUF : 16
312 # OBUF : 1

```

```

313
314
315 Device utilization summary:
316
317
318 Selected Device : 3sd3400afg676-4
319
320 Number of Slices :          33 out of 23872    0%
321 Number of 4 input LUTs:     58 out of 47744    0%
322 Number of IOs:              17
323 Number of bonded IOBs:      17 out of 469     3%
324
325
326 Partition Resource Summary:
327
328
329 No Partitions were found in this design.
330
331
332
333
334
335 TIMING REPORT
336
337 NOTE: THESE TIMING NUMBERS ARE ONLY A SYNTHESIS ESTIMATE.
338 FOR ACCURATE TIMING INFORMATION PLEASE REFER TO THE TRACE REPORT
339 GENERATED AFTER PLACE-and-ROUTE.
340
341 Clock Information:
342
343 No clock signals found in this design
344
345 Asynchronous Control Signals Information:
346
347 No asynchronous control signals found in this design
348
349 Timing Summary:
350
351 Speed Grade: -4
352
353 Minimum period: No path found
354 Minimum input arrival time before clock: No path found
355 Maximum output required time after clock: No path found
356 Maximum combinational path delay: 16.709ns
357
358 Timing Detail:
359
360 All values displayed in nanoseconds (ns)
361
362
363 Timing constraint: Default path analysis
364 Total number of paths / destination ports: 872 / 1
365
366 Delay:          16.709ns (Levels of Logic = 11)
367 Source:         b0 (PAD)
368 Destination:   result (PAD)
369
370 Data Path: b0 to result
371 Gate    Net
372 Cell:in->out    fanout    Delay    Delay    Logical Name (Net Name)
373
374 IBUF:I->O        7    0.849    0.851    b0_IBUF (b0_IBUF)
375 LUT2:I0->O        2    0.648    0.590    ebdc/fba1/fa0/hf2/Mxor_sum_Result1
376 (ebdc/s00)
377 LUT4:I0->O        2    0.648    0.590    ebdc/fba2/fa1/carryOut1
378 (ebdc/fba2/carryOut1)
379 LUT3:I0->O        3    0.648    0.674    ebdc/fba2/fa2/carryOut1
380 (ebdc/fba2/carryOut2)
381 LUT3:I0->O        2    0.648    0.479    ebdc/fba2/fa3/carryOut1
382 (ebdc/fba2/carryOut3)
383 LUT3:I2->O        1    0.648    0.500    ebdc/fba2/fa4/hf2/Mxor_sum_Result1
384 (ebdc/s24)
385 LUT4:I1->O        1    0.643    0.423    result14_SW0 (N13)
386 LUT4:I3->O        1    0.648    0.563    result14 (result14)
387 LUT3:I0->O        1    0.648    0.423    result104 (result104)
388 LUT4:I3->O        1    0.648    0.420    result297 (result_OBUF)
389 OBUF:I->O        4.520                                result_OBUF (result)
390
391 Total          16.709ns (11.196ns logic , 5.513ns route)
392 (67.0% logic , 33.0% route)
393
394
395
396
397 Total REAL time to Xst completion: 17.00 secs
398 Total CPU time to Xst completion: 17.25 secs
399
400 -->
401
402 Total memory usage is 4514004 kilobytes
403

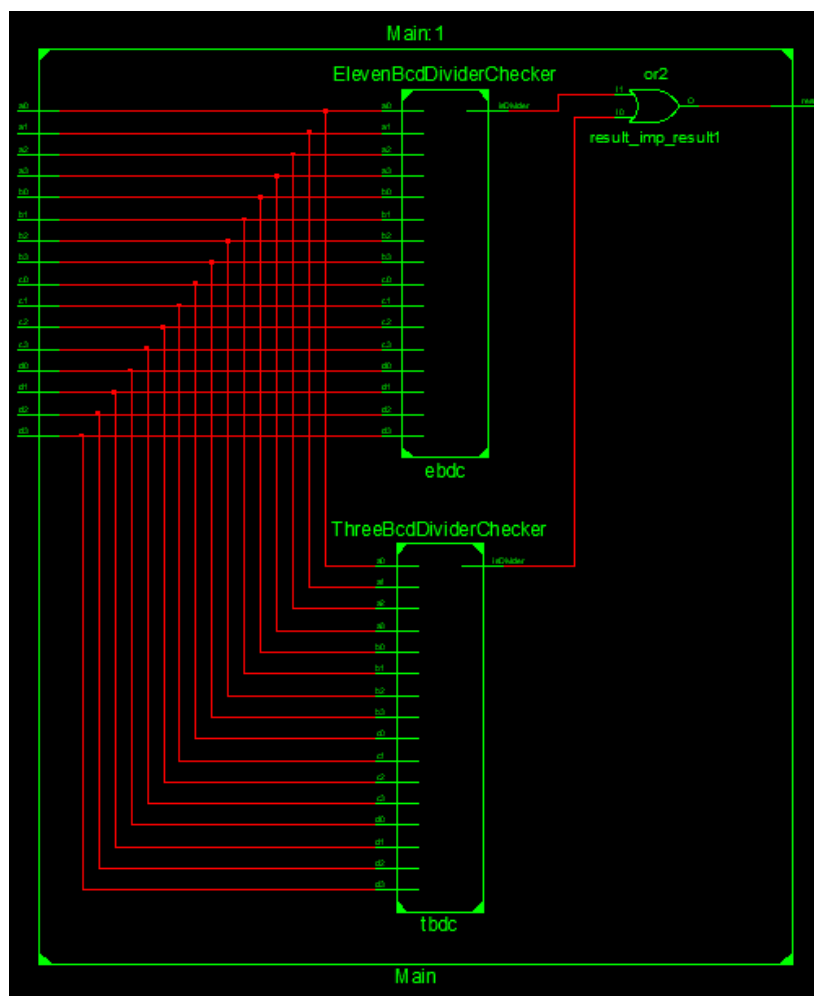
```



```
404 Number of errors      :    0 (    0 filtered )
405 Number of warnings    :   122 (    0 filtered )
406 Number of infos       :    0 (    0 filtered )
```

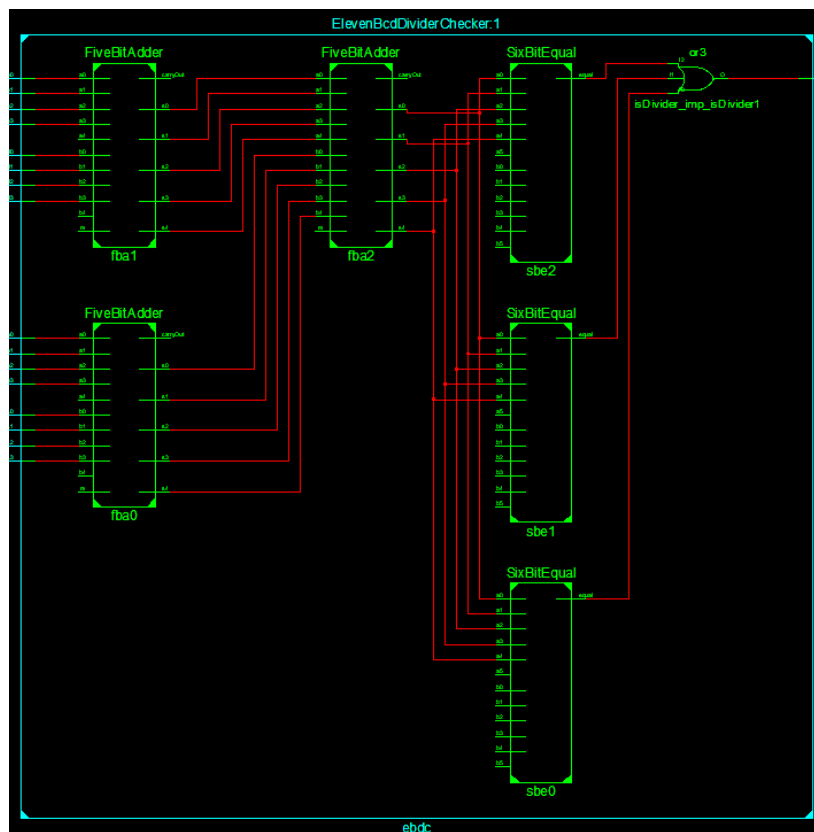
۴ شماتیک

شماتیک مازول اصلی در شکل ۱ آمده است.



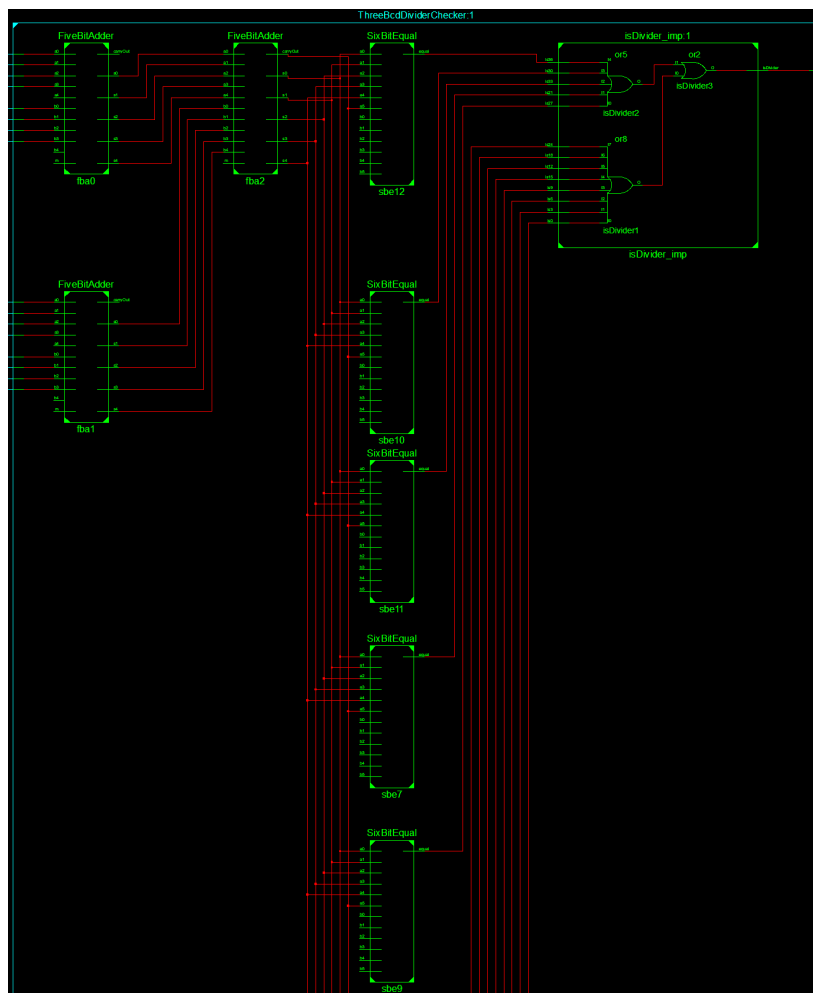
شکل ۱: شماتیک ماژول اصلی

۱.۴ ماژول ElevenBcdDividerChecker

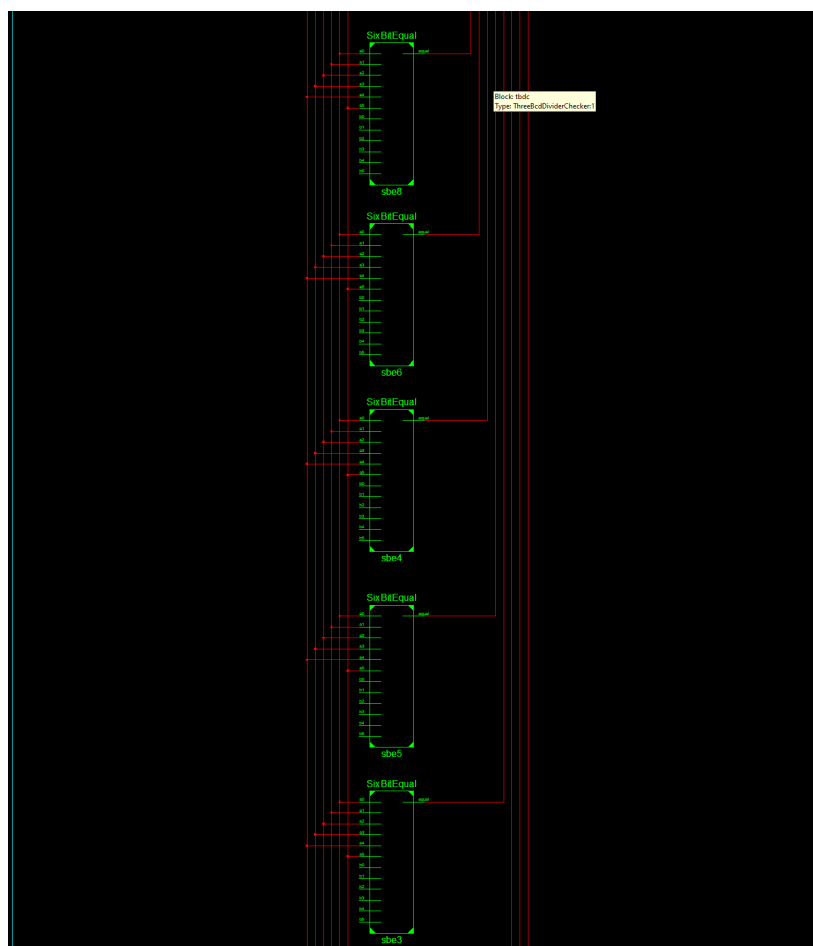


شکل ۲: شماتیک ماژول بخش‌پذیری بر ۱۱

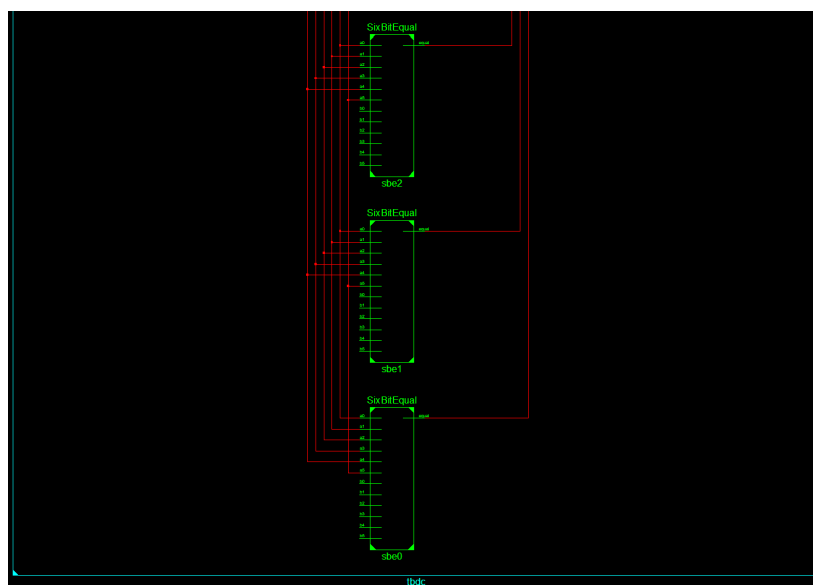
۲.۴ ماژول ThreeBcdDividerChecker



شکل ۳: شماتیک ماژول بخش‌پذیری بر ۳ بخش ۱

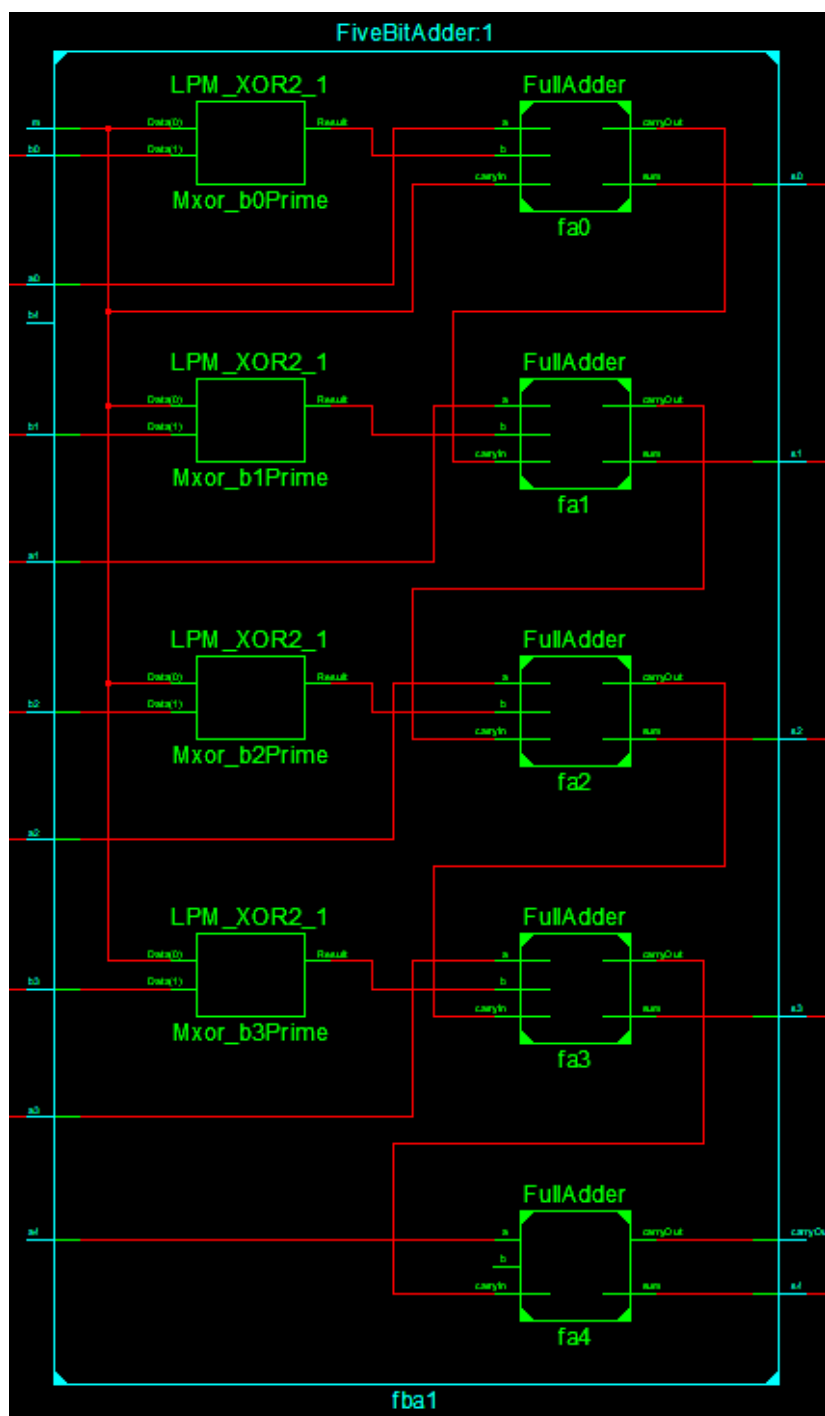


شکل ۴: شماتیک ماژول بخش‌پذیری بر ۳ بخش ۲



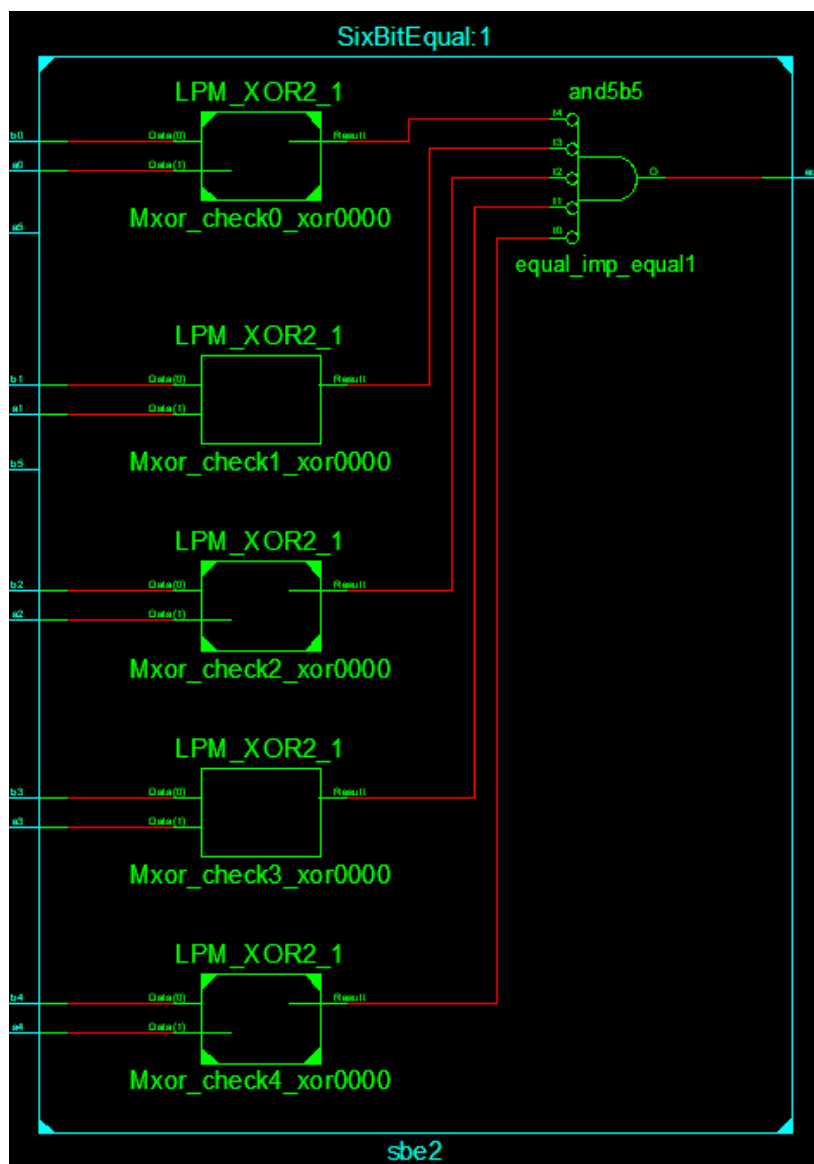
شکل ۵: شماتیک ماژول بخش‌پذیری بر ۳ بخش ۳

۳.۴ ماژول FiveBitAdder



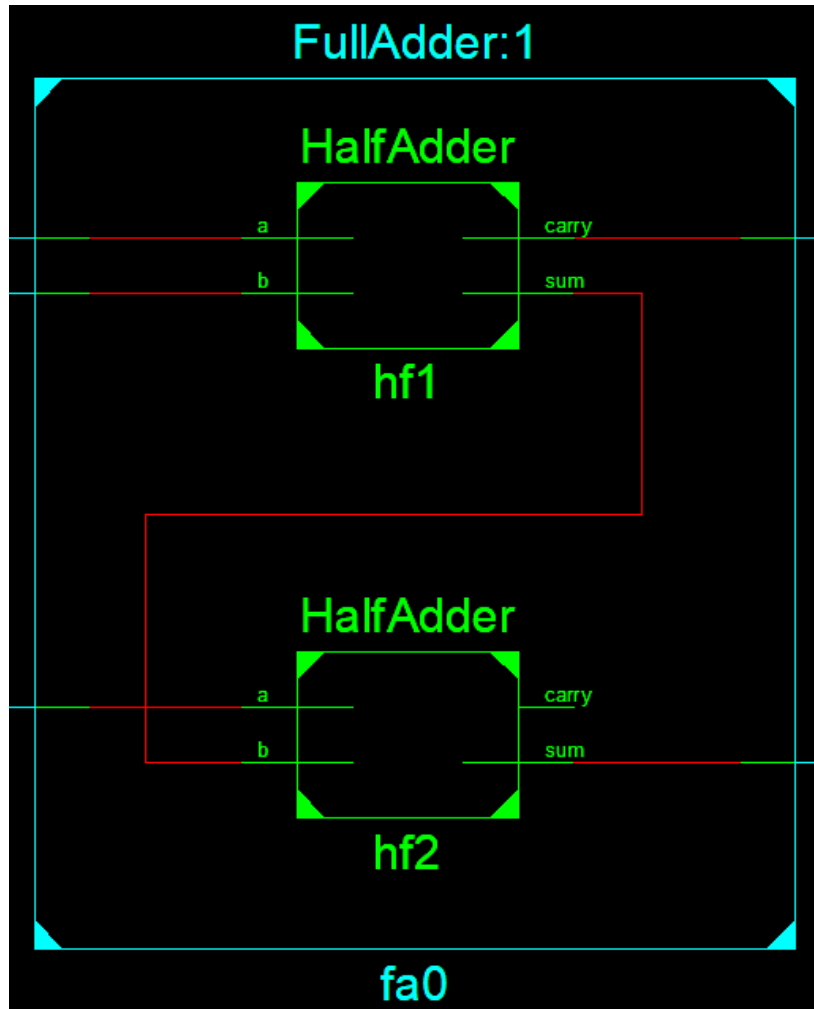
شکل ۶: شماتیک ماژول جمع/تفریق کننده ۵ بیتی

۴.۴ ماژول SixBitEqual



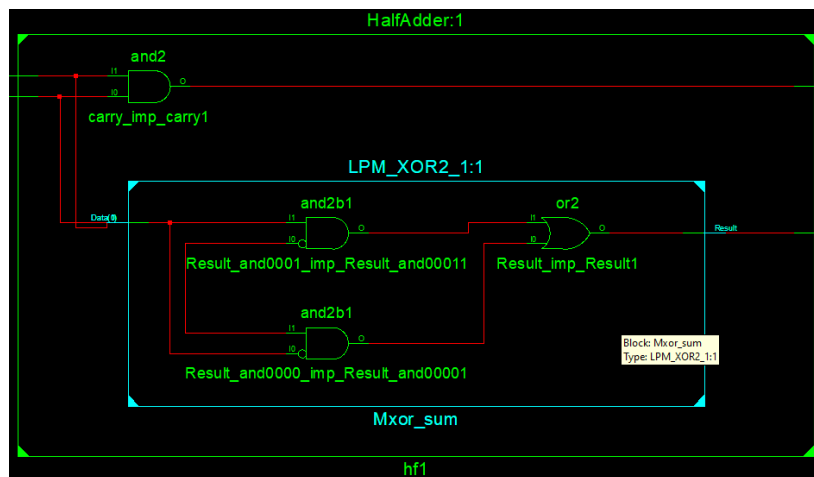
شکل ۷: شماتیک ماژول بررسی برابری دو عدد ۶ بیتی

۵.۴ ماژول FullAdder



شکل ۸: شماتیک ماژول جمع‌کننده کامل

۶.۴ ماژول HalfAdder



شکل ۹: شماتیک ماژول نیم جمع‌کننده