



دانشکده مهندسی کامپیوتر

آزمایشگاه طراحی سیستم‌های دیجیتال

گزارش آزمایش نهم

دکتر سیاوش بیات سرمدی

پارسا محمدیان — ۹۸۱۰۲۲۸۴

۱۸ خرداد ۱۴۰۰

فهرست مطالب

۱	مقدمه	۲
۲	چارچوب نظری و شرح آزمایش	۲
۳	تست مدار	۲

۱ مقدمه

عنوان گزارش

پیاده‌سازی حافظه‌های شرکت پذیر از نوع سه گانه

موضوع

استفاده از نرم‌افزارهای طراحی به کمک کامپیوتر^۱ برای طراحی و پیاده‌سازی مدار پشته به صورت توصیف رفتاری.

شرح ابزارها و برنامه‌های مورد استفاده

در این آزمایش از نرم‌افزار ISE Desgin Suite که محصول شرکت Xilinx است استفاده کرده‌ام.

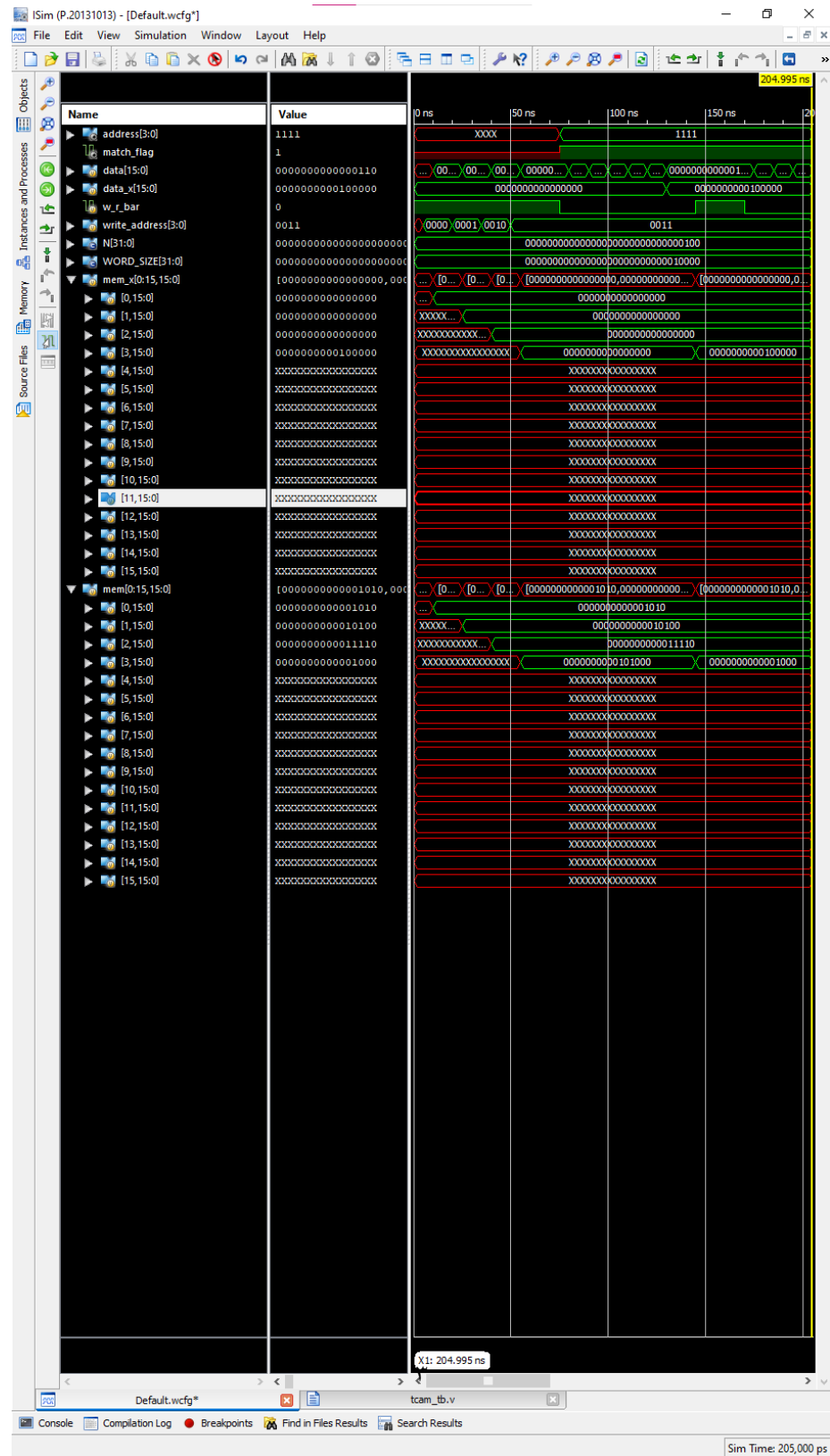
۲ چارچوب نظری و شرح آزمایش

برای پیاده‌سازی از توصیف رفتاری استفاده کردم. در کد از دو پارامتر N و $WORD_SIZE$ استفاده شده است که N طول آدرس است. نکته قابل توجه این است که علی‌رغم اینکه وریلاگ در منطق خود X دارد ولی در سنتز چنین چیزی وجود ندارد چون یک سیم حتی اگر مقدارش را ندانیم دارای مقدار است. پس باید خودمان منطق سه تایی را پیاده‌سازی کنیم. برای این کار برای هر داده علاوه بر خود داده، وکتور دیگری در نظر گرفته شده که ۱ بودن هر خانه از آن مشخص کننده X بودن خانه متناظر در داده است. با این تفصیل سراغ پیاده‌سازی می‌رویم. پیاده‌سازی در فایل `team.v` موجود است.

۳ تست مدار

برای تست فایل `team_tb.v` نوشته شده است. در این تست ابتدا مقادیری در حافظه ذخیره شده که همه بیت‌های آن‌ها مشخص است. سپس هر یک از مقادیر فراخوانی شده است و آدرس متناظر دریافت شده است. پس از این‌ها به سراغ تست نوشتن با X می‌رویم. سپس با دو مقدار متفاوت که در بیت نامعلومشان اختلاف دارند آدرس را می‌گیریم. Wave مربوط به این تست در شکل ۱ نشان داده شده است.

^۱ CAD



شکل ۱: شکل موج تست TCAM