

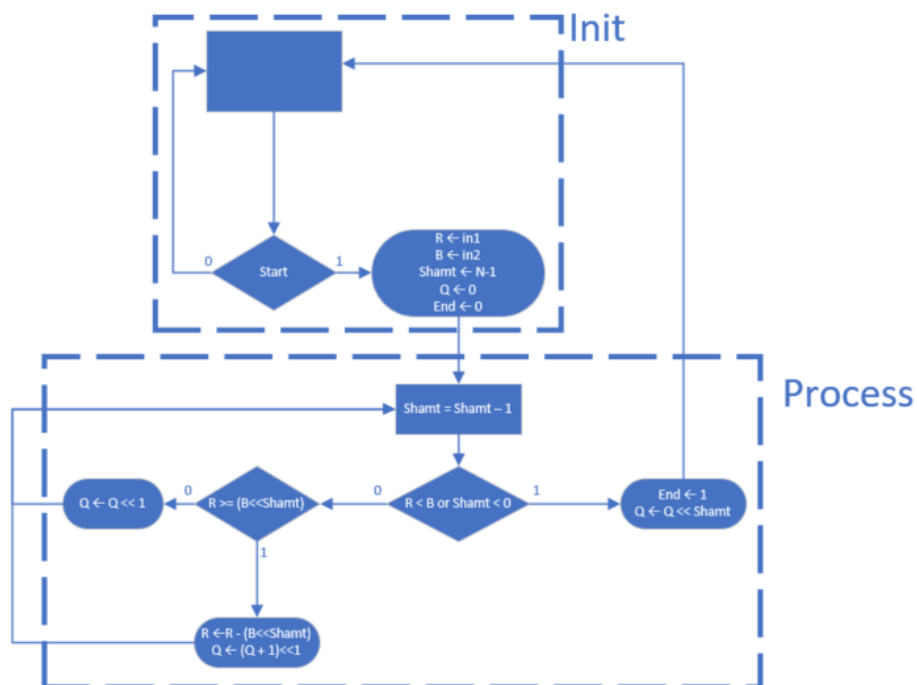
## تمرین دوم طراحی سیستم‌های دیجیتال

پارسا محمدیان – ۹۸۱۰۲۲۸۴

۱۵ خرداد ۱۴۰۰

## ۱ توضیحات تمرین

در این تمرین ابتدا ASM تقسیم‌کننده خواسته شده رسم کردیم. این ASM در فایل ASM.vsdx موجود است و در شکل ۱ مشاهده می‌شود.



شکل ۱: ASM تقسیم‌کننده

سپس کد وریلاگ هر یک از دو بخش واحد کنترل و مسیر داده را به ترتیب در فایل‌های cu.v و dp.v می‌نویسیم. این دو بخش را در ماژول موجود در فایل subtractor.v به یکدیگر متصل می‌کنیم. تست بنچ نیز در فایل tb\_subtractor.v موجود می‌باشد.

## ۲ تست مدار

برای تست مدار ۳ بار ورودی مختلف داده‌ایم. شکل موج در شکل ۲ موجود است.

$$15 = 7 \times 2 + 1$$

$$40 = 3 \times 13 + 1$$

$$40 = 5 \times 8 + 0$$

