



طراحی کامپیوتری سیستم های دیجیتال

(سال تحصیلی ۹۸-۹۷، نیمسال اول)

تمرین سوم: مدل سازی رفتاری در VHDL

۱-۱- طراحی FIFO

در این قسمت باید یک FIFO که دارای ۱۶ خانه ۸ بیتی است را طراحی کنید. در این ساختار با هر کلاک و در صورت یک بودن پایه فعال سازی (EN)، یک داده ۸ بیتی از خانه صفر وارد FIFO شده و محتویات خانه پانزدهم دور ریخته می شود. این FIFO دارای یک سیگنال RST آسنکرون است که در صورت یک شدن، محتویات تمام خانه های FIFO برابر صفر خواهد شد. entity این ساختار به شکل زیر تعریف شده است:

```
ENTITY FIFO IS
PORT ( Din      :IN      std_logic_vector(7 DOWNTO 0);
      RST, EN    :IN      std_logic
      CLK        : IN     std_logic
      DOut       :OUT     std_logic_vector(7 DOWNTO 0);
);
END FIFO;
```

۲-۱- طراحی Stack

در این قسمت باید یک Stack که دارای ۸ خانه ۱۶ بیتی است را طراحی کنید. در این ساختار با هر کلاک و در صورت یک بودن EN، در صورتی که سیگنال PUSH یک باشد، یک دیتای ۱۶ بیتی (DIn) به خانه ای که SP به آن اشاره می کند، وارد می شود و پس از آن مقدار SP یک واحد اضافه می گردد. در صورتی که سیگنال POP یک باشد ابتدا مقدار SP یک واحد کم می شود و سپس مقدار "مکانی از حافظه" که SP به آن اشاره می کند در خروجی قرار داده می شود. این Stack دارای یک سیگنال RST آسنکرون است که

در صورت یک شدن آن، محتویات تمام خانه‌های Stack برابر صفر خواهد شد. در صورتی که Stack کاملاً پر یا خالی باشد (مقدار SP صفر یا ۷ شود) سیگنال‌های مربوط به Full یا Empty فعال شده و از دستورات Push (در صورت پر بودن) و Pop (در صورت خالی بودن) صرف نظر می‌شود. Entity این ساختار به شکل زیر تعریف شده است:

ENTITY stack **IS**

PORT (

Din :IN *std_logic_vector*(15 DOWNTO 0);

PUSH :IN *std_logic*;

POP :IN *std_logic*;

EN, RST :IN *std_logic*

CLK :IN *std_logic*

DOut :OUT *std_logic_vector*(15 DOWNTO 0);

SP :OUT *std_logic_vector*(2 DOWNTO 0); --StackPointer

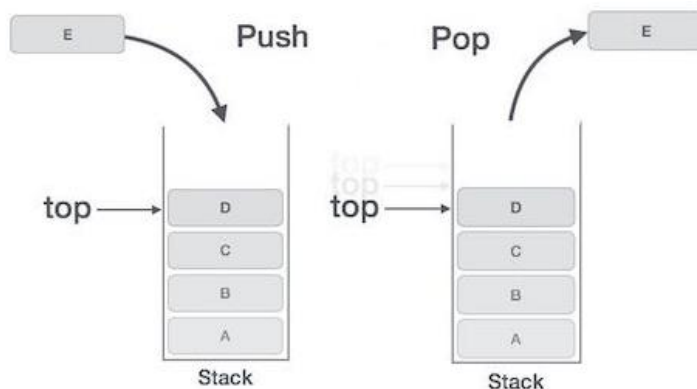
EMP :OUT *std_logic*;--StackEmpty

FUL :OUT *std_logic*;--StackFull

);

END stack;

توجه داشته باشید که در این تمرین، SP همیشه به اولین خانه خالی اشاره می‌کند و آدرس حافظه از پایین به بالا زیاد می‌شود.



۳-۱- شبیه‌سازی

پس از طراحی و نوشتن کد، طرح را با استفاده از ابزار ModelSim و ورودی‌های مناسب شبیه‌سازی نمایید. در این مرحله لازم است یک testbench مناسب تهیه گردد. در این testbench نیاز است ورودی‌ها به شکلی تولید گردند که حالات پر و خالی بودن ساختارها بررسی شود.

۴-۱- نکات فنی

- ۱- نام سیگنال‌ها دقیقاً به همان صورتی که در صورت تمرین تعریف شده است، استفاده شود.
- ۲- در طراحی Stack در صورت فعال شدن همزمان دو سیگنال push و pop، اولویت با سیگنال pop است.
- ۳- گزارش طرح باید شامل توضیح کامل کد ها و تصاویر مربوط به شکل موج‌های خروجی حاصل از مرحله شبیه سازی باشد.