



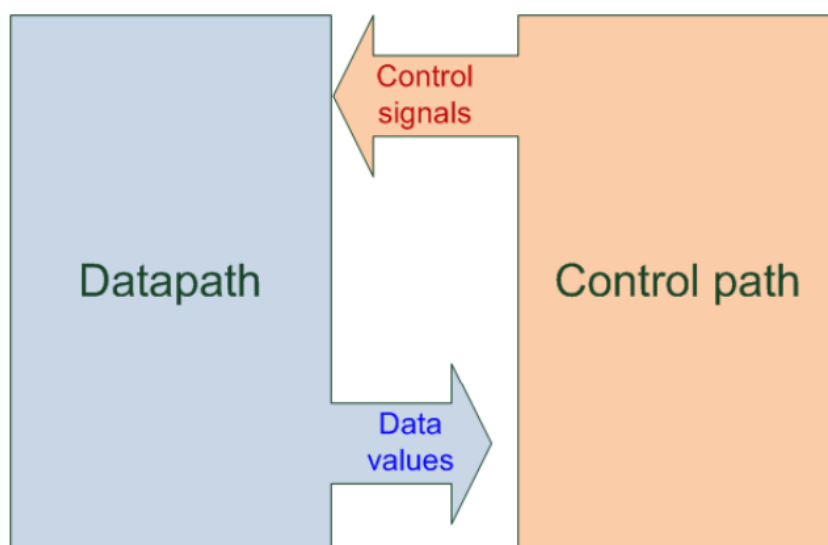
طراحی کامپیوتری سیستم های دیجیتال

(سال تحصیلی ۹۸-۹۷، نیمسال اول)

تمرین نهم: طراحی FSMD (Finite State Machine with Datapath)

۱-۱- طراحی پردازنده پایه

همانطور که می دانید یک پردازنده از یک واحد کنترل و یک بخش موسوم به جریان داده تشکیل شده است که این دو بخش با یک واحد حافظه در ارتباط هستند. واحد کنترل وظیفه ارسال سیگنال های کنترلی به قسمت های دیگر را دارد و قسمت جریان داده براساس سیگنال های کنترلی عملیات خاصی را بر روی داده ها انجام می دهد.



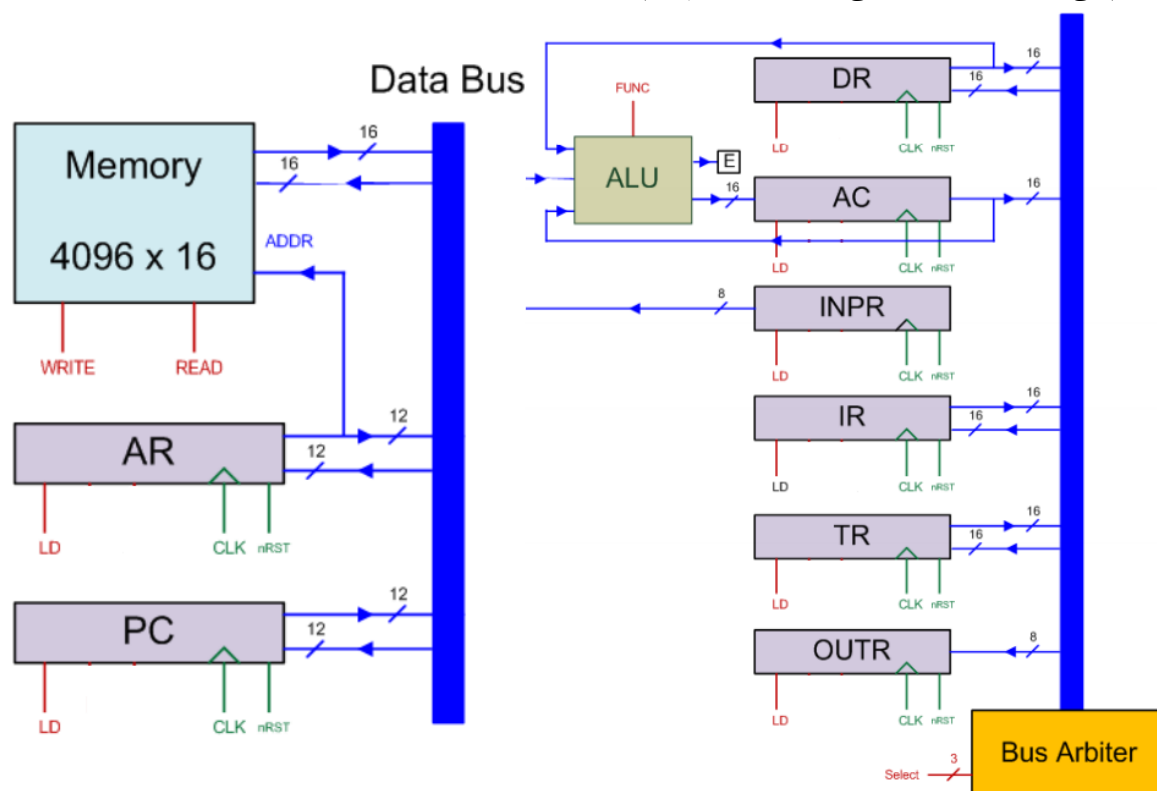
۱-۱-۱- واحد جریان داده (Data Path):

این قسمت متشکل از یک ALU ۱۶ بیتی، تعدادی رجیستر و یک گذرگاه داده می‌باشد که از طریق گذرگاه داده به واحد حافظه متصل می‌گردند. همانطور که در شکل زیر مشاهده می‌کنید طول کلمه در این ساختار برابر ۱۶ بیت است و تمامی قسمت‌ها به یک گذرگاه مشترک متصل شده‌اند.

گذرگاه نشان داده شده توسط یک واحد مجزا به نام arbiter کنترل می‌شود که این واحد مشخص می‌کند که در هر زمان کدام قسمت به گذرگاه مشترک دسترسی دارد. عملکرد این واحد به این شکل است که در هر زمان تمامی واحدها به داده خروجی گذرگاه دسترسی دارند و با فعال شدن پایه LD یک رجیستر، داده روی گذرگاه به رجیستر مورد نظر منتقل می‌شود. اما برای نوشتن روی گذرگاه در هر زمان فقط یک واحد اجازه نوشتن را دارد که این واحد با ورودی select مشخص می‌شود.

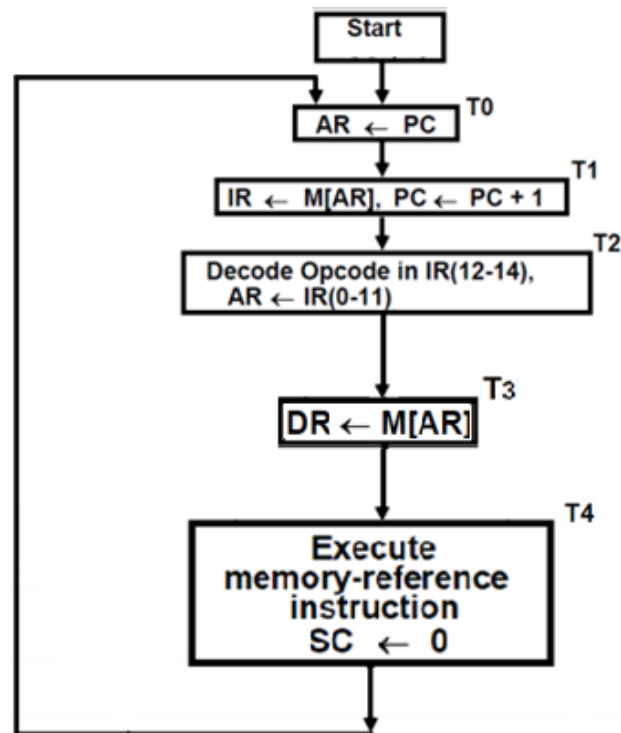
واحد ALU در نظر گرفته شده مشابه واحدی است که در تمرین دوم پیاده‌سازی شده است و شامل دستورالعمل‌های NAND, LDA, ADD, CIL, SHR, NOT, XNOR, NOR می‌باشد. تفاوت این واحد با تمرین اول جایگزینی دستور SUB با LDA می‌باشد که در آن مقدار یک خانه از حافظه به رجیستر AC منتقل می‌گردد. همچنین از بین سیگنال‌های کنترلی ALU تنها سیگنال carry مورد نیاز است که در رجیستر E نگه‌داری خواهد شد.

ساختار فوق شامل ۸ رجیستر ۱۶ بیتی می‌باشد که علاوه بر کلاک دارای پایه‌های LD (فعال‌سازی نوشتن داده) و nrst (not ریست) نیز می‌باشند (رجیستر INPR مربوط به ورودی و رجیستر OUTR مربوط به خروجی در این تمرین مورد استفاده نیستند). حافظه استفاده شده در این ساختار دارای ۴۰۹۶ خانه حافظه می‌باشد که از خانه ۰ تا ۲۰۴۷ مربوط به ذخیره‌سازی دستورات و از خانه ۲۰۴۸ تا ۴۰۹۵ مربوط به ذخیره داده‌هاست. خواندن و نوشتن در این حافظه با پایه‌های RE و WE کنترل می‌گردد. برای این قسمت هم می‌توانید از حافظه طراحی شده در تمرین پنجم با تغییر اندازه استفاده نمایید.



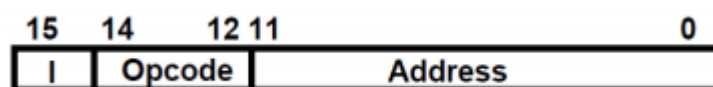
۱-۱-۲- واحد کنترل

واحد کنترل در یک پردازنده متشکل از یک ماشین حالت می‌باشد که در هر حالت از آن سیگنال‌های کنترلی خاصی به منظور استفاده در قسمت‌های مختلف بخش جریان داده، تولید می‌گردد. ماشین حالت پردازنده مورد نظر شامل سه حالت اصلی Fetch، Decode و Execute می‌باشد که در یک حلقه در زمان‌های T_1 ، T_2 و T_4 اجرا می‌شوند. حلقه اجرای این پردازنده در شکل زیر قابل مشاهده است. همانطور که مشخص است علاوه بر سه مرحله فوق یک مرحله اولیه در زمان T_0 و یک مرحله خواندن عملوند نیز در زمان T_3 وجود دارد.



۱-۱-۳- ساختار دستورات

ساختار یک دستور در این پردازنده به شکل زیر می‌باشد.



دستورات این پردازنده شامل یک عملوند و یا بدون عملوند می‌باشند. همانطور که مشاهده می‌شود ۳ بیت ۱۲، ۱۳ و ۱۴ مشخص کننده نوع دستور و ۱۲ بیت کم ارزش مشخص کننده آدرس عملوند دستورات (به علت تخصیص ۲۰۴۸ خانه حافظه به داده‌ها بیت مرتبه ۱۱ بدون استفاده است) می‌باشد.

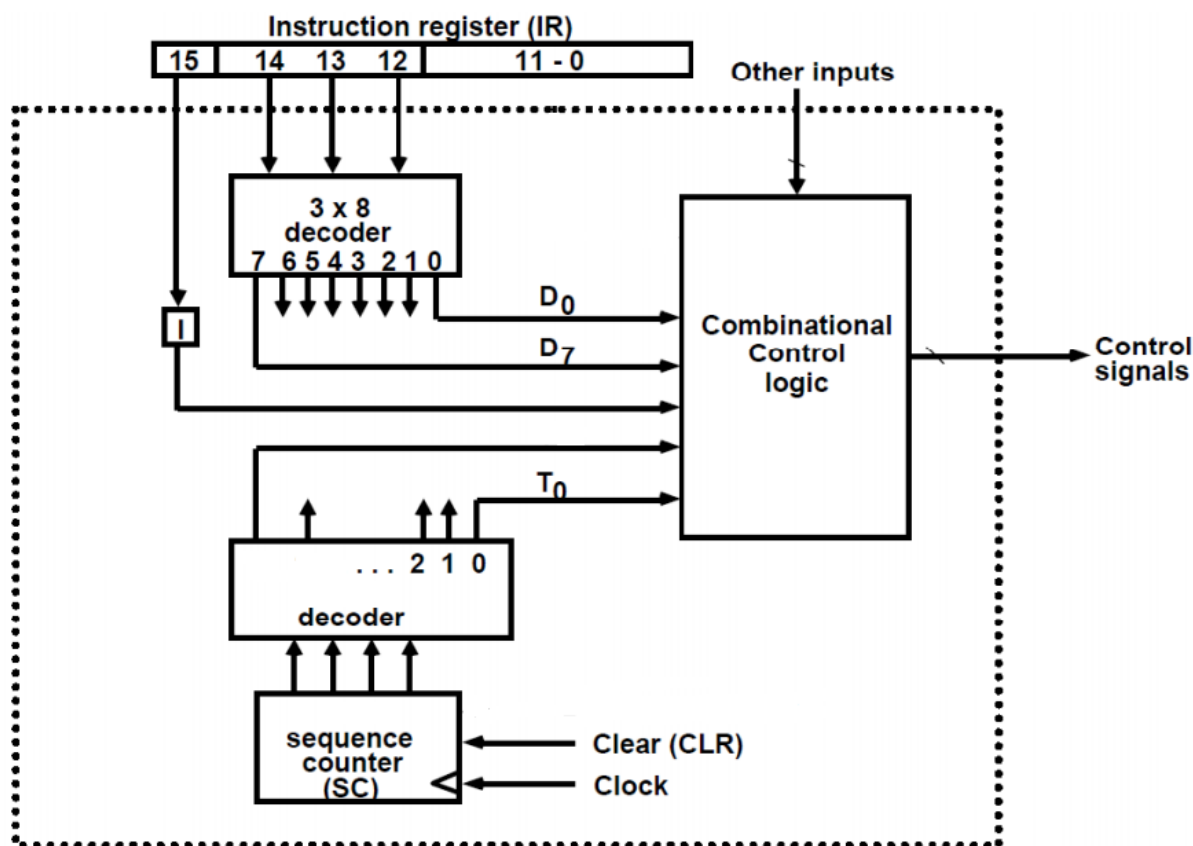
۱-۱-۴- نحوه اجرای دستورات

نمونه‌ای از نحوه اجرای چند دستور از این پردازنده در شکل زیر قابل مشاهده است.

Symbol	Symbolic Description
ADD	$AC \leftarrow AC + M[AR], E \leftarrow C_{out}$
LDA	$AC \leftarrow M[AR]$
shr	$AC \leftarrow shr AC, E \leftarrow AC(0)$

همانطور که مشخص است دستورات این پردازنده همگی با رجیستر AC کار می‌کنند. این به معنی آن است که دستورات یک عملوندی دارای عملوند ثانویه AC می‌باشند و دستورات بدون علوند نیز عملیات خود را بر روی این عملوند انجام می‌دهند. سایر دستورات پردازنده نیز مشابه دستورات فوق می‌باشد. در شکل فوق عبارت $M[AR]$ به معنی مقدار خانه‌ای از حافظه است که آدرس آن در رجیستر AR قرار دارد.

عملکرد پردازنده برای اجرای دستورات به این صورت است که واحد کنترل بایستی دو دسته سیگنال کنترلی برای واحد جریان داده تولید نماید. دسته اول سیگنال‌های زمانی T_0 تا T_4 می‌باشد که مشخص کننده حالت پردازنده می‌باشند. دسته دوم سیگنال‌های کنترلی استخراج شده از مرحله decode می‌باشد که مهمترین آن‌ها ۸ سیگنال D_0 تا D_7 می‌باشد که متناظر با ۸ دستور موجود در این پردازنده است و در هر سیکل یکی از آن‌ها که مطابق با دستور بارگذاری شده درون پردازنده است فعال می‌گردد.



پس از تولید این سیگنال‌ها واحد جریان داده براساس مقادیر آن‌ها تصمیم به فعال‌سازی سیگنال‌های کنترلی حافظه و رجیسترها و همچنین مقدار دهی ورودی‌های ALU و کنترل‌کننده گذرگاه داده می‌گیرد.

۲-۱- نکات فنی:

- ساختار پیاده‌سازی شده باید شامل واحدهای مجزای رجیستر، حافظه، گذرگاه داده باشد که همگی در یک واحد بزرگتر (top-module) نمونه‌گیری شده باشند. top-module برنامه می‌تواند شامل قسمت‌های نمونه‌گیری شده به همراه process‌های مجزا مربوط به قسمت‌های واحد کنترل و واحد جریان داده باشد. با توجه به ساختار ماشین حالت واحد کنترل، مشخص است که process مربوط به این قسمت خود به دو یا سه process مجزا تقسیم می‌گردد. همانطور که از قبل می‌دانید در این ساختار تنها process ترتیبی واحد کنترل دارای ورودی کلاک در لیست حساسیت خود می‌باشد.

- نام سیگنال ها دقیقاً به همان صورتی که صورت تمرین تعریف شده است، استفاده شود.
- گزارش طرح باید شامل توضیح کامل کد ها و تصاویر مربوط به شکل موج های خروجی حاصل از مرحله شبیه سازی باشد.

۱-۳- شبیه سازی

به منظور شبیه سازی طرح فوق برنامه زیر را بایستی بر روی پردازنده اجرا نمایید.

LDA A
SHR
NAND B
SHR
NOR C

برای اجرای برنامه فوق فرض کنید که مقادیر A، B و C به ترتیب برابر 0، 1 و 2 می باشد. به این ترتیب ابتدا بایستی مقادیر معادل باینری دستورات فوق را براساس ساختار دستورات پردازنده به ترتیب در آدرس های 0 تا 4 قسمت دستورات حافظه قرار دهید. سپس سه مقدار دلخواه برای ذخیره در آدرس های A، B و C در نظر بگیرید و آن ها را در قسمت داده حافظه ذخیره نمایید. از این پس برنامه آماده اجرا خواهد بود و بایستی با شمارش PC دستورات به ترتیب وارد پردازنده شده و اجرا شوند. در نهایت حاصل عملیات فوق نیز در رجیستر AC موجود خواهد بود.