



طراحی کامپیوتری سیستم های دیجیتال

(سال تحصیلی ۹۸-۹۷، نیمسال اول)

تمرین چهارم: مدل سازی رفتاری و سنتز طرح

۱-۱- طراحی واحد تقسیم کننده فرکانس

هدف از این تمرین طراحی واحدی است که با استفاده از یک کلاک مرجع (Clk_Ref)، سیگنال ورودی (Clk_in) را دریافت کند و به شکلی سیگنال خروجی (Clk_out) را تولید نماید که فرکانس سیگنال خروجی حاصل تقسیم فرکانس سیگنال ورودی بر ضریب (Div_fact) باشد. در ادامه نحوه ی کار این مدار توضیح داده خواهد شد.

ضریب تقسیم در این مدار مشخص می کند که به ازای چه تعداد پالس ورودی یک پالس خروجی باید تولید گردد. این مدار در زمان هایی، که در واقع لبه های بالارونده سیگنال مرجع می باشند، سیگنال ورودی را بررسی می کند و هر زمان که تشخیص یک لبه بالارونده در سیگنال ورودی داده شد، براساس ضریب تقسیم، مقدار سیگنال خروجی را تعیین می نماید. ذکر این نکته ضروری است که فرکانس کلاک مرجع باید بسیار بالاتر از کلاک ورودی باشد تا بتواند به درستی تمامی لبه های این سیگنال را تشخیص دهد.

entity این ساختار به شکل زیر قابل تعریف است:

```
ENTITY Freq_Div IS
PORT ( Div_Fact : IN integer;
      Rst       : IN std_logic;
      Clk_Ref   : IN std_logic;
      Clk_in    : IN std_logic;
      Clk_out   : OUT std_logic;
      Ready     : OUT std_logic;
    );
END Freq_Div;
```

همانطور که در ساختار فوق قابل مشاهده است، این مدار دارای سیگنال‌های **Ready** و **Rst** نیز می‌باشد. با فعال شدن سیگنال **Rst**، کلیه خروجی‌ها مدار برابر صفر خواهند شد. سیگنال **Ready** نیز در زمانی که کلاک خروجی به فرکانس مورد نظر رسیده باشد، به اندازه یک پالس کلاک مرجع فعال ('1') خواهد شد.

۲-۱- شبیه‌سازی

پس از طراحی و نوشتن کد، طرح را با استفاده از ابزار **ModelSim** و ورودی‌های مناسب شبیه‌سازی نمایید. در این مرحله لازم است یک **testbench** مناسب تهیه گردد. در این **testbench** نیاز است یک سیگنال با فرکانسی کمتر از فرکانس کلاک مرجع تولید گردد و با استفاده از آن و ضرایب تقسیم متفاوت، سیگنال‌های خروجی مربوطه نشان داده شوند. در شبیه‌سازی خواسته شده فرکانس کلاک مرجع را **100MHz** در نظر بگیرید و براین اساس شبیه‌سازی را با دو فرکانس متفاوت برای سیگنال ورودی و دو ضریب تقسیم متفاوت به ازای هر فرکانس انجام دهید.

۳-۱- سنتز

پس از اطمینان از نتایج شبیه‌سازی، طرح خود را با استفاده از ابزار سنتز شرکت **Xilinx** (**ISE** یا **Vivado**) سنتز نمایید و خروجی‌های تولید شده توسط ابزار سنتز، شامل میزان استفاده از منابع و همچنین شماتیک مدار سنتز شده را گزارش نمایید.

۴-۱- بخش امتیازی

به منظور انجام این بخش، باید به جای تعریف کلاک مرجع به عنوان یکی از ورودی‌های مدار، این سیگنال را با استفاده از منبع کلاک داخلی **FPGA**، تولید نمایید. (توضیحات تکمیلی این بخش در کلاس حل تمرین داده خواهد شد).

۵-۱- نکات فنی

- ۱- نام سیگنال‌ها دقیقاً به همان صورتی که در صورت تمرین تعریف شده است، استفاده شود.
- ۲- گزارش طرح باید شامل توضیح کامل کدها و تصاویر مربوط به شکل موج‌های خروجی حاصل از مرحله شبیه‌سازی باشد.