

طراحی واحد تقسیم کننده فرکانس

پارسا حجایی

چکیده

در این نوشتار، چگونگی کارکرد واحد تقسیم کننده فرکانس و نوشتن آن به وسیله مدل سازی رفتاری VHDL توضیح داده خواهد شد.

کلمات کلیدی

Behavioral, Frequency Divider

۱- مقدمه

به طور کلی در بس یاری از مواقع نیاز می شود که کلاک ورودی مدار را تغییر دهیم و کلاکی با فرکانس بیشتر یا کمتر تولید کنیم. در بسیاری از FPGAها این خاصیت به صورت آماده موجود می باشد.

۳- نتیجه

مراجع

[1]

۲- مطالب اصلی

در کد داده شده الگوریتم برای انجام این کار به شرح زیر است:
در هر لبه بالارونده کلاک مرجع از کلاک ورودی نمونه برداری می کنیم. این کار را به وسیله دو سیگنال clk_was و clk_is انجام می دهیم. اگر در نمونه گذشته کلاک ورودی صفر بوده و در کلاک فعلی یک شده ما یک شمارنده را صفر می کنیم و هر بار در لبه بالارونده کلاک مرجع تا اتفاق افتادن دوباره این رویداد هر بار شمارنده را با یک جمع می کنیم. در نهایت این شمارنده تعداد کلاک های مرجع به ازای یک کلاک ورودی را مشخص می کند.

حال با بدست آوردن این عدد کفایت ضریب را در مقدار نهایی این شمارنده ضرب کنیم تا تعداد کلاک های مرجع را به ازای یک کلاک خروجی بدست آوریم که در نصف این مقدار کلاک خروجی باید مقدار ۱ و در نصف آن مقدار ۰ را بگیرد. در حالتی که عدد بدست آمده فرد باشد برای مثال ۹ باشد ۴ کلاک مرجع باید ۱ باشد و ۵ کلاک مرجع باید ۰ باشد.