

بسم الله



## طراحی کامپیوتری سیستم های دیجیتال

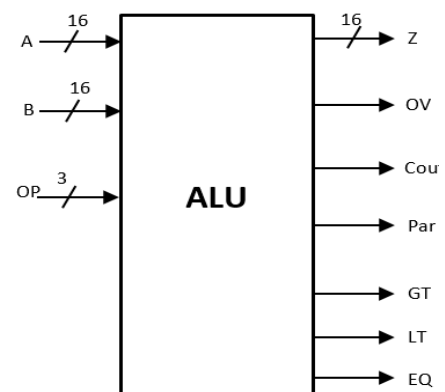
(سال تحصیلی ۹۷-۹۸، نیمسال اول)

### تمرین دوم: مدل سازی جریان داده در VHDL

#### ۱-۱- طراحی ALU (Arithmetic Logic Unit)

در این تمرین ابتدا باید یک واحد حساب و منطق (ALU) ۱۶ بیتی به صورت ترکیبی طراحی کنید که طبق جدول زیر دستورات را اجرا می کند. این واحد مطابق شکل دارای دو ورودی ۱۶ بیتی (A , B) و یک ورودی ۳ بیتی (OP) است. ورودی OP مشخص کننده نوع عملیات و ورودی های A و B مشخص کننده عملوندها هستند. خروجی های این بلوک نیز شامل یک خروجی ۱۶ بیتی (Z) برای نشان دادن نتیجه عملیات، سه خروجی تک بیتی OV (سرریز)، Cout (رقم نقلی خروجی)، Par (بیت توازن) و سه خروجی مربوط به مقایسه دو عملوند شامل GT (بزرگتر)، LT (کوچکتر) و EQ (برابر) است.

Operation	
0	$Z = A \text{ nand } B$
1	$Z = A \text{ nor } B$
2	$Z = A \text{ xnor } B$
3	$Z = \text{not } (A)$
4	$Z = A \gg 1 \text{ (Arith)}$
5	$Z = A \ll 1 \text{ (rotate)}$
6	$Z = A + B$
7	$Z = A - B$



## ۲-۱- شبیه‌سازی

پس از طراحی و نوشتن کد، طرح را با استفاده از ابزار ModelSim و ورودی‌های مناسب شبیه‌سازی نمایید. در این مرحله لازم است یک testbench مناسب تهیه گردد. در این testbench نیاز است ورودی‌ها به شکلی تولید گردند که حالات مختلف مرتبط با هر کدام از خروجی‌های مدار تولید گردند. به عبارت دیگر در شبیه‌سازی، حالاتی برای اتفاق افتادن ov و cout، حالاتی برای تولید parهای مختلف و حالاتی نیز برای تولید خروجی‌های مختلف GT، LT و EQ در نظر گرفته شود.

## ۳-۱- نکات فنی

- ۱- نام سیگنال‌ها دقیقاً به همان صورتی که در صورت تمرین تعریف شده است، استفاده شود.
- ۲- منظور از par، بیت توازن است، که اگر تعداد یک‌های خروجی زوج باشد، برابر '1' و اگر تعداد یک‌های خروجی فرد باشد، برابر '0' خواهد شد.
- ۳- خروجی‌های GT، LT و EQ برای مقایسه مقادیر ورودی‌ها در نظر گرفته شده است. اگر ورودی A بزرگتر باشد، خروجی GT برابر '1'، اگر کوچکتر باشد، خروجی LT برابر '1' و اگر برابر با ورودی B باشد خروجی EQ برابر '1' خواهد شد.
- ۴- اعداد را به صورت مکمل ۲ در نظر بگیرید.
- ۵- کد طرح باید بر اساس ساختار و دستورات dataflow باشد.
- ۶- گزارش طرح باید شامل توضیح کامل کد‌ها و تصاویر مربوط به شکل موج‌های خروجی حاصل از مرحله شبیه‌سازی باشد.