



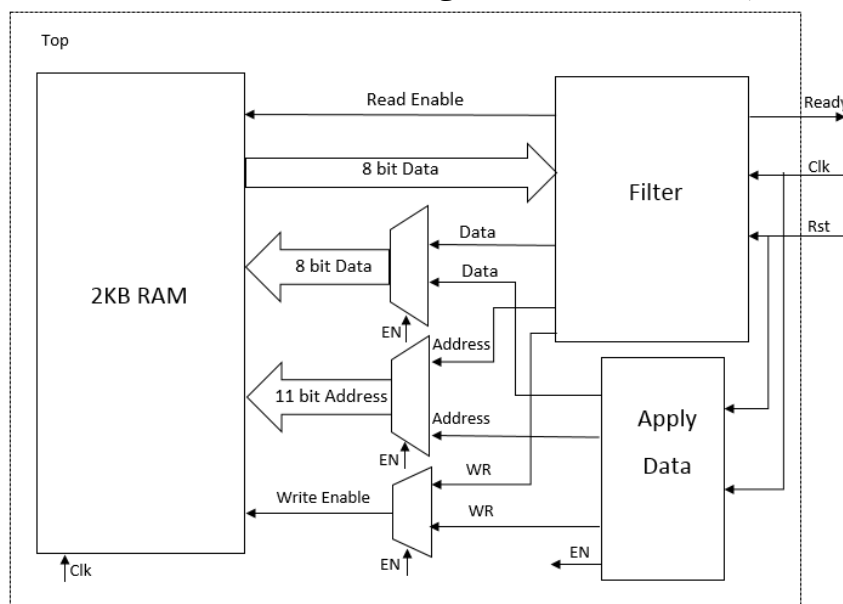
## طراحی کامپیوتری سیستم های دیجیتال

(سال تحصیلی ۹۷-۹۸، نیمسال اول)

### تمرین پنجم: مدل سازی ساختاری

#### ۱-۱- طراحی فیلتر نویز تصویر

هدف از این تمرین پیاده سازی مداری است که دارای یک بخش حافظه و یک بخش پردازشی برای نویزگیری تصویر باشد. قسمت حافظه شامل یک RAM می باشد که به صورت پیش فرض یک تصویر بدون فرمت (مقدار هر پیکسل به صورت یک عدد ۸ بیتی) را درون خود ذخیره کرده است. قسمت پردازشی، در هر مرحله، اطلاعات ۹ پیکسل (یک پیکسل مرکزی و ۸ پیکسل اطراف آن) را می گیرد و پس از انجام عملیات لازم، مقدار جدید پیکسل مرکزی را به حافظه برمی گرداند.



پیاده سازی طرح مطابق شکل فوق باید به گونه ای باشد که هر کدام از بخش های فوق به اضافه قسمت **Apply Data** به صورت یک واحد مجزا تعریف شوند و در طرح اصلی (top module) اتصالات آن ها تعریف شده و عملکردشان کنترل شود.

entity ساختار فوق به شکل زیر قابل تعریف است:

```
ENTITY Image_Filtering IS
PORT (Clk      : IN    std_logic;
      Rst      : IN    std_logic;
      Ready    : OUT   std_logic;
);
END Freq_Div;
```

همانطور که در شکل مدار قابل مشاهده است، دو واحد **Filter** و **Apply Data** به صورت مشترک از یک حافظه استفاده می نمایند. به همین دلیل و به منظور جلوگیری از تداخل سیگنال ها نیاز است که ارتباطات مشترک به طریقی کنترل شوند. کنترل ارتباطات مشترک در شکل فوق به وسیله سه عدد مالتی پلکسر که به وسیله سیگنال **EN** کنترل می شوند، انجام گرفته است. در واقع این مالتی پلکسرها مشخص می کنند که در هر لحظه داده مربوط به کدام واحد درون حافظه نوشته شود.

### ۲-۱- حافظه:

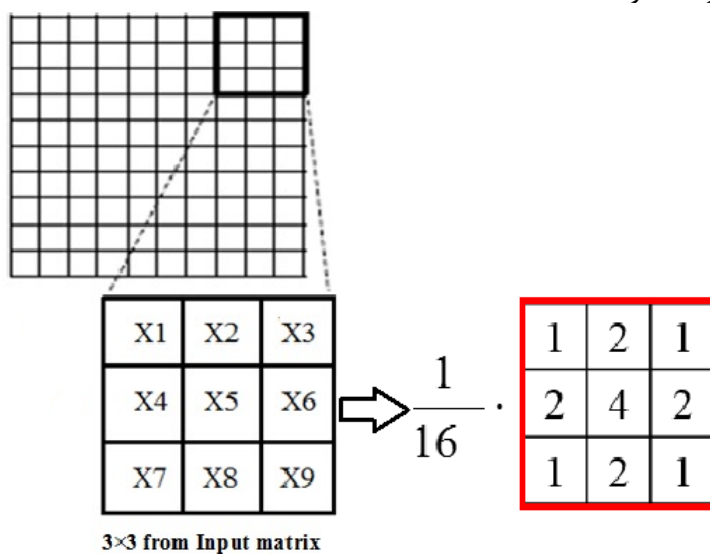
حافظه یک **RAM** با ۲۰۴۸ خانه به طول ۸ بیت است که برای آدرس دهی هر خانه ۱۱ بیت آدرس نیاز دارد. با فعال شدن هر کدام از سیگنال های **RE** و **WR**، در صورتی که در لبه بالا رونده کلاک باشیم، حافظه مقدار خانه ای که آدرس آن مشخص شده است در خروجی قرار می دهد و یا اطلاعات روی خط داده را در آدرس مورد نظر ذخیره می کند.

اطلاعات پیکسل های تصویر اولیه به صورت یک تصویر ۳۰ \* ۲۰ (عرض ۳۰ پیکسل و ارتفاع ۲۰ پیکسل) با اولویت سطری (**Row-Major**) باید در خانه های ۰ تا ۵۹۹ از **RAM** ذخیره شوند. همچنین اطلاعات پیکسل های تصویر نهایی باید در خانه های ۶۰۰ تا ۱۱۹۹ از **RAM** ذخیره گردند.



### ۳-۱- فیلتر:

در قسمت فیلتر شما باید مداری پیاده سازی کنید که در هر کلاک، یک پیکسل از حافظه را بخواند و پس از ۹ کلاک که ۹ پیکسل مربوطه را دریافت کرد، عملیات پردازشی لازم را انجام دهد و مقدار پیکسل مرکزی را در حافظه ذخیره نماید. به این منظور پس از خواندن ۹ پیکسل مربوط به یک پنجره از تصویر، باید یک میانگین وزن دار از پیکسل ها به صورت زیر گرفته شود و سپس عدد به دست آمده در خانه مناسبی از **RAM** نوشته شود.



همانطور که در شکل فوق قابل ملاحظه است، پس از انتخاب یک پنجره، مقادیر موجود در هر خانه از پنجره باید در ضریب متناظر خود ضرب شود (مقادیر موجود در کادر قرمز) و در انتها حاصل جمع مقادیر بدست آمده بر ۱۶ تقسیم گردد. سپس بایستی حاصل تقسیم، که میانگین وزن دار پیکسل‌های تصویر می‌باشد را در خانه مناسبی از حافظه ذخیره نمایید. عملیات فوق باید برای تمامی پیکسل‌های تصویر تکرار گردد و پس از اتمام کار پایه Ready به انداز یک کلاک فعال شود. نتیجه عملیات فوق تصویری است که تأثیر نویز در آن به میزان زیادی کاهش پیدا می‌کند.

## ۴-۱- انتقال داده

این بخش، وظیفه انتقال داده‌ها از یک فایل به حافظه را بر عهده دارد. عملکرد این بخش به این صورت است که پس از غیر فعال شدن پایه Rst، ابتدا داده‌های درون فایل را به ترتیب درون حافظه انتقال می‌دهد و سپس سیگنال EN به منظور شروع عملیات پردازشی را فعال می‌کند. یک کد نمونه برای این قسمت به همراه کد تست آن در پیوست قرار داده شده است. کد موجود در این فایل عملیات خواندن از فایل تصویر و قرار دادن مقدار هر پیکسل در خروجی را انجام می‌دهد. شما بایستی با تغییر این کد مقادیر خوانده شده از فایل را در مکان مناسبی از حافظه قرار دهید.

## ۵-۱- شبیه‌سازی

پس از طراحی و نوشتن کد، طرح را با استفاده از ابزار ModelSim و نمونه فایل تصویری که در اختیار شما قرار داده خواهد شد، شبیه‌سازی نمایید. در این مرحله لازم است یک testbench مناسب تهیه گردد.

## ۶-۱- سنتز

پس از اطمینان از نتایج شبیه‌سازی، طرح خود را با استفاده از ابزار سنتز شرکت Xilinx (ISE یا Vivado) سنتز نمایید و خروجی‌های تولید شده توسط ابزار سنتز، شامل میزان استفاده از منابع و همچنین شماتیک مدار سنتز شده را گزارش نمایید. توجه داشته باشید که در این قسمت باید طرح خود را بدون در نظر گرفتن بخش Apply Data سنتز نمایید. به این منظور یک طرح جدید که فقط شامل دو بخش پردازشی و حافظه است را سنتز نمایید.

## ۷-۱- بخش امتیازی

به منظور انجام این بخش، باید به جای تعریف حافظه به صورت آرایه، این واحد را با استفاده از RAM موجود در قسمت IP‌های FPGA، تولید نمایید.

## ۸-۱- نکات فنی

- ۱- نام سیگنال‌ها دقیقاً به همان صورتی که در صورت تمرین تعریف شده است، استفاده شود.
- ۲- پیکسل‌های مرزی تصویر بعضی از پیکسل‌های اطراف خود را ندارند که به جای آنها باید صفر در نظر گرفته شود.
- ۳- عملیات ضرب و تقسیم در قسمت پردازش باید به صورت شیفت به چپ و راست پیاده‌سازی گردد.
- ۴- گزارش طرح باید شامل توضیح کامل کد ها و تصاویر مربوط به شکل موج‌های خروجی حاصل از مرحله شبیه سازی باشد.