

Capitolul 1

Porți Logice

P1.1

Rezolvare:

A	B	C	$F_1 = \overline{A}C + B$
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Figura P 1.1 -a

a) Partea dreaptă a identității este:

$$\begin{aligned} F_1 &= (A + B + C)(\overline{A} + B + C)(\overline{A} + B + \overline{C}) \\ &= (A\overline{A} + AB + AC + \overline{A}B + BB + BC + \overline{A}C + BC + CC)(\overline{A} + B + \overline{C}) = \\ &= (AB + AC + \overline{A}B + B + BC + \overline{A}C + C)(\overline{A} + B + \overline{C}) = \\ &= [C(A + B + \overline{A} + 1) = B(A + \overline{A} + 1)](\overline{A} + B + \overline{C}) = \\ &= (C + B)(\overline{A} + B + \overline{C}) = \\ &= \overline{A}C + BC + C\overline{C} + \overline{A}B + BB + B\overline{C} = \\ &= \overline{A}C + B(C + \overline{A} + B + \overline{C}) = \\ &= \overline{A}C + B \end{aligned}$$

Expresia rezultată este identică cu partea stânga a identității. În transformările analitice s-au folosit relațiile:

$$A \cdot \overline{A} = 0, A + 1 = 1, A \cdot A = A, A + \overline{A} = 1, A \cdot 1 = A$$

Se poate obține direct expresia din partea dreaptă, fără a efectua înmulțirile termenilor din paranteze dacă în partea stângă se aplică axioma distributivității. (vezi Exemplul 1.3). Tabelul de adevăr este prezentat în Figura P1.1-a

b) Partea dreaptă a identității este:

$$\begin{aligned} F_2 &= (\bar{A} \bar{C} D + A \bar{C} D + (\bar{A} \bar{B} \bar{C} + A \bar{B} C) + \bar{A} C D = \\ &= \bar{C} D (\bar{A} + A) + \bar{A} \bar{B} (C + \bar{C}) + \bar{A} C D = \\ &= \bar{C} D + \bar{A} \bar{B} + \bar{A} C D = (\bar{C} D + \bar{A} C D) + \bar{A} \bar{B} = \\ &= D(\bar{C} + \bar{A} C) + \bar{A} \bar{B} \end{aligned}$$

Expresia rezultată este identică cu partea stângă. Tabelul de adevăr este prezentat în Figura P1.1-b

A	B	C	D	$F_2 = \bar{A}D + \bar{C}D + \bar{A}\bar{B}$
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

Figura P 1.1 -b

c) Partea stângă a identității este:

$$\begin{aligned} F_3 &= D(\bar{A} + B + C + \bar{D})(A + B + \bar{C} + \bar{D}) = \\ &= D(\bar{A}A + \bar{A}B + \bar{A}C + \bar{A}\bar{D} + AB + BB + B\bar{C} + B\bar{D} + AC + BC + C\bar{C} + C\bar{D} + \\ &\quad A\bar{D} + B\bar{D} + \bar{C}\bar{D} + \bar{D}\bar{D}) = \\ &= D(0 + \bar{A}B + \bar{A}C + \bar{A}\bar{D} + AB + B + B\bar{C} + B\bar{D} + AC + BC + 0 + C\bar{D} + A\bar{D} + \\ &\quad B\bar{D} + \bar{C}\bar{D} + \bar{D}) = \\ &= D(B(\bar{A} + A + 1 + \bar{C} + \bar{D} + C) + \bar{A}\bar{C} + AC + \bar{D}(\bar{A} + A + \bar{C} + 1)) = \\ &= D(B + \bar{A}\bar{C} + AC + \bar{D}) \end{aligned}$$

Expresia finală pentru partea stângă a identității este:

$$F_3 = BD + \bar{A}\bar{C}D + ACD$$

Tabelul de adevăr este prezentat în Figura P1.1-c

A	B	C	D	$F_3 = F_4 = BD + \overline{ACD} + ACD$
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

Figura P 1.1 -c

P1.4*Rezolvare:*

Soluția este prezentată în figura P1.4















Operatorul logic Setul complet de operatori	NOT 	AND 	NAND 	OR 	NOR 	NXOR 
 $A \cdot B$	$A = A \oplus 1$	$A \cdot B$	$A \cdot B = (A \cdot B) \oplus 1$	$A + B = A \oplus B + A \cdot B = (A \oplus B) \cdot AB$	$A + B = (A \oplus B) \cdot AB$	$(A \oplus B) = (A \oplus B) \oplus 1$
 $A + B$	 \overline{A}	 $A \cdot B$	 $\overline{A \cdot B}$	 $A + B$	 $\overline{A + B}$	 $\overline{A \oplus B}$

Figura P 1.4

P1.5*Rezolvare:* a) - corect; b),c),d) - incorecte

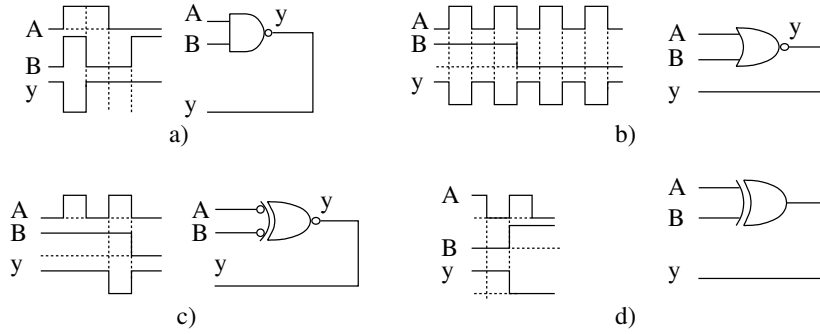


Figura P 1.5

P1.6*Rezolvare:*Pentru implementarea cu porți *NAND*:

$$A \oplus B = A\overline{B} + \overline{A}B = \overline{\overline{A\overline{B}} + \overline{\overline{A}B}} = \overline{(\overline{A\overline{B}}) \cdot (\overline{\overline{A}B})}$$

Pentru implementarea cu porți *NOR*:

$$A \oplus B = A\overline{B} + \overline{A}B = \overline{\overline{A\overline{B}} + \overline{\overline{A}B}} = \overline{(\overline{A\overline{B}}) + (\overline{\overline{A}B})} = \overline{(\overline{A\overline{B}}) + (\overline{A + B})} = \overline{(\overline{A\overline{B}}) + (\overline{A + B})}$$

Se observă că în ambele implementări anterioare se irosesc două porți pentru implementarea negatelor $\overline{A}, \overline{B}$. Ulterior, acestea se aplică pe cele două “canale”. Se pot rescrie expresiile astfel încât să apară un termen comun în ambele “canale”, termen care consumă numai o poartă, în felul următor:

$$\overline{A\overline{B}} = \overline{A\overline{B} + A\overline{A}} = \overline{A(\overline{B} + \overline{A})} = \overline{A(\overline{AB})}$$

$$\overline{\overline{A}B} = \overline{\overline{A}B + \overline{B}B} = \overline{B(\overline{A} + \overline{B})} = \overline{B(\overline{AB})}$$

Deci: $A \oplus B = \overline{\overline{A\overline{B}} \cdot \overline{\overline{A}B}}$, cu implementarea reprezentată în Figura P1.6-a. $\overline{\overline{A} + B} = \overline{(A + B) + B}$; $\overline{A + \overline{B}} = \overline{A + (\overline{A + B})}$

deci $A \oplus B = \overline{\overline{(A + B) + B} + \overline{A + (\overline{A + B})}}$

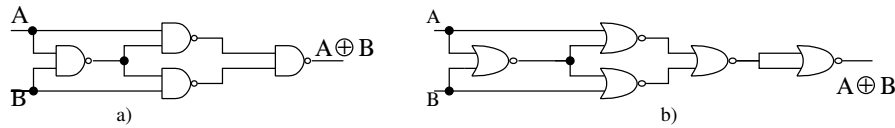
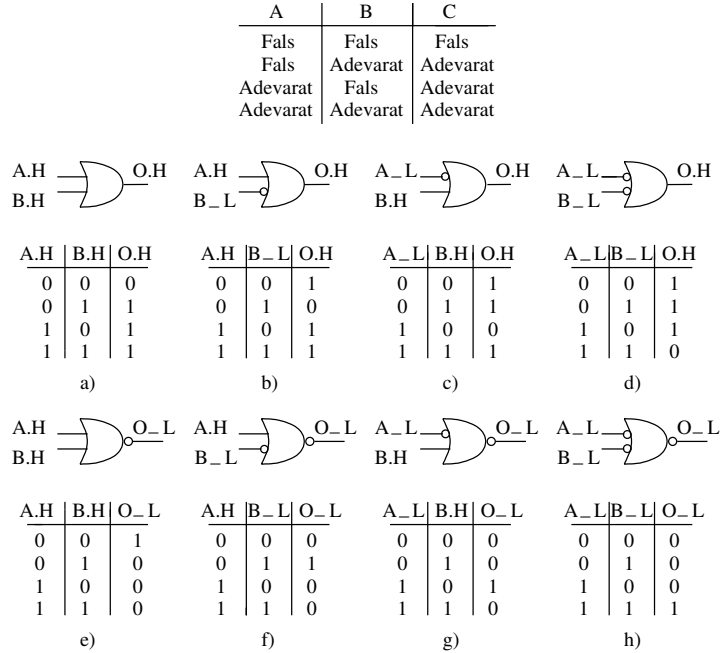


Figura P 1.6

P1.7*Rezolvare:*

Pentru tabelul de adevăr, Figura P1.7-a, al funcției logice OR se consideră toate cele opt combinații care se pot forma cu cele trei variabile binare: valoarea adevărată pentru A poate fi notată fie cu A.H sau fie cu A_L; valoarea adevărată pentru B poate fi notată fie cu B.H sau fie cu B_L; valoarea adevărată pentru C poate fi notată fie cu C.H sau fie cu C_L.

**Figura P 1.7****P1.8***Rezolvare:*

Există următoarele trei modalități de conectare a intrărilor neutilizate la porțile AND, NAND, și OR,NOR (prezentare în Figura 1.8)

- a) se conectează împreună cu o intrare utilizată a porții;
- b) se conectează la Vcc ("1") sau la masă ("0");
- c) se conectează la ieșirea unei porți neutilizate.

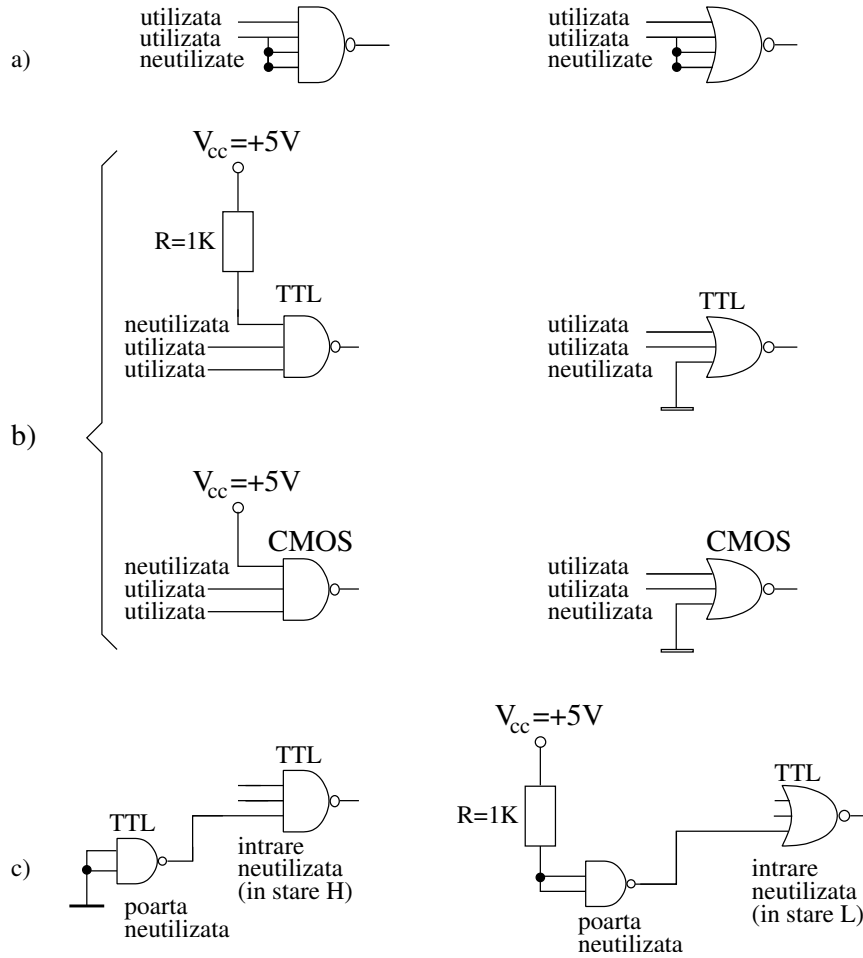


Figura P 1.8

P1.9*Rezolvare:*

Căderea de tensiune pe rezistența R nu trebuie să depășească marginea de zgomot în curent continuu în starea H și în starea L:

$$R_H \leq \frac{M_H}{I_{IHmax}} = \frac{0.4V}{40\mu A} = 10K\Omega$$

$$R_L \leq \frac{M_H}{I_{ILmax}} = \frac{0.4V}{1.6\mu A} = 250\Omega$$

$$R \leq \min(10K\Omega, 250\Omega)$$

Se alege o rezistență în jur de 100Ω , pentru a nu distruge complet marginea de zgomot.

P1.10

Rezolvare:

a) Poarta 74HC MOS nu poate comanda LED-ul deoarece curentul generat și absorbit la ieșire $I_{OH(max)}$, $I_{OL(max)}$ au valoarea de 4mA, mai mică decât valoarea curentului necesar iluminării diodei ($I_D=8\text{ mA}$).

b) Poarta 74LS TTL poate comanda dioda numai în conexiunea reprezentată în Figura P1.10

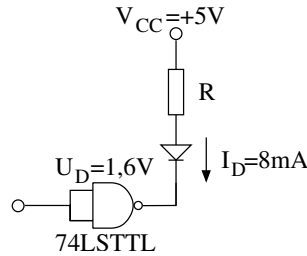


Figura P 1.10

P1.11

Rezolvare:

$$R_a \leq \frac{[V_{cc(min)} - V_{IH(min)}]}{I_{IH(max)}} = \frac{4.75V - 2V}{20\mu A} = \frac{2.75V}{20\mu A} = 135K\Omega$$

$$R_b \leq \frac{[V_{IL(max)} - 0V]}{I_{IL(max)}} = \frac{0.8V - 0V}{400\mu A} = \frac{0.8V}{400\mu A} = 2K\Omega$$

Disipație pe R_a : 0.053 mW (comutator deschis), 0.185 mW (comutator închis).

Disipație pe R_b : 0.32 mW (comutator deschis), 12.5 mW (comutator închis).

P1.12

Rezolvare:

Se vor determina nivelurile logice și factorii de încărcare la ieșire în starea H și în starea L.

a) 74HC00 comandă patru porți 74LS00:

În starea H: $V_{OH(min)} = 4.9V > V_{IH(min)} = 2V$. Deci, nivelul garantat de tensiune la ieșirea porții 74HC00 satisface cu prisosință nivelul permis de tensiune la intrarea porților 74LS00.

$$M_H = 4.9V - 2V = 2.9V$$

$$4 \cdot I_{IH(max)} = 4 \cdot 20\mu A = 80\mu A < I_{OL(max)} = 4mA$$

Curenții absorbiți de cele patru porți 74LS00 pot fi generați de poarta CMOS.

În starea L: $V_{OL(max)} = 0.1V < V_{IH} = 0.8V$. De asemenea, nivelurile de tensiune sunt satisfăcute

$$M_L = 0.8V - 0.1V = 0.7V$$

$$4 \cdot I_{IL(max)} = 4 \cdot 400\mu A = 1.6mA < I_{OL(max)} = 4mA$$

Curenții generați de cele patru porți 74LS00 pot fi absorbiți de poarta CMOS.

Rezultă că cele patru porți 74LS00 pot fi comandate de o poartă CMOS.

b) 74LS00 comandă patru porți 74HC00:

În starea H: $V_{OH(min)} = 2.7V < V_{IH(min)} = 3.5V$. Rezultă că nivelul garantat de tensiune la ieșirea porții 74LS00 este mai mic decât nivelul de tensiune permis la intrarea porților 74HC00. Pentru a se asigura nivelul permis de 3.5V se conectează la ieșirea porții o rezistență R_p de “tragere în sus” (*pull-up*) a tensiunii la valoarea V_{CC} , așa ca în Figura P1.12 (R_p se calculează ca R_a în problema P1.11).

În starea L: în prezența rezistenței R_p poarta 74LS00 trebuie să asigure nivelul garantat al tensiunii de ieșire $V_{OL(max)} = 0.4V < V_{IH(max)} = 1V$. Din Figura P1.12 se obțin următoarele relații:

$$R_p \geq \frac{V_{CC(max)} - V_{OL(max)}}{I_{OL(TTL)} - 4 \cdot I_{IL(CMOS)}}$$

$$M_L = V_{IL(max)CMOS} - V_{IL(max)TTL}$$

rezultând valorile:

$$R_p \geq \frac{5.25V - 0.4V}{8mA - 4 \cdot 1\mu A} = \frac{4.85V}{7.996mA} = 606\Omega$$

$$M_L = 1V - 0.4V = 0.6V$$

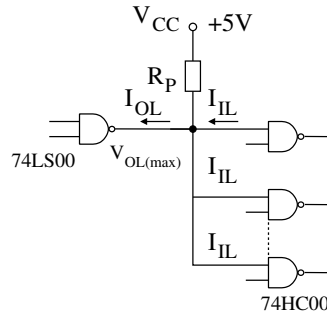


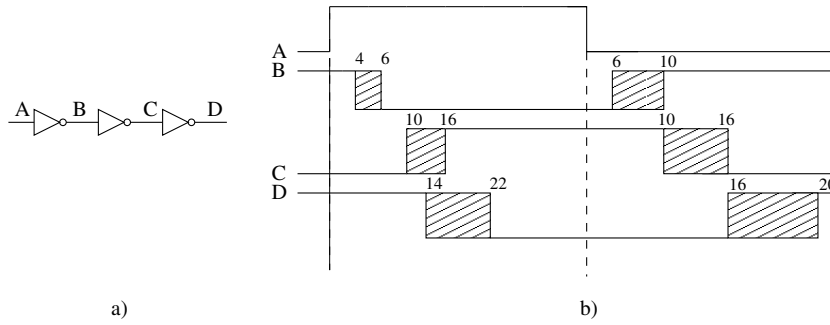
Figura P 1.12

P1.13*Rezolvare:*

Pentru tranziția $0 \rightarrow 1$: $\tau_d = \tau_{HL} + \tau_{LH} + \tau_{HL} = 4 + 6 + 4 = 14ns$.

Pentru tranziția $1 \rightarrow 0$: $\tau_d = \tau_{LH} + \tau_{HL} + \tau_{LH} = 6 + 4 + 6 = 16ns$.

În intervalele hașurate din formele de undă reprezentate în Figura 1.13-b, semnalul poate să fie "0" sau "1", în funcție de timpul real de propagare prin inversor. De notat că timpii de propagare se adună. Deci, timpul total de propagare minim/maxim prin circuit este suma timpilor de propagare minim/maxim prin fiecare inversor. Aceasta înseamnă că ferestrele reprezentând intervalele în care valorile semnalelor nu sunt exact definite devin din ce în ce mai largi pe măsura propagării prin circuit. Datorită amplificării în tensiune a circuitelor de comutație, timpul de creștere τ_r și cel de coborâre τ_f nu cresc pe măsură ce semnalele se propagă succesiv prin circuit. În practică, acest aspect, nici nu se consideră decât atunci când circuitul este analizat pentru o funcționare analogică.

**Figura P 1.13****P1.14***Rezolvare:*

Conform algebrei Booleene, considerând că tranzițiile variabilelor se realizează instantaneu:

$$A = 1 \rightarrow \overline{A} = 0; C = 1; \overline{C} = 0; D = 0; B = 1$$

Indiferent de valoarea logică a variabilei A, variabila are totdeauna valoarea B=1.

Pe durata regimului tranzitoriu, intervalul dintre primele trei linii verticale trasate punctat în figura P1.14, postulatul de existență a complementului nu mai este respectat $X + \overline{X} \neq 1$; $X \cdot \overline{X} \neq 0$. Acest circuit poate fi utilizat pentru detectarea fronturilor pozitive sau negative ale semnalului A prin producerea de impulsuri (simularea funcționării circuitului monostabil).

\overline{C} - generează un impuls "0" numai la apariția frontului pozitiv al semnalului A;

C - generează un impuls "1" numai la apariția frontului pozitiv al semnalului A;

D - generează un impuls "1" numai la apariția frontului negativ al semnalului A;

B - generează un impuls "0" numai la apariția ambelor fronturi ale semnalului A.

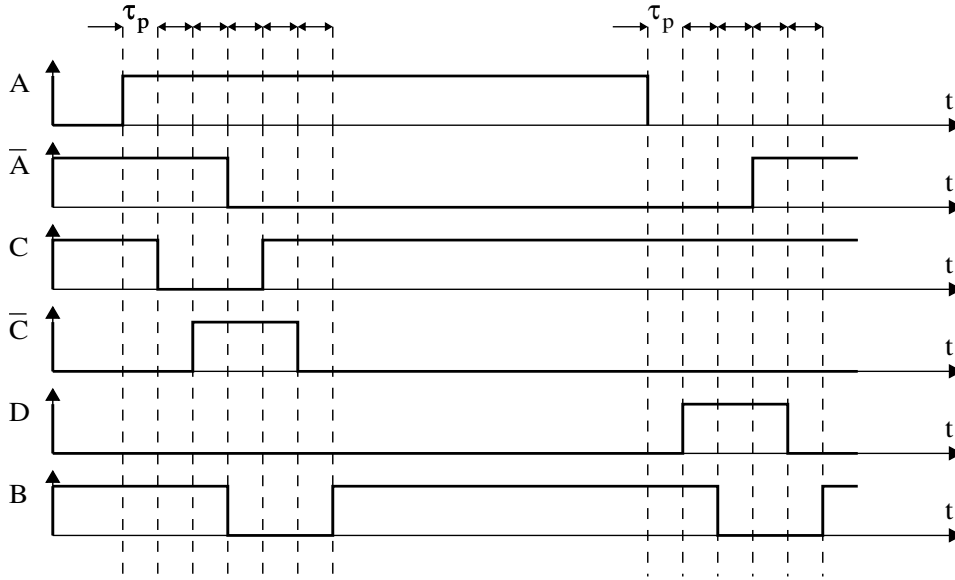


Figura P 1.14

P1.16*Rezolvare:*

Viteza de variație a semnalului de comandă la intrarea porții CMOS este determinată de constanta de timp $R_p C_p$. Capacitatea C_p , fiind capacitatea echivalentă la ieșirea porții 74LS01, nu mai poate fi micșorată. Creșterea vitezei de variație a semnalului de comandă poate fi obținută doar prin micșorarea valorii rezistenței R_p . Micșorarea acestei rezistențe poate fi efectuată doar până la valoarea minimă R_{pmin} care stabilește curentul de ieșire al porții 74LS01 la valoarea maximă $I_{OLmax} = 8mA$ și o tensiune $V_{OLmax} = 0.3V$ (figura b).

$$R_{pmin} = \frac{V_{CC} - V_{OLmax}}{I_{OLmax}} = \frac{5V - 0.3V}{8mA} = 587.5\Omega$$

Se alege: $R_{pmin} = 590\Omega$.

Puterea disipată pe R_p , în cazul când semnalul de comandă V_I al porții 74LS01 este un semnal dreptunghiular cu factor de umplere $1/2$, se calculează cu relația:

$$P_{R_p} = \frac{(V_{CC} - V_{OLmax})^2}{2 \cdot R_p} = \frac{4.7^2}{1180} = 18.7mW$$

Valoarea maximă a rezistenței se determină din condiția de realizare a nivelului $V_{IHmin} = 3.5V$ pentru poarta 74HC00, rezistența fiind parcursă de curentul rezidual la ieșirea porții cu colectorul în gol 74LS01: $I_{OHR} = 100\mu A$ (figura c).

$$R_p = \frac{5V - 3.5V}{100\mu A} = 15K\Omega$$

Alegerea valorii rezistenței R_p aproape de R_{pmax} duce la micșorarea vitezei de variație pentru semnalul de comandă al porții CMOS.

P1.17

Rezolvare:

Deoarece curentul de intrare într-o poartă CMOS este neglijabil, ecuația curenților în punctul A are forma:

$$I = \frac{V_1 - V_A}{R_1} = \frac{V_0 - V_A}{R_2} \rightarrow V_1 = \left(1 + \frac{R_1}{R_2}\right) \cdot V_A - \frac{R_1}{R_2} \cdot V_0$$

Când tensiunea V_I crește de la 0V spre V_{CC} pragul de comutație al porților este realizat pentru $V_I = V_{ps}$:

$$V_{ps} = \left(1 + \frac{2}{10}\right) \cdot V_T - \frac{2}{10} \cdot V_{OLmax} = 1,2 \cdot 2,5V - 0,2 \cdot 0,1V = 3V$$

Când tensiunea V_I descrește de la V_{CC} spre 0V pragul de basculare al porților este realizat pentru $V_I = V_{pi}$:

$$V_{pi} = \left(1 + \frac{2}{10}\right) \cdot V_T - \frac{2}{10} \cdot V_{OHmin} = 1,2 \cdot 2,5V - 0,2 \cdot 4,9V = 2V$$

Lățimea histerezisului (Figura P1.17-c este:

$$\Delta = V_{ps} - V_{pi} = \frac{R_1}{R_2} \cdot (V_{OHmin} - V_{OLmax}) = 0,2 \cdot (4,9V - 0,1V) = 1V$$

De fapt, acest circuit este un trigger Schmitt neinversor.

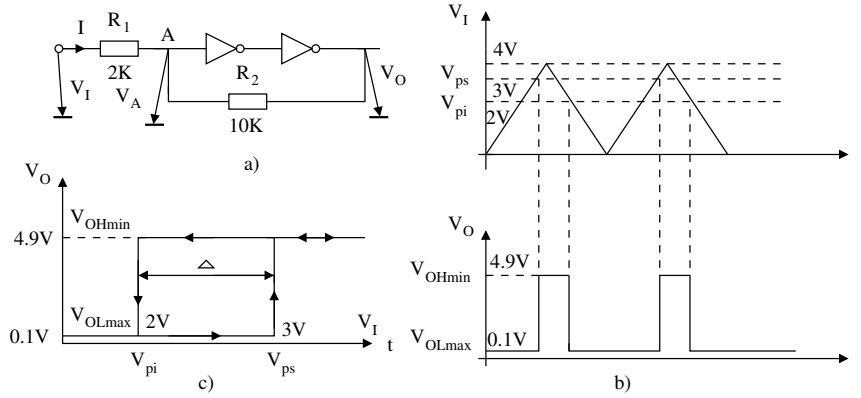


Figura P 1.17

P1.18

Rezolvare:

Structura rețelei de porți este prezentată în figura P1.18

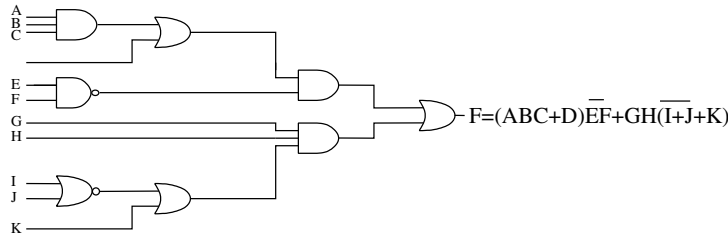


Figura P 1.18

P1.20*Rezolvare:*

Pornind de la intrarea rețelei spre ieșire, după fiecare poartă se determină expresia logică a ieșirii respective care este apoi intrarea la unele din porțile următoare. Pentru rețeaua din figură la ieșirile porților se deduc:

$$I_1 \rightarrow \overline{A}, I_2 \rightarrow \overline{D}$$

$$G_1 \rightarrow \overline{A}B, G_2 \rightarrow CD, G_3 \rightarrow BC, G_4 \rightarrow AC\overline{D};$$

$$G_5 \rightarrow CD + BC;$$

$$G_6 \rightarrow \overline{A}B(CD + BC);$$

$$G_7 \rightarrow AC\overline{D} + \overline{A}B(CD + BC) = AC\overline{D} + \overline{A}BCD + ABC.$$

P1.22*Rezolvare:*

În rețeaua de comutație din figura contactul normal deschis este notat cu variabila nenegată (A), iar contactul normal închis este notat cu variabilă negată (\overline{A}). Funcția logică L este adevărată când circuitul becului se închide pe una din cele patru ramuri în paralel, dacă toate contactele de pe această ramură sunt închise. Se obține următoarea expresie logică:

$$L = ABC + \overline{A}\overline{B}C + A\overline{B}\overline{C} + \overline{A}B\overline{C}$$

Funcția L se implementează cu porți ca în Figura P1.22-a. Aceeași funcție poate fi exprimată numai ca funcție XOR în felul următor:

$$L = \overline{C}(\overline{A}B + A\overline{B}) + C(\overline{A}\overline{B} + AB) = A \oplus B \oplus C$$

Implementarea este prezentată în Figura P1.22.

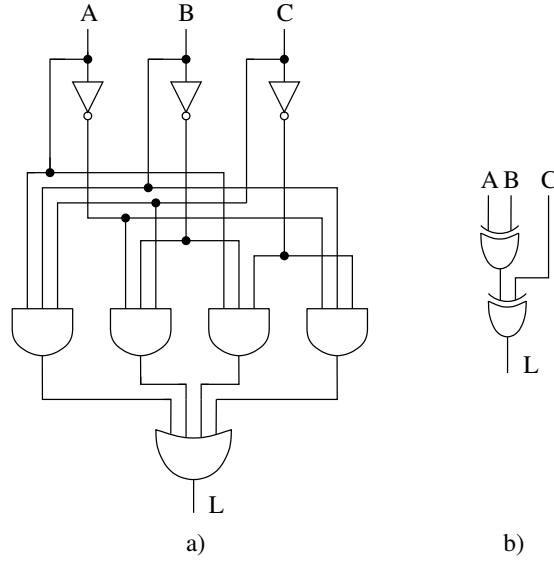


Figura P 1.22

P1.23

Rezolvare

Urmărind toate căile de închidere a circuitului între cele două borne AB, se deduce funcția logică:

$$\begin{aligned}
 R &= \overline{A}BD + \overline{A}\overline{B}\overline{D} + \overline{A}CD\overline{D} + \overline{A}C\overline{D}\overline{B} + ACBD + AC\overline{B}\overline{D} + AD\overline{D}D + \\
 &+ AD\overline{B} + ABD = \overline{A}BD + 0 + 0 + \overline{A}C\overline{D}\overline{B} + ACBD + 0 + 0 + AD\overline{B} + ABD = \\
 &= \overline{A}BD + \overline{A}\overline{B}CD + ABCD + \overline{A}\overline{B}D + ABD = \\
 &= (\overline{A}BD + ABD) + \overline{A}\overline{B}CD + ABCD + \overline{A}\overline{B}D = \\
 &= BD(\overline{A} + A) + \overline{A}\overline{B}CD + ABCD + \overline{A}\overline{B}D = \\
 &= BD + \overline{A}\overline{B}CD + ABCD + \overline{A}\overline{B}D = D(B + \overline{B}A) + CD(\overline{A}\overline{B} + AB) = \\
 &= D(B + A) + CD(\overline{A \oplus B})
 \end{aligned}$$

P1.24

Rezolvare:

Se urmărește pe fiecare cale de transfer de la intrare spre ieșire și se obține $g = \overline{(A + B)}C + \overline{C}D$. Variația semnalului la ieșire este prezentată în figura P1.24.

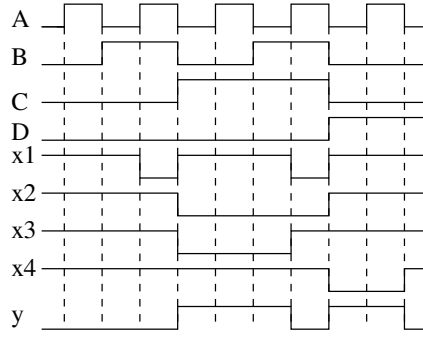


Figura P 1.24

P1.25*Rezolvare:*

Expresia analitică a ieșirii este: $y = ABC + D\overline{E}$. Când y are aceeași variație ca ieșirea de la poarta G_3 înseamnă că permanent $G_2 = L$. Continuând raționamentul, fie G_1 fie G_2 sunt defecte cu ieșirea permanent în starea L.

P1.27*Rezolvare:*

- a) $y = ABC\overline{D}$;
- b) $y = \overline{ABC} \cdot \overline{DE} \cdot \overline{FG}$;
- c) $y = \overline{A}\overline{B}\overline{C}\overline{D}\overline{E}\overline{F}\overline{G}\overline{H}$;

Valoarea rezistenței se calculează cu relația:

$$\frac{V_{CC} + \Delta V_{CC} - (V_{ILmax} - M_L)}{I_{OHmax} - N \cdot I_{ILmax}} \leq R \leq \frac{V_{CC} - \Delta V_{CC} - (V_{IHmin} + M_H)}{m \cdot I_{OHmax} + N \cdot I_{IHmax}}$$

m - este numărul de porți cu colectorul în gol conectate la rezistența R iar N este numărul de intrări comandate.

P1.28*Rezolvare:*

- a) În starea L, $V_{OLmax} = 0.1V$, rezultă o cădere de tensiune de $5V - 0.1V = 4.9V$ pe rezistența de 120Ω deci un curent de $40.8mA \gg I_{OLmax} = 4mA$. Poarta nu poate comanda o rezistență de 120Ω în starea L.
- b) aplicând teorema lui Thévenin pentru divizorul de 270Ω și 330Ω pe ieșire rezultă un circuit echivalent format dintr-un generator de tensiune de $2.25V$ și cu o rezistență serie de 148.5Ω . În starea H căderea de tensiune pe rezistența serie este $V_{OHmin} - 2.25V = 4.9V - 2.25V = 2.65V$ este parcursă un curent de $\frac{2.65V}{148.5\Omega} = 17.8mA >$

$4mA = I_{OHmax}$. În starea L căderea de tensiune este de $2.25V - 0.1V = 2.15V$; $\frac{2.15V}{148.5\Omega} = 14.4mA > 4mA = I_{OLmax}$. Poarta nu poate comanda divizorul de 270Ω și 330Ω pe ieșire.

P1.29

Rezolvare:

$$R_H = \frac{(V_{DD} - V_{OHmin})}{I_{OHmax}} = \frac{5V - 4.9V}{0.04mA} = 2.5K\Omega$$

$$R_L = \frac{V_{OLmax}}{I_{OLmax}} = \frac{0.1V}{4mA} = 25\Omega$$

P1.30

Rezolvare:

Rezistențe de valoare mai mică duc la timpi τ_{LH} mai mici, dar disipă mai multă putere în starea L. Rezistențe de valoare mai ridicată determină timpi τ_{LH} de valoare mai mare dar consumă mai puțină putere în starea L.

P1.31

Rezolvare:

$$R = \frac{(5V - 1.6V - 0.37V)}{10mA} \approx 300\Omega$$

P1.32

Rezolvare:

Conectare la V_{CC} :

$$R_H \leq \frac{V_{CC} - V_{OHmin}}{I_{IHmax}} = \frac{(5V - 2.7V)}{20\mu A} = 115K\Omega$$

$$P_d = \frac{\Delta V^2}{R_H} = \frac{2.3^2}{115 \cdot 10^3} = 0.46mW$$

Conectare la masă:

$$R_L \leq \frac{V_{OLmax}}{I_{ILmax}} = \frac{0.4V}{0.4mA} = 1K\Omega$$

$$P_d = \frac{\Delta V^2}{R_L} = \frac{0.16}{1 \cdot 10^3} = 0.16mW$$

Rezistența R_H consumă de aproape 3 ori mai multă putere decât R_L .

P1.33

Rezolvare:

Cu ieșirea porții în H, bobina releului va “trage” ieșirea porții spre +12V deci va fi un

curent de valoare mare spre sursa de +5V deci tranzistorul T4 se va distruge. La fel se va distruge și T3 când poarta este în starea L. Nu se sugerează o astfel de comandă; pentru o astfel de comandă trebuie să se utilizeze o poartă cu colector (sau dren) în gol.

P1.34

Rezolvare:

a) $F = \overline{\overline{(W \cdot X)} \cdot \overline{(Y \cdot Z)}} = WX + YZ$

b) Aplicând relația de la problema P 1.27 se obține $R_{1max} \leq 9.58K\Omega$

c) Aplicând aceeași relație se obține $R_{2max} \leq 11,5K\Omega, R_{2min} \geq 1.125K\Omega$

P1.35

Rezolvare:

Starea H pe magistrală: Un buffer este emițător (generează curentul de 2.6mA) pe magistrală și absoarbe curent de pe magistrală $(n - 1)$ buffere care sunt în HZ și n intrări (inversoarele 74LS04) deci $(n - 1 + n) \cdot 20\mu A \leq 2.6mA \rightarrow n \leq 65$

Starea L pe magistrală: Un singur buffer este în starea L deci poate absorbi un curent de 24mA, dar mai absoarbe curentul de $20\mu A$ celelalte $n - 1$ buffere care sunt în HZ. Generează curent toate cele n intrări de la cele n inversoare 74LS04. Rezultă $(n - 1) \cdot 20\mu A + n \cdot 0.4mA \leq 24mA, n \leq 57$. Deci la magistrală pot fi conectate maximum 57 de module.

P1.36

Rezolvare:

Inițial $x = \overline{1 \cdot P} = \overline{P}$. Diodele conectate pe intrarea porții -3 împreună cu rezistența R formează un circuit Min, care în logică pozitivă realizează operatorul AND deci $\overline{(RS)} \cdot \overline{(UV)}$. Ieșirea x va avea expresia logică $\overline{(RS)} \cdot \overline{(UV)} \cdot P = RS + UV + \overline{P} = x$.

Marginile de zgomot: Intrarea I a porții 3 va fi în stare H numai când ieșirile porților 1 și 2 sunt ambele în stare H; pentru celelalte combinații ale acestor două ieșiri (L-L, L-H, H-L) intrarea I va avea $V_{IL} = V_{OL} + V_{Diodă}$. Rezultă că în starea H marginea de zgomot a porții 3 pe intrarea I se mărește cu valoarea căderii de tensiune de diodă în conducție $V_{Diodă} \approx 0.7V$, dar în stare L marginea de zgomot se micșorează cu $\approx 0.7V$.

P1.37

Rezolvare

Structurile circuitelor pentru aceste funcții sunt date în Figura P1.37.

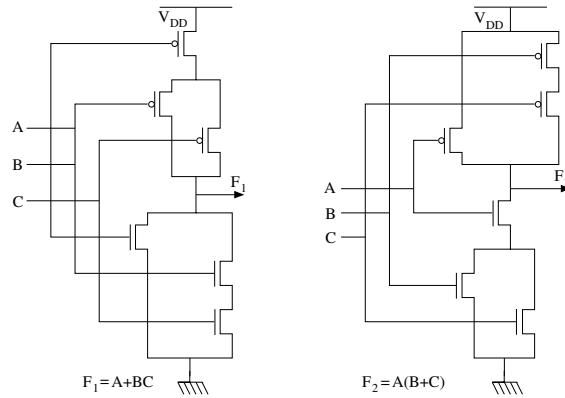


Figura P 1.37

P1.38

Rezolvare

Structura este prezentată în Figura P1.38

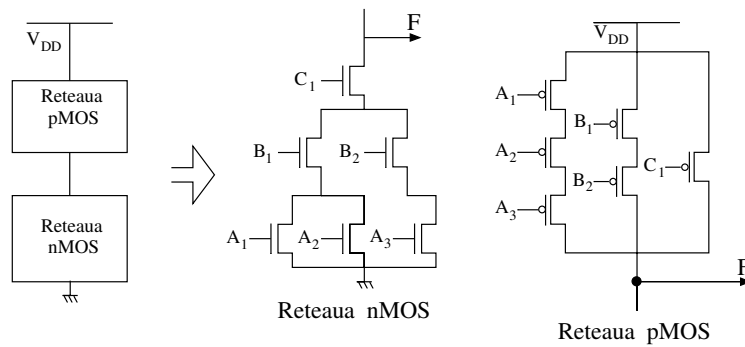


Figura P 1.38

P1.39

Rezolvare

- Funcția F este de tipul AND-OR-NOT și are structura din Figura P1.39.a;
- Graful pentru rețeaua n și graful pentru rețeaua complementară este desenat în Figura P1.39.b. Se poate găsi un drum eulerian (parcurge neîntrerupt toate arcele o singură dată). Pentru rețeaua n este $V_{SS} - A - B - C - D - F$ și pentru rețeaua p este $F - A - B - C - D - V_{DD}$. Rezultă că atât linia de difuzie n^* cât și linia de difuzie p^* sunt neîntrerupte peste care se suprapun zonele de siliciu, care formează porțile, în ordinea A, B, C, D. Layoutul simplificat este prezentat în Figura P1.39.c.

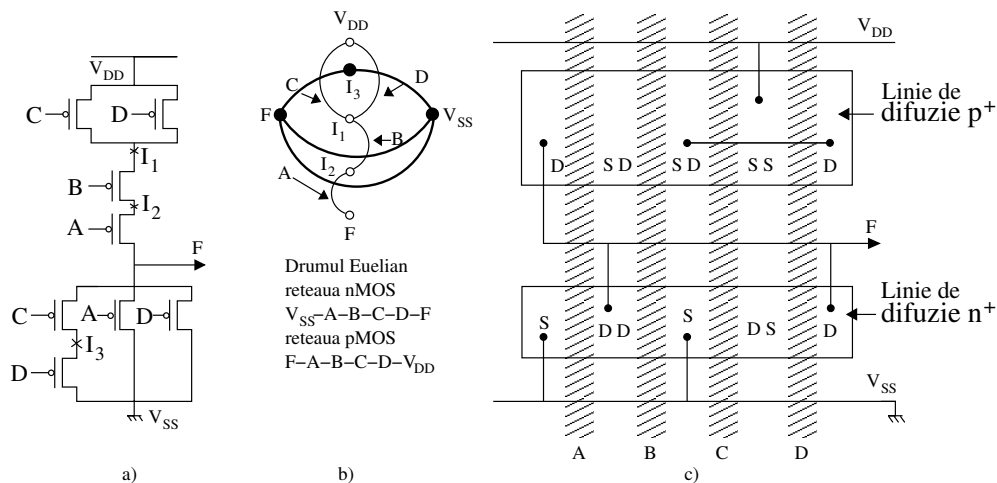


Figura P 1.39

P1.40

Rezolvare

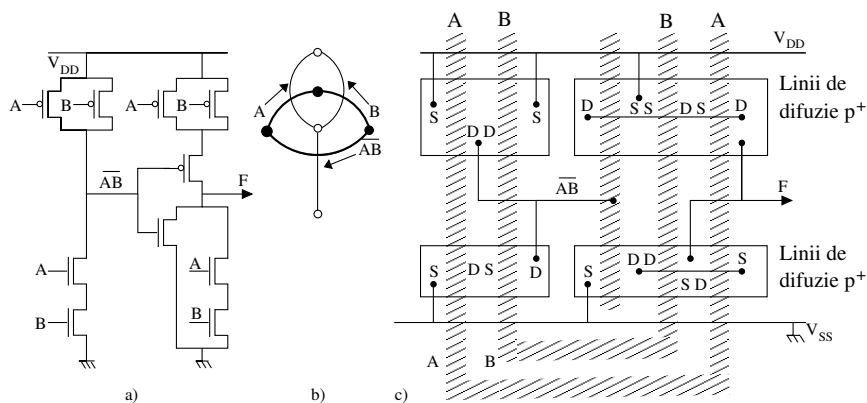


Figura P 1.40

- a) Circuitul de coincidență realizează funcția logică NXOR (SAU EXCLUSIV NEGAT) $F = \overline{A} \cdot \overline{B} + AB$ care se poate rescrie sub forma $F = \overline{AB} + AB$. Circuitul pentru această funcție este desenat în Figura P1.40-a, cu graful pentru rețeaua n-MOS și p-MOS în Figura P1.40-b;
- b) Nu s-a putut găsi un drum eulerian așa că circuitul s-a descompus în două circuite:

primul care calculează $\overline{A \cdot B}$ și al doilea care calculează $\overline{(\overline{A \cdot B}) + AB}$. Rezultă că este necesar să se difuzeze o linie de tip n^+ întreruptă și la fel o linie de difuzie de tip p^+ întreruptă. Pe prima pereche de segmente de linii difuzate (p^+, n^+) sunt suprapuse două bare de polisiliciu pentru porțile A, B iar pe a doua pereche de segmente de linii difuzate sunt suprapuse trei bare verticale de polisiliciu pentru porțile \overline{AB} , A, B, Figura P1.40-c.

P1.41

Rezolvare:

1. a: $B = 1, G = \frac{4}{3} \cdot 1 = \frac{4}{3}$ deci $F_a = GHB = \frac{4}{3} \cdot 1 \cdot 6 = 8$
b: $G = 1 \cdot \frac{5}{2} = \frac{5}{2}, B = 1, F_b = GHB = \frac{5}{2} \cdot 6 \cdot 1 = 10$;
2. $\hat{D}_a = 2 \cdot 8^{\frac{1}{2}} + 3 < \hat{D}_b = 2 \cdot 10^{\frac{1}{2}} + 3$, deci circuitul a este mai rapid.
3. $x = (1 \cdot 6c)/8^{\frac{1}{2}} = 2, 12c, y = (5/3 \cdot 6c)/10^{\frac{1}{2}} = 3, 16c$.

P1.42

Rezolvare:

1. În primul rând, efortul pe fiecare etaj este prea mare. Se recomandă un efort pe un etaj în anumite limite. Dacă efortul pe etaj se modifică în intervalul 2.4 până la 6 atunci abaterea față de întârzierea minimă este de cel mult 15% . În al doile rând, la efortul total de $F = 10 \cdot 9 \cdot 7 = 630$ din Tabelul 1.15 se recomandă un număr optim de etape $N=5$ (și nu 3).
2. Dacă se adaugă două etaje inversor, care nu schimbă funcția logică, și atunci se ajunge la un efort pe etaj de $f = 630^{\frac{1}{5}} \approx 3.6$

P1.43

Rezolvare:

Poarta NAND4 are $g=2$ și $p=4$. Se va considera cazul cel mai defavorabil adică în toate cele opt niveluri sunt poți NAND4, efortul pe nivel va fi $g_i h_i = 2 \cdot 3 = 6$, deci $F = GHB = 6^8 \cdot 1 = 6^8$. Rezultă întârzierea pe traseu $D = 8 \cdot F^{\frac{1}{8}} + 8 \cdot 4 = 8 \cdot 6 + 8 \cdot 4 = 80$. Deci intervalul de timp cel mai mic trebuie să fie mai mare sau egal cu întârzierea absolută pe traseu adică 80τ

P1.44

Rezolvare:

Relațiile pentru întârzierea pe fiecare din variantele de NAND8 sunt:

- a) $\hat{D} = 2(3.33H)^{\frac{1}{2}} + 9$
- b) $\hat{D} = 2(3.33H)^{\frac{1}{2}} + 6$
- c) $\hat{D} = 4(2.96H)^{\frac{1}{4}} + 7$

d) $\hat{D} = 6(2.9H)^{\frac{1}{6}} + 9$ (varianta modificată)

Concluzia este că: mai multe etaje pot comanda sarcini mai mari realizând întârzieri mult mai mici decât întârzierile care se pot obține pentru comanda acelorași sarcini dar cu un număr mai mic de etaje.

P1.45

Rezolvare:

Având același efort electric rezultă că întârzierea este determinată numai de efortul logic. Ori din Tabelul 1.13 rezultă că poarta NANDn este mai rapidă decât poarta NORn deoarece $h_{NAND} = \frac{(n+\gamma)}{1+\gamma} < h_{NOR} = \frac{1+n\gamma}{1+\gamma}$

P1.46

Rezolvare:

Considerând punctul M într-o poziție mediană pe linia de magistrală, Figura P1.46-a

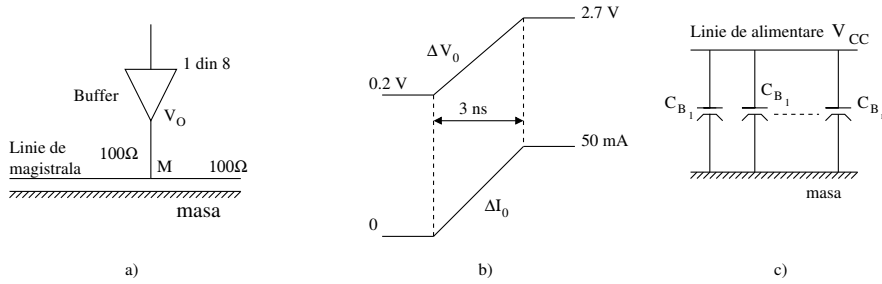


Figura P 1.46

bufferul “vede” o impedanță de $100\Omega || 100\Omega = 50\Omega$. La un salt al tensiunii la ieșire de $\Delta V_0 = 2.7V - 0.2 = 2.5V$ este forțat un curent de ieșire de $\Delta I_0 = \frac{\Delta V_0}{50\Omega} = 50mA$, Figura P1.46-b. Dacă simultan comută din L în H toate cele 8 buffere de pe cip rezultă un curent $I_o = 8 \cdot 50mA = 400mA$ dar pentru a se realiza condiția $\Delta V_{CC} \leq 0,1V$, capacitatea de decuplare se calculează astfel:

$$C_B = \frac{I_0 \cdot \Delta t}{\Delta V_{CC}} = \frac{0.4 \cdot 3 \cdot 10^{-9}}{0.1} = 0.012\mu F$$

Se alege:

$$C_B \geq 0.02\mu F$$

Se recomandă ca aceste capacități de decuplare să fie răspândite pe toată suprafața plăcii de circuit imprimat, așa ca în figura P1.46-c. Astfel, este necesară o capacitate C_B de decuplare pentru fiecare grup de: 5 ÷ 10 cipuri din seria TTL standard, 5 cipuri din seriile LS sau S, 3 cipuri din seria FAST un 1 chip monostabil sau un cip driver-receiver de linie. Această capacitate, de bună calitate, de tip RF, trebuie să aibă valoarea de $0.01\mu F$. În plus, se recomandă ca o capacitate de valoare mai mare de $20\mu F$ (condensator electrolitic)

să fie conectată la intrarea de alimentare de pe placa de circuit imprimat, între V_{CC} și masă, pentru decuplarea intrărilor.

P1.47

Rezolvare:

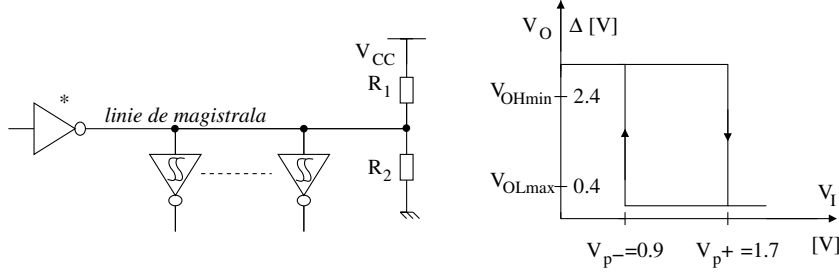


Figura P 1.47

1 Din condiția de adaptare a liniei se deduce $Z_0 = \frac{R_1 \cdot R_2}{R_1 + R_2}$

- Starea L pe linia de magistrală ($V_{OL} = 0.4V$):
Se poate scrie relația

$$I_{OLmax} \geq \frac{(V_{CC} + 0.1V_{CC}) - V_{OLmax}}{R_1}$$

în care s-a admis o variație de $0.1V_{CC}$ pentru tensiunea de alimentare. S-a neglijat curentul prin rezistența R_2 ($0.4V/R_2$). Astfel se obține valoarea lui R_1 :

$$R_1 \geq \frac{1.1V_{CC} - V_{OLmax}}{I_{OLmax}} = \frac{5.5 - 0.4}{24} = 212\Omega$$

iar prin alegerea unei valori standard pentru $R_1 = 220\Omega$ se poate calcula valoarea rezistenței R_2

$$R_2 = \frac{R_1 Z_0}{R_1 + Z_0} = \frac{220 \cdot 150}{220 + 50} = 470\Omega$$

- Starea H pe linia de magistrală:
Potențialul pe linia de magistrală este fixat de tensiunea generatorului Thévenin; se consideră cazul cel mai defavorabil pentru tensiunea de alimentare

$$V_{Hmin} = \frac{R_2}{R_1 + R_2} \cdot 0.9V_{CC} = \frac{470}{220 + 470} \cdot 4.5 = 3V$$

2 Receptorii conectați la magistrală vor comuta din H-L când tensiunea pe linia de magistrală crește peste $V_{p+} = 1.7V$ și din L-H când tensiunea pe linia de magistrală scade sub $V_{p-} = 0.9V$. Astfel se pot calcula marginile de zgomot:

$$M_H \geq V_{Hmin} - V_{p-} = 3V - 0.9V = 2.1V$$

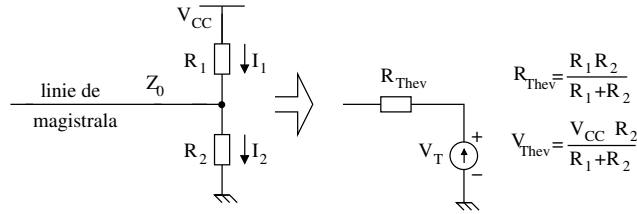
$$M_L \geq V_{p+} - V_{OL} = 1.7 - 0.4 = 1.3V$$

P1.48*Rezolvare:*

- În starea L tensiunea de intrare plus zgomotul suprapus poate crește până la valoarea $V_{p+} = 1.7V$ și numai la această valoare va comuta în starea H, deci $M_L = V_{p+} - V_{OLmax} = 1.7V - 0.4V = 1.4$;
- În starea H tensiunea de intrare plus zgomotul suprapus poate scădea până la valoarea $V_{p-} = 0.9V$ și numai la această valoare va comuta în starea L, deci $M_H = M_{OHmin} - V_{p-} = 2.4V - 0.9V = 1.5V$

P1.49*Rezolvare:*

În Figura P1.49 este dată schema echivalentă a rețelei Thevenin. Considerând linia adaptată $R_{Thev} = Z_0$ rezultă: $R_1 = \frac{R_{Thev} \cdot V_{CC}}{V_T}$, $R_2 = \frac{R_{Thev} \cdot V_{CC}}{(V_{CC} - V_T)}$

**Figura P 1.49**

- a) Când potențialul pe linia necomandată este fixat de terminator la valoarea $V_{Thev} = V_{OH} = 3.4V$ rezultă $R_1 = 1.47Z_0$ și $R_2 = 3.125Z_0$. Dar pentru aceste valori ale rezistențelor, când linia este comandată de un driver în starea L ($V_{OL} = 0.25V$), raportul între curenții prin cele două rezistențe este $I_1/I_2 = 41.2$; Aceasta înseamnă că driverul trebuie să poată absorbi un curent foarte mare.
- b) Când pe linia necomandată terminatorul fixează potențialul $V_{Thev} = V_{OL} = 0.25V$ rezultă $R_1 = 20Z_0$, $R_2 = 1.05Z_0$. Iar când linia este comandată de un driver în H rezultă $I_2/I_1 = 40.4$ deci driverul trebuie să genereze un curent foarte mare.
- Valorile pentru R_1 și R_2 trebuie alese, sau compuse, din componentele standard de rezistențe (150, 220, 270, 330, 390, 470 Ω).
- Dimensionarea terminatorului pentru a fixa potențialul H sau L pe linie duce la încărcarea driverelor atât în H cât și în L. Practic, terminatorul se dimensionează cu $V_{Thev} \approx 1/2V_{CC}$, iar menținerea liniei, când nu este comandată, în starea L sau H se realizează cu o celulă activă de magistrală, mai ales pentru porțile CMOS (vezi Figura 1.46-e).