

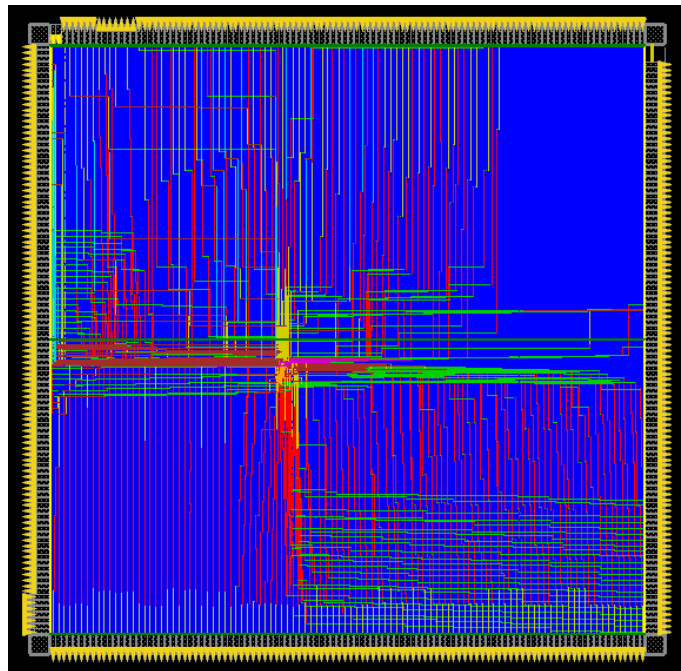


ΑΡΙΣΤΟΤΕΛΕΙΟ
ΠΑΝΕΠΙΣΤΗΜΙΟ
ΘΕΣΣΑΛΟΝΙΚΗΣ

16/02/2024

Picorv32 Physical Design

VLSI-ASIC course assignment



Paschalis Konstantinidis

AEM: 9870

Email: paschalk@ece.auth.gr

Table of Contents

Εισαγωγή.....	5
Άσκηση 1.....	5
Βήμα 1.....	5
Βήμα 2.....	6
Βήμα 3.....	6
Βήμα 4.....	8
Βήμα 5.....	10
Βήμα 6.....	11
Βήμα 7.....	15
Βήμα 8.....	15
Βήμα 9.....	16
Βήμα 10.....	17
Βήμα 11.....	21
Βήμα 12.....	23
Βήμα 13.....	24
Βήμα 14.....	26
Βήμα 15.....	28
Βήμα 16.....	31
Άσκηση 2.....	34
Βήμα 9-11.....	34
Βήμα 12-14	35
Βήμα 15.....	35
Άσκηση 3.....	36
Βήμα 1-6.....	36
Βήμα 7-11.....	37
Βήμα 12 -14.....	38
Βήμα 15.....	39
Άσκηση 4.....	39
Βήμα 1-6.....	39
Βήμα 7-11.....	41
Βήμα 12-14	41
Βήμα 15.....	42

Άσκηση 5.....	42
Βήμα 1-6.....	42
Βήμα 7-11.....	46
Βήμα 12-14	46
Βήμα 15.....	48
Άσκηση 6.....	49
Βήμα 1-6.....	49
Βήμα 7-11.....	53
Βήμα 12-14	54
Βήμα 15.....	55
Άσκηση 7.....	57
Βήμα 1-7.....	57
Άσκηση 8.....	62
Βήμα 8-15.....	62
Άσκηση 9.....	65
Βήμα 1-6.....	65
Παρατηρήσεις – Σημειώσεις.....	71
Βιβλιογραφία – Πηγές.....	71

Πίνακας Εικόνων.

FIGURE 1: ΆΣΚΗΣΗ 1 ΒΗΜΑ 3 CHECK DESIGN.	7
FIGURE 2: ΆΣΚΗΣΗ 1 ΒΗΜΑ 4 CHECK TIMING INTENT	10
FIGURE 3: ΆΣΚΗΣΗ 1 ΒΗΜΑ 6 AREA.....	12
FIGURE 4: ΆΣΚΗΣΗ 1 ΒΗΜΑ 6 GATES.	12
FIGURE 5: ΆΣΚΗΣΗ 1 ΒΗΜΑ 6 TIMING.	13
FIGURE 6: ΆΣΚΗΣΗ 1 ΒΗΜΑ 6 POWER.	13
FIGURE 7: ΆΣΚΗΣΗ 1 ΒΗΜΑ 6 QOR.	14
FIGURE 8: ΆΣΚΗΣΗ 1 ΒΗΜΑ 8 INNNOVUS	16
FIGURE 9: ΆΣΚΗΣΗ 1 ΒΗΜΑ 9	17
FIGURE 10: ΆΣΚΗΣΗ 1 ΒΗΜΑ 10 POWER RING	18
FIGURE 11: ΆΣΚΗΣΗ 1 ΒΗΜΑ 10 STRIPES.....	19
FIGURE 12: ΆΣΚΗΣΗ 1 ΒΗΜΑ 10 SROUTE	20
FIGURE 13: ΆΣΚΗΣΗ 1 ΒΗΜΑ 11 OPT.	21
FIGURE 14: ΆΣΚΗΣΗ 1 ΒΗΜΑ 11 POWER.	22
FIGURE 15: ΆΣΚΗΣΗ 1 ΒΗΜΑ 11 TIMING.	22
FIGURE 16: ΆΣΚΗΣΗ 1 ΒΗΜΑ 11 AREA.....	22
FIGURE 17: ΆΣΚΗΣΗ 1 ΒΗΜΑ 11 CHECK PLACEMENT.	23
FIGURE 18: ΆΣΚΗΣΗ 1 ΒΗΜΑ 12 EARLY POWER ANALYSIS.	23
FIGURE 19: ΆΣΚΗΣΗ 1 ΒΗΜΑ 12 POWER GRAPH.....	24
FIGURE 20: ΆΣΚΗΣΗ 1 ΒΗΜΑ 13 M (1)-M (11) ΠΟΡΟΙ.	24
FIGURE 21: ΆΣΚΗΣΗ 1 ΒΗΜΑ 13 M (1) -M (11) CONGESTION.	25
FIGURE 22: ΆΣΚΗΣΗ 1 ΒΗΜΑ 13 M (8) - M (10) ΠΟΡΟΙ.	25
FIGURE 23: ΆΣΚΗΣΗ 1 ΒΗΜΑ 13 M (8) - M (10) CONGESTION.	25
FIGURE 24: ΆΣΚΗΣΗ 1 ΒΗΜΑ 14 SLEW REQUIRMENTS.	27
FIGURE 25: ΆΣΚΗΣΗ 1 ΒΗΜΑ 14 SKEW REQUIRMENTS.	27
FIGURE 26: ΆΣΚΗΣΗ 1 ΒΗΜΑ 14 CLOCK TREE.	28
FIGURE 27: ΆΣΚΗΣΗ 1 ΒΗΜΑ 15 ROUTE SETTINGS (1).	29
FIGURE 28: ΆΣΚΗΣΗ 1 ΒΗΜΑ 15 ROUTE SETTINGS (2).	30
FIGURE 29: ΆΣΚΗΣΗ 1 ΒΗΜΑ 16 DRC CHECK.	31
FIGURE 30: ΆΣΚΗΣΗ 1 ΒΗΜΑ 16 VERIFY CONNECTIVITY.....	32
FIGURE 31: ΆΣΚΗΣΗ 1 ΒΗΜΑ 16 MIN DENSITY.	32
FIGURE 32: ΆΣΚΗΣΗ 1 ΒΗΜΑ 16 METAL FILL.	33
FIGURE 33: ΆΣΚΗΣΗ 1 ΒΗΜΑ 16 CHIP.	34
FIGURE 34: ΆΣΚΗΣΗ 3 ΒΗΜΑ 7-11 PLACEMENT SETTINGS.....	37
FIGURE 35: ΆΣΚΗΣΗ 5 ΒΗΜΑ 12-14 SLEW.	47
FIGURE 36: ΆΣΚΗΣΗ 5 ΒΗΜΑ 12-14 SKEW.	47
FIGURE 37: ΆΣΚΗΣΗ 5 ΒΗΜΑ 12-14 CLOCK TREE.....	48
FIGURE 38: ΆΣΚΗΣΗ 6 ΒΗΜΑ 1-6 CLOCK GATING.	53
FIGURE 39: ΆΣΚΗΣΗ 6 ΒΗΜΑ 7-11 PPA.....	54
FIGURE 40: ΆΣΚΗΣΗ 6 ΒΗΜΑ 12-14 CLOCK GATING INSTANCES.....	55
FIGURE 41: ΆΣΚΗΣΗ 6 ΒΗΜΑ 15 CLOCK GATING INSTANCES.....	56
FIGURE 42: ΆΣΚΗΣΗ 7 ΒΗΜΑ 1-7 RTLSELAB LEC.	58
FIGURE 43: ΆΣΚΗΣΗ 7 ΒΗΜΑ 1-7 RTLSELAB STATISTICS.....	59
FIGURE 44: ΆΣΚΗΣΗ 7 ΒΗΜΑ 1-7 RTLVSMAPI LEC.	60

FIGURE 45: ΆΣΚΗΣΗ 7 ΒΗΜΑ 1-7 RTLVSMAPI STATISTICS	61
FIGURE 46: ΆΣΚΗΣΗ 7 ΒΗΜΑ 1-7 EQUIVALENT POINTS.....	61
FIGURE 47: ΆΣΚΗΣΗ 8 ΒΗΜΑ 8-15 AREA.	62
FIGURE 48: ΆΣΚΗΣΗ 8 ΒΗΜΑ 8-15 CHIP.....	63
FIGURE 49: ΆΣΚΗΣΗ 8 ΒΗΜΑ 8-15 ANTENNA VIOLATIONS.	64
FIGURE 50: ΆΣΚΗΣΗ 8 ΒΗΜΑ 8-15 VIOLATIONS AFTER FIX.....	65
FIGURE 51: ΆΣΚΗΣΗ 9 ΒΗΜΑ 1-6 CHECK DFT BEFORE SYNTHESIS.....	67
FIGURE 52: ΆΣΚΗΣΗ 9 ΒΗΜΑ 1-6 REPORT SCAN REGISTERS.	67
FIGURE 53: ΆΣΚΗΣΗ 9 ΒΗΜΑ 1-6 CHECK TIMING INTENT.....	68
FIGURE 54: ΆΣΚΗΣΗ 9 ΒΗΜΑ 1-6 SYN GEN TOTAL AREA.	69
FIGURE 55: ΆΣΚΗΣΗ 9 ΒΗΜΑ 1-6 CHECK DFT AFTER SYNTHESIS.	70
FIGURE 56: ΆΣΚΗΣΗ ΒΗΜΑ 1-6 REPORT SCAN REGISTERS.	70

Πίνακας Αποτελεσμάτων.

TABLE 1: ΆΣΚΗΣΗ 1 ΒΗΜΑ 6.	15
TABLE 2: ΆΣΚΗΣΗ 1 ΒΗΜΑ 11.	22
TABLE 3: ΆΣΚΗΣΗ 1 ΒΗΜΑ 14 PPA.	27
TABLE 4: ΆΣΚΗΣΗ 1 ΒΗΜΑ 14 CLOCK STATS.	27
TABLE 5: ΆΣΚΗΣΗ 1 ΒΗΜΑ 15	31
TABLE 6: ΆΣΚΗΣΗ 2 ΒΗΜΑ 9-11 PPA.	35
TABLE 7: ΆΣΚΗΣΗ 2 ΒΗΜΑ 12-14 PPA.	35
TABLE 8: ΆΣΚΗΣΗ 2 ΒΗΜΑ 15 PPA.	36
TABLE 9: ΆΣΚΗΣΗ 3 ΒΗΜΑ 1-6 PPA.	36
TABLE 10: ΆΣΚΗΣΗ 3 ΒΗΜΑ 7-11 PPA.	38
TABLE 11: ΆΣΚΗΣΗ 3 ΒΗΜΑ 12-24 PPA.	38
TABLE 12: ΆΣΚΗΣΗ 3 ΒΗΜΑ 15 PPA.	39
TABLE 13: ΆΣΚΗΣΗ 4 ΒΗΜΑ 1-6 PPA.	41
TABLE 14: ΆΣΚΗΣΗ 4 ΒΗΜΑ 7-11 PPA.	41
TABLE 15: ΆΣΚΗΣΗ 4 ΒΗΜΑ 12-14 PPA.	42
TABLE 16: ΆΣΚΗΣΗ 4 ΒΗΜΑ 15 PPA.	42
TABLE 17: ΆΣΚΗΣΗ 5 ΒΗΜΑ 1-6 PPA.	46
TABLE 18: ΆΣΚΗΣΗ 5 ΒΗΜΑ 7-11 PPA.	46
TABLE 19: ΆΣΚΗΣΗ 5 ΒΗΜΑ 12-14 PPA.	46
TABLE 20: ΆΣΚΗΣΗ 5 ΒΗΜΑ 12-14 CLOCK STATS.	47
TABLE 21: ΆΣΚΗΣΗ 5 ΒΗΜΑ 15 PPA.	48
TABLE 22: ΆΣΚΗΣΗ 6 ΒΗΜΑ 1-6 PPA.	52
TABLE 23: ΆΣΚΗΣΗ 6 ΒΗΜΑ 7-11 CLOCK GATING INSTANCE TYPE 1.	54
TABLE 24: ΆΣΚΗΣΗ 6 ΒΗΜΑ 7-11 CLOCK GATING INSTANCE TYPE 2.	54
TABLE 25: ΆΣΚΗΣΗ 6 ΒΗΜΑ 12-14 PPA.	54
TABLE 26: ΆΣΚΗΣΗ 6 ΒΗΜΑ 15 PPA.	56
TABLE 27: ΆΣΚΗΣΗ 8 ΒΗΜΑ 8-15 PPA.8-15 PPA.	62
TABLE 28: ΆΣΚΗΣΗ 9 ΒΗΜΑ 1-6 PPA.	68

Εισαγωγή

Στα πλαίσια της εργασίας του μαθήματος «Ψηφιακά ολοκληρωμένα κυκλώματα VLSI-ASIC Μεγάλης Κλίμακας» κληθήκαμε να κατανοήσουμε και να εφαρμόσουμε τη διαδικασία σύνθεσης και φυσικής σχεδίασης ενός ψηφιακού κυκλώματος. Πιο συγκεκριμένα μας δόθηκε, υλοποιημένος σε Verilog, ένας πυρήνας επεξεργαστή αρχιτεκτονικής RISC-V και εμείς κάνοντας χρήση των εργαλείων Genus και Ichnonius διεκπεραιώσαμε όλη την διαδικασία σύνθεσης και σχεδίασης. Η συγκεκριμένη εργασία αποτελείται από 9 ασκήσεις όπου κάθε μια άσκηση έχει από 1 μέχρι 16 βήματα.

Άσκηση 1

Βήμα 1

Ορίζουμε αρχικά τα μονοπάτια για τις βιβλιοθήκες χρονισμού (*.lib), φυσικών πληροφοριών (*.lef) και παρασιτικών (.tch). Με τις παρακάτω εντολές.

#setup path for library

set_db init_lib_search_path

/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference_libs/GPDK045/gsclib045_svt_v4.4/gsclib045/timing

#setup script path

set_db script_search_path Desktop/VLSI/Script/

#setup hdl path

set_db init_hdl_search_path Desktop/VLSI/Verilog/

#Setup timing library

set_db library

/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference_libs/GPDK045/gsclib045_svt_v4.4/gsclib045/timing/slow_vdd1v0_basicCells.lib

#end

```
#Setup lef library
```

```
set_db lef_library
```

```
{/mnt/apps/prebuilt/eda/designkits/GPDk/gsclib045/lan/flow/t1u1/reference_libs/GPDk045/  
/gsclib045_svt_v4.4/gsclib045/lef/gsclib045_tech.lef  
/mnt/apps/prebuilt/eda/designkits/GPDk/gsclib045/lan/flow/t1u1/reference_libs/GPDk045/  
gsclib045_svt_v4.4/gsclib045/lef/gsclib045_macro.lef}
```

```
#end
```

```
#Setup qrc library
```

```
read_qrc
```

```
/mnt/apps/prebuilt/eda/designkits/GPDk/gsclib045/lan/flow/t1u1/reference_libs/GPDk045/  
gsclib045_svt_v4.4/gsclib045/qrc/qx/gpdk045.tch
```

```
#end
```

Μετά από αυτές τις εντολές , έχουμε κάποια warnings που αφορούν την timing βιβλιοθήκη και έχουν να κάνουν με κάποια output pins. Επίσης έχουμε κάποια warnings που έχουν με τις Lef βιβλιοθήκες και πιο συγκεκριμένα με κάποια cells που δεν μπορούν να βρεθούν στις βιβλιοθήκες.

Βήμα 2

Με την χρήση της εντολής

```
read_hdl picorv32.v
```

διαβάζουμε το αρχείο Verilog που περιγράφει το design μας. Το top level module μας είναι το «picorv32».

Βήμα 3

Με την χρήση των παρακάτω εντολών κάνουμε μια πρώτη ανάλυση του κυκλώματος και το ελέγχουμε για τυχόν «unresolved references»

```
#elaborate
```

```
elaborate "picorv32"
```

```
#check design
```

```
check_design -all >
```

```
Desktop/VLSI/Exercises/Ex1/Step7/v3/Checks/Ex1_Step7_v3_Check_Design.txt
```

Summary

Name	Total
Unresolved References	0
Empty Modules	0
Unloaded Port(s)	32
Unloaded Sequential Pin(s)	1
Unloaded Combinational Pin(s)	51
Assigns	68
Undriven Port(s)	0
Undriven Leaf Pin(s)	0
Undriven hierarchical pin(s)	0
Multidriven Port(s)	0
Multidriven Leaf Pin(s)	0
Multidriven hierarchical Pin(s)	0
Multidriven unloaded net(s)	0
Constant Port(s)	2
Constant Leaf Pin(s)	0
Constant hierarchical Pin(s)	1454
Preserved leaf instance(s)	0
Preserved hierarchical instance(s)	0
Feedthrough Modules(s)	0
Libcells with no LEF cell	0
Physical (LEF) cells with no libcell	94
Subdesigns with long module name	0
Physical only instance(s)	0
Logical only instance(s)	0

Done Checking the design.

Figure 1: Άσκηση 1 Βήμα 3 check design.

Παρατηρούμε ότι δεν υπάρχουν Unresolved References.

Βήμα 4

Προτού προχωρήσουμε στη σύνθεση του κυκλώματος πρέπει να θέσουμε διάφορους περιορισμούς που θα καθοδηγήσουν τη διαδικασία αυτή. Έτσι με τις παρακάτω εντολές δημιουργούμε το αρχείο περιορισμών (.sdc).

```
#SDC RESTRICTIONS FILE#
```

```
#with NO extra commands
```

```
#1) create clock with 50 % duty cycle, period =10ns, name = clk.
```

```
create_clock -name clk -period 10 -waveform {0 5} [get_ports clk]
```

```
#2) set clock latency = 0.5 ns (500 ps).
```

```
set_clock_latency -source 0.5 [get_clocks clk]
```

```
#3) Set the clock uncertainty = 0.08ns (80 ps).
```

```
set_clock_uncertainty 0.08 [get_clocks clk]
```

```
#4) Set clock rise and fall = 1% of total period.
```

```
set_clock_transition 0.1 [get_clocks clk]
```

```
#5) set 1.5ns output delay for SETUP time.
```

```
set_output_delay -max 1.5 -clock clk -network_latency_included [all_outputs]
```

```
#6) set 0.5ns delay for HOLD time.
```

```
set_output_delay -min 0.5 -clock clk -network_latency_included [all_outputs]
```

```
#7) set capacity for SETUP time analysis = 0.5pF.
```

```
set_load 0.5 -max all_outputs;
```

#8) set capacity for HOLD time analysis = 0.05pF.

```
set_load 0.05 -min all_outputs;
```

#9) set 1.5ns input delay for SETUP time.

```
set_input_delay -max 1.5 -clock clk -network_latency_included [all_inputs]
```

#10) set 0.5ns input delay for HOLD time.

```
set_input_delay -min 0.5 -clock clk -network_latency_included [all_inputs]
```

#11) set input driving cell.BUFX2 for SETUP and BUFX16 for HOLD.

```
set_driving_cell -max -lib_cell BUFX2 [all_inputs]
```

```
set_driving_cell -min -lib_cell BUFX16 [all_inputs]
```

Αφού έχουμε ορίσει του απαραίτητους περιορισμούς θα πρέπει τώρα να τους «διαβάσουμε» και έπειτα να ελέγξουμε τους περιορισμούς. Αυτό γίνεται με τις δύο παρακάτω εντολές.

```
#read the sdc file
```

```
read_sdc Ex1_Step4_v3.sdc
```

```
#check timing intent
```

```
check_timing_intent >
```

```
Desktop/VLSI/Exercises/Ex1/Step7/v3/Checks/Ex1_Step7_v3_Check_Timing_Intent.txt
```

Και στην παρακάτω εικόνα βλέπουμε ότι δεν υπάρχει κάποιο πρόβλημα με τους περιορισμούς

Lint summary	
Unconnected/logic driven clocks	0
Sequential data pins driven by a clock signal	0
Sequential clock pins without clock waveform	0
Sequential clock pins with multiple clock waveforms	0
Generated clocks without clock waveform	0
Generated clocks with incompatible options	0
Generated clocks with multi-master clock	0
Paths constrained with different clocks	0
Loop-breaking cells for combinational feedback	0
Nets with multiple drivers	0
Timing exceptions with no effect	0
Suspicious multi_cycle exceptions	0
Pins/ports with conflicting case constants	0
Inputs without clocked external delays	0
Outputs without clocked external delays	0
Inputs without external driver/transition	0
Outputs without external load	307
Exceptions with invalid timing start-/endpoints	0
Total:	307

Figure 2: Άσκηση 1 Βήμα 4 Check Timing Intent

Βήμα 5

Είμαστε τώρα έτοιμοι να εκτελέσουμε τα 3 βήματα της σύνθεσης (generic, mapping, optimization). Όμως πριν από αυτό θα βεβαιωθούμε ότι δεν γίνεται χρήση των αλυσίδων ανίχνευσης. Τα παραπάνω υλοποιούνται με την χρήση των εξής εντολών.

```
# setting forinnovus

set_db / .use_scan_seqs_for_non_dft false


#do syn_generic

syn_generic


#do syn_map

syn_map
```

```
#do optimization
```

```
syn_opt
```

Βήμα 6

Μετά την διαδικασία της σύνθεσης πρέπει να εξάγουμε τις απαραίτητες αναφορές για να αποτιμήσουμε τα χαρακτηριστικά του κυκλώματος μας και έπειτα να τα συνοψίσουμε σε έναν πίνακα. Αυτό θα γίνει με τις εξής εντολές:

```
#report area
```

```
report_area > Desktop/VLSI/Exercises/Ex1/Step7/v3/Reports/Ex1_Step7_v3_Area.txt
```

```
#report gates
```

```
report_gates > Desktop/VLSI/Exercises/Ex1/Step7/v3/Reports/Ex1_Step7_v3_Gates.txt
```

```
#report timing
```

```
report_timing > Desktop/VLSI/Exercises/Ex1/Step7/v3/Reports/Ex1_Step7_v3_Timing.txt
```

```
#report power
```

```
report_power > Desktop/VLSI/Exercises/Ex1/Step7/v3/Reports/Ex1_Step7_v3_Power.txt
```

```
#report qor
```

```
report_qor > Desktop/VLSI/Exercises/Ex1/Step7/v3/Reports/Ex1_Step7_v3_Qor.txt
```

Area.

```
=====
Generated by:      Genus(TM) Synthesis Solution 21.15-s080_1
Generated on:      Jan 24 2024  03:10:07 am
Module:            picorv32
Technology libraries:  slow_vdd1v0 1.0
                    physical_cells
Operating conditions: PVT_0P9V_125C
Interconnect mode:  global
Area mode:         physical library
=====
```

Instance	Module	Cell Count	Cell Area	Net Area	Total Area
picorv32		9104	31216.392	12918.598	44134.990

Figure 3: Άσκηση 1 Βήμα 6 Area.

Gates.

Type	Instances	Area	Area %
sequential	1961	14715.918	47.1
inverter	297	240.084	0.8
buffer	14	32.490	0.1
logic	6832	16227.900	52.0
physical_cells	0	0.000	0.0
total	9104	31216.392	100.0

Figure 4: Άσκηση 1 Βήμα 6 Gates.

Timing.

Path 1: MET (29 ps) Setup Check with Pin genblk1.pcp_i_mul_rd_reg[63]/CK->D
 Group: clk
 Startpoint: (R) genblk1.pcp_i_mul_rs2_reg[3]/CK
 Clock: (R) clk
 Endpoint: (R) genblk1.pcp_i_mul_rd_reg[63]/D
 Clock: (R) clk

	Capture	Launch
Clock Edge:+	10000	0
Src Latency:+	500	500
Net Latency:+	0 (I)	0 (I)
Arrival:=	10500	500
Setup:-	105	
Uncertainty:-	80	
Required Time:=	10315	
Launch Clock:-	500	
Data Path:-	9786	
Slack:=	29	

Figure 5: Άσκηση 1 Βήμα 6 Timing.

Power.

Instance: /picorv32
 Power Unit: W
 PDB Frames: /stim#0/frame#0

Category	Leakage	Internal	Switching	Total	Row%
memory	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
register	2.67265e-07	5.05169e-04	6.47508e-05	5.70187e-04	61.87%
latch	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
logic	3.87250e-07	1.35313e-04	2.15744e-04	3.51444e-04	38.13%
bbox	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
clock	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
pad	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
pm	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
Subtotal	6.54515e-07	6.40483e-04	2.80495e-04	9.21632e-04	100.00%
Percentage	0.07%	69.49%	30.43%	100.00%	100.00%

Figure 6: Άσκηση 1 Βήμα 6 Power.

Quality of Results.

```

Area mode: physical library
=====

Timing
-----

Clock Period
-----
clk 10000.0

Cost      Critical      Violating
Group    Path Slack   TNS      Paths
-----
clk      29.1    0.0      0
default  No paths 0.0
-----
Total            0.0      0

Instance Count
-----
Leaf Instance Count      9104
Physical Instance count   0
Sequential Instance Count 1961
Combinational Instance Count 7143
Hierarchical Instance Count 0

Area
----
Cell Area      31216.392
Physical Cell Area 0.000
Total Cell Area (Cell+Physical) 31216.392
Net Area      12918.598
Total Area (Cell+Physical+Net) 44134.990

Max Fanout      1961 (clk)
Min Fanout      1 (clear_prefetched_high_word_q)
Average Fanout   2.7
Terms to net ratio 3.6561
Terms to instance ratio 4.0565
Runtime         346.196648 seconds
Elapsed Runtime  372 seconds
Genus peak memory usage 1748.47
Innovus peak memory usage no_value
Hostname        cn89.it.auth.gr
  
```

Figure 7: Άσκηση 1 Βήμα 6 Qor.

Area	Gates	Slack	Power	Clock
44134.99	9104	29ps	9.21632e-04 W	10ns

Table 1: Άσκηση 1 Βήμα 6.

Βήμα 7

Εξάγουμε τώρα τα αρχεία από το Genus που θα χρησιμοποιηθούν στο Innovus μέσω της παρακάτω εντολής:

```
# this line is for innovus tool and generate default folder
```

```
write_design -innovus picorv32
```

Βήμα 8

Εισάγουμε τώρα τα αρχεία που πήραμε από το Genus στο Innovus, και αρχικοποιούμε το design μας.

Επίσης στην εικόνα παρακάτω βλέπουμε το Menu στο οποίο εισάγουμε το design στο Innovus.

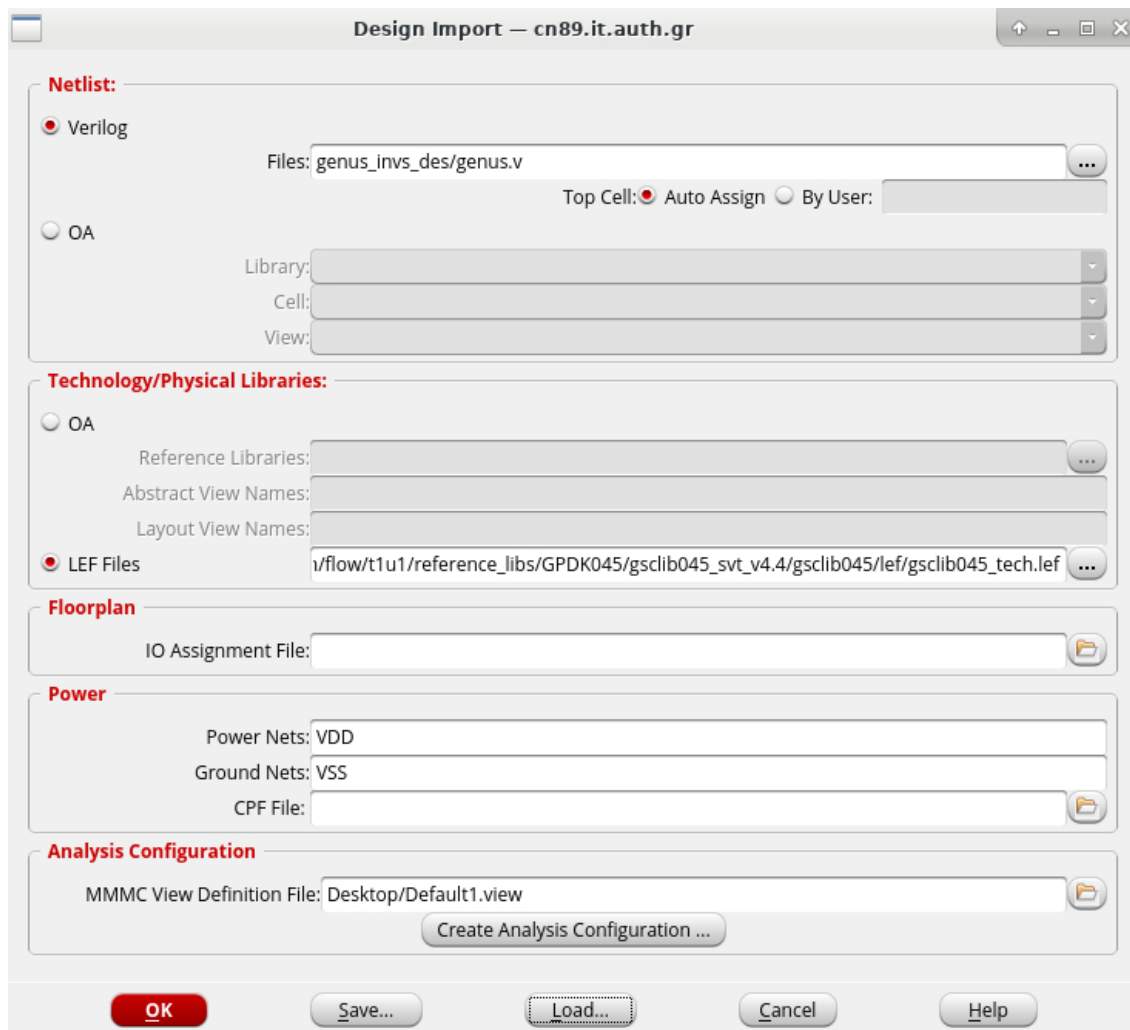


Figure 8: Άσκηση 1 Βήμα 8 Innovus

Βήμα 9

Εφαρμόζουμε την χωροθέτηση στο design με ποσοστό χρήσης του πυρήνα 70%, και για το δίκτυο διανομής δημιουργούμε χώρο 15 μm μέχρι τα I/O για τους δακτυλίους.

Specify Floorplan — cn89.it.auth.gr

Basic Advanced

Design Dimensions

Specify By: ☒ Size ☐ Die/IO/Core Coordinates

☒ Core Size by: ☒ Aspect Ratio: Ratio (H/W): 695867336

☒ Core Utilization: 0.70

☐ Cell Utilization: 0.699991

☐ Dimension: Width: 210.155

Height: 208.62

☐ Die Size by: Width: 210.155

Height: 208.62

Core Margins by: ☒ Core to IO Boundary

☐ Core to Die Boundary

Core to Left: 15 Core to Top: 15

Core to Right: 15 Core to Bottom: 15

Die Size Calculation Use: ☐ Max IO Height ☒ Min IO Height

Floorplan Origin at: ☒ Lower Left Corner ☐ Center

Unit: Micron

OK Apply Cancel Help

Figure 9: Άσκηση 1 Βήμα 9

Βήμα 10

Σε αυτό το σημείο δημιουργούμε το power rings στο οποίο οι δακτύλιοι πρέπει να έχουν πάχος 3 μm , κενό διάστημα ανάμεσα τους επίσης 3 μm , και να βρίσκονται κεντραρισμένοι στο διάκενο ανάμεσα στον πυρήνα και στα I/O. Όσον αφορά τα Stripes, επιλέγουμε παρόμοιο πάχος και κενό, και αριθμό σετ ίσο με τρία. Έπειτα, δημιουργούμε τους ακροδέκτες I/O τροφοδοσίας και γείωσης κατάλληλα, έτσι ώστε να συνδέονται με δακτυλίους γύρω από τον πυρήνα. Τέλος, κατασκευάζουμε και τα follow pins μέσω της Sroute για τη σύνδεση των κελιών με το δίκτυο διανομής ισχύος.

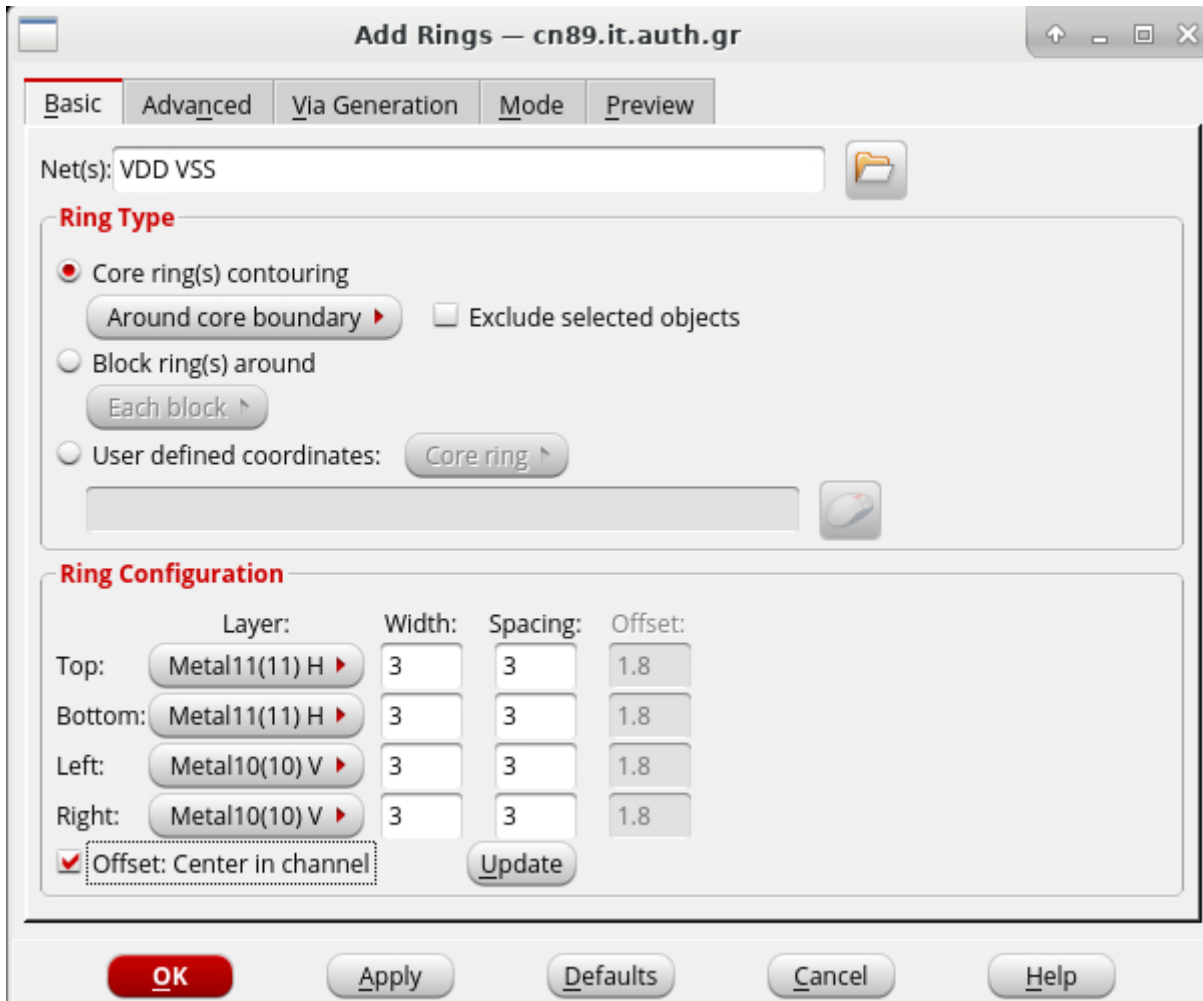


Figure 10: Άσκηση 1 Βήμα 10 Power Ring

Add Stripes — cn89.it.auth.gr

Basic | Advanced | Via Generation | Mode | Preview

Set Configuration

Net(s): VDD VSS

Layer: Metal11(11) Directions: ☐ Vertical ☒ Horizontal

Width: 3 Spacing: 3 **Update**

Set Pattern

☐ Set-to-set distance: 100 ☒ Number of sets: 3 ☐ Bumps **Over ▾**

☐ Over P/G pins Pin layer: Top pin layer ▾ ☐ Pin Width:

☐ Master name: ☐ Selected blocks ☒ All blocks

☐ Over Physical Pins Pin layer: Top pin layer ▾ ☐ Pin Width:

Stripe Boundary

☒ Core ring ☐ Pad ring: Outer ▾ ☐ All domains

☐ Design boundary ☒ Create pins ☐ Each selected block/domain/fence

☐ Specify rectangular area

X1: Y1: X2: Y2:

☐ Specify rectilinear area

First/Last Stripe

Start from: ☐ Left ☐ Right ☐ Top ☒ Bottom

☒ Relative from core or selected area Start: Stop:

☐ Absolute Start: Stop:

OK **Apply** **Defaults** **Cancel** **Help**

Figure 11: Άσκηση 1 Βήμα 10 Stripes

Τώρα δημιουργούμε με τις παρακάτω εντολές τα Pins Και τα συνδέουμε κιόλας στο Ring.

```
globalNetConnect VDD -type pgpin -pin VDD -inst *
```

```
globalNetConnect VDD -type tiehi -instanceBasename *
```

```
globalNetConnect VSS -type pgpin -pin VSS -inst *
```

globalNetConnect VSS -type tielo -instanceBasename *

createPGPin VDD -net VDD -geom Metal10 9 0 12 12

createPGPin VSS -net VSS -geom Metal10 3 0 6 6

Τώρα εκτελούμε την Sroute για να τελειώσουμε με το Βήμα 10.



Figure 12: Άσκηση 1 Βήμα 10 Sroute

Βήμα 11

Τώρα είμαστε στο βήμα του Placement. Αρχικά βάζουμε τις απαιτούμενες ρυθμίσεις όπως φαίνεται και στην εικόνα κάτω.

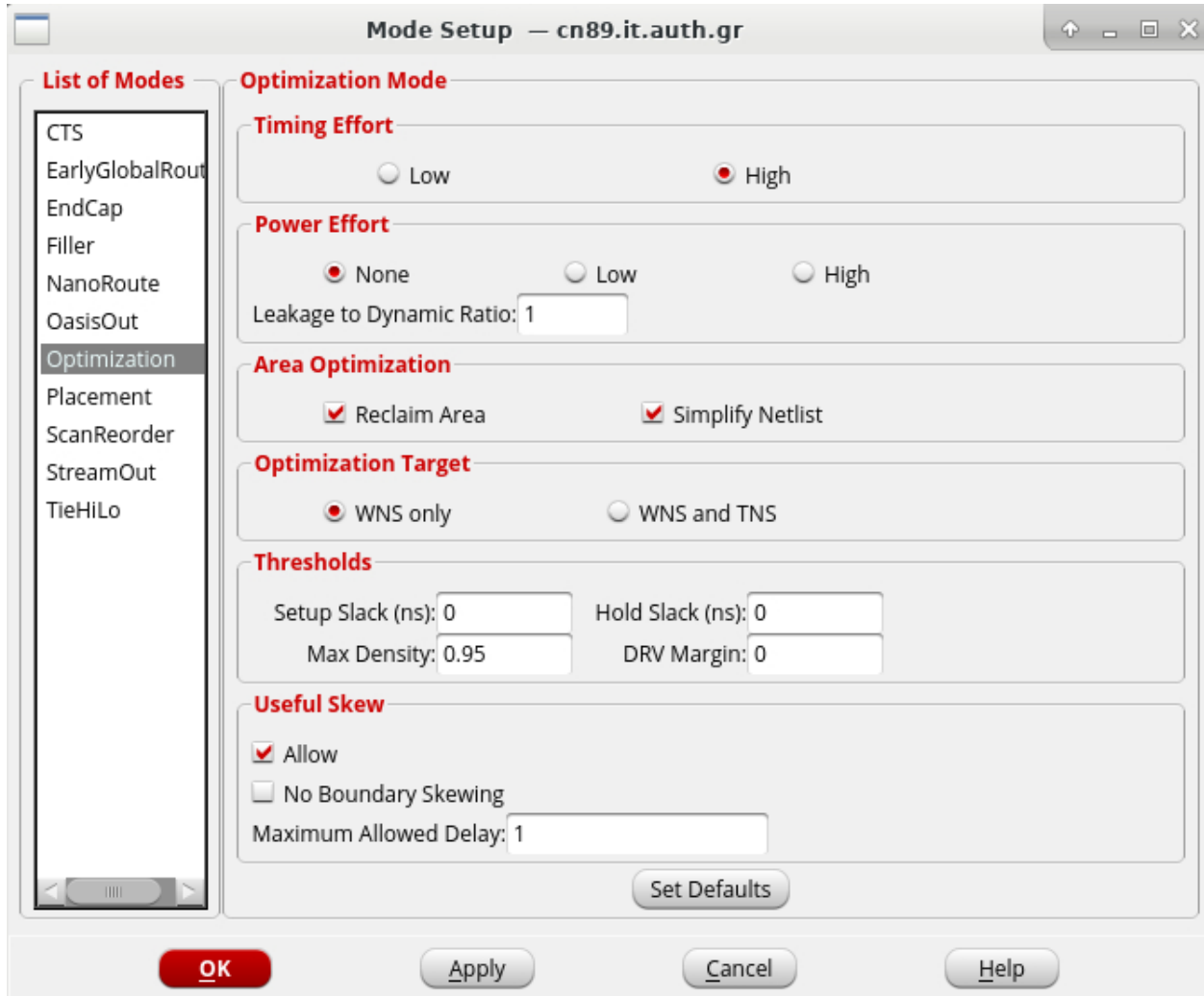


Figure 13: Άσκηση 1 Βήμα 11 Opt.

Έπειτα μέσω των εξής εντολών εκτελούμε την τοποθέτηση και εξάγουμε τα απαραίτητα reports.

```
setDesignMode -process 45
```

```
getPlaceMode
```

```
place_opt_design //τοποθέτηση
```

```
report_power > innovus_power_step11.txt
```

report_timing > innovus_timing_step11.txt

report_area > innovus_area_step11.txt

Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
0.90887390W	0.68827092W	0.21992971W	0.00067327W	1.305ns	31709.556

Table 2: Άσκηση 1 Βήμα 11.

Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
Sequential	0.4861	0.04989	0.0002726	0.5363	59.01
Macro	0	0	0	0	0
IO	0	0	0	0	0
Combinational	0.2021	0.17	0.0004007	0.3726	40.99
Clock (Combinational)	0	0	0	0	0
Clock (Sequential)	0	0	0	0	0
Total	0.6883	0.2199	0.0006733	0.9089	100

Figure 14: Άσκηση 1 Βήμα 11 Power.

```

Path 1: MET Setup Check with Pin reg_op1_reg[16]/CK
Endpoint:  reg_op1_reg[16]/D (v) checked with leading edge of 'clk'
Beginpoint: resetn (^) triggered by leading edge of 'clk'
Path Groups: {clk}
Analysis View: default_emulate_view
Other End Arrival Time      0.000
- Setup                    0.091
+ Phase Shift              10.000
Uncertainty                 0.080
Required Time               9.829
Arrival Time                8.524
= Slack Time                1.305

```

Figure 15: Άσκηση 1 Βήμα 11 Timing.

Hinst Name	Module Name	Inst Count	Total Area
picorv32		9402	31709.556

Figure 16: Άσκηση 1 Βήμα 11 Area.

Τέλος ελέγξαμε το design μας μέσω της εντολής check placement και παρατηρούμε ότι δεν υπάρχει κάποιο θέμα.

```
#####
# Generated by:      Cadence Innovus 21.35-s114.1
# OS:               Linux x86_64(Host ID cn90.it.auth.gr)
# Generated on:      Tue Jan 9 20:25:46 2024
# Design:            picorv32
# Command:           checkDesign -io -netlist -physicalLibrary -powerGround -tieHilo -timingLibrary -spdef -floorplan -place -outdir
checkDesign
#####

## No violations found ##

## Summary:
#####
## Number of Placed Instances = 9576
## Number of Unplaced Instances = 0
## Placement Density: 69.94%(31896/45604)
## Placement Density (including fixed std cells): 69.94%(31896/45604)
```

Figure 17: Άσκηση 1 Βήμα 11 Check Placement.

Βήμα 12

Η Early Power Analysis έγινε μετά την τοποθέτηση, ούτως ώστε να γίνει αποτίμηση της ικανότητας του δικτύου διανομής να τροφοδοτήσει κάθε κόμβο του κυκλώματος.

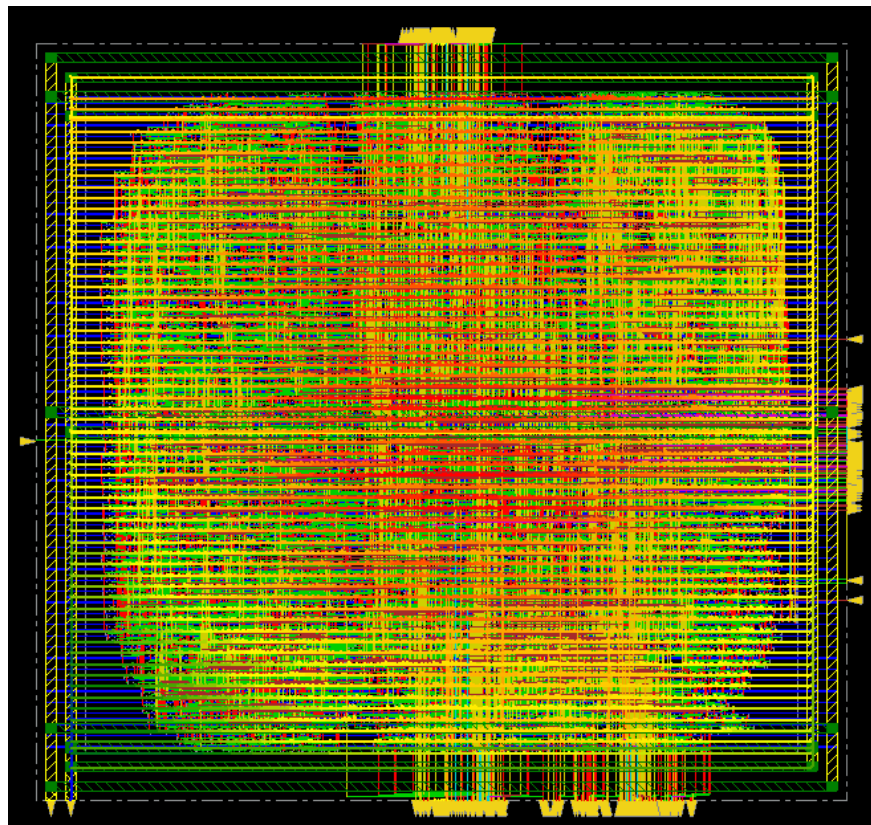


Figure 18: Άσκηση 1 Βήμα 12 Early Power Analysis.

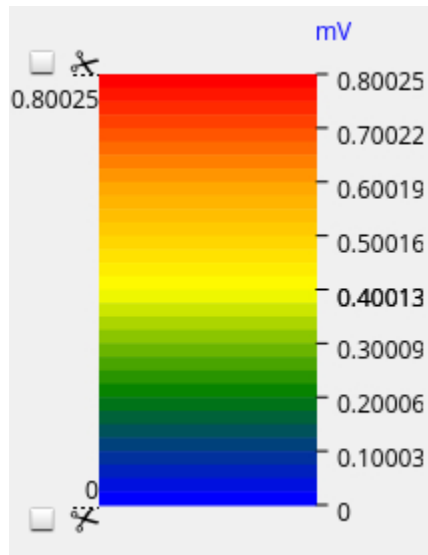


Figure 19: Άσκηση 1 Βήμα 12 Power Graph.

Βήμα 13

Εφαρμόζεται Early Global Routing 1) με εύρος δρομολόγησης που να καλύπτει όλα τα μέταλλα 2) με εύρος από το όγδοιο (M8) ως το δέκατο (M10). Μέσω της reportCongestion - hotSpot βλέπουμε την συμφόρηση.

- M (1) – M (11)

Χρησιμοποιούνται 71790 vias καθώς και ένα wirelength ίσο με 205502um και δεν έχουμε κάποια συμφόρηση.

```
[NR-eGR] Started Early Global Route kernel ( Curr Mem: 2928.30 MB )
[NR-eGR] Num Prerouted Nets = 0 Num Prerouted Wires = 0
[NR-eGR] Read 10491 nets ( ignored 0 )
[NR-eGR] There are 1 clock nets ( 0 with NDR ).
[NR-eGR] Layer group 1: route 10491 net(s) in layer range [1, 11]
[NR-eGR] Early Global Route overflow of layer group 1: 0.00% H + 0.04% V. EstWL: 1.969065e+05um
[NR-eGR] Overflow after Early Global Route 0.00% H + 0.00% V
[NR-eGR]
[NR-eGR] Length (um) Vias
[NR-eGR] -----
[NR-eGR] Metal1 (1H) 15125 39627
[NR-eGR] Metal2 (2V) 71466 26214
[NR-eGR] Metal3 (3H) 73223 4483
[NR-eGR] Metal4 (4V) 30168 1247
[NR-eGR] Metal5 (5H) 12464 140
[NR-eGR] Metal6 (6V) 1721 39
[NR-eGR] Metal7 (7H) 791 27
[NR-eGR] Metal8 (8V) 430 10
[NR-eGR] Metal9 (9H) 35 2
[NR-eGR] Metal10 (10V) 0 1
[NR-eGR] Metal11 (11H) 79 0
[NR-eGR] -----
[NR-eGR] Total 205502 71790
[NR-eGR] -----
[NR-eGR] Total half perimeter of net bounding box: 169596um
[NR-eGR] Total length: 205502um, number of vias: 71790
[NR-eGR] -----
[NR-eGR] Total eGR-routed clock nets wire length: 6765um, number of vias: 3887
[NR-eGR] -----
[NR-eGR] Finished Early Global Route kernel ( CPU: 1.28 sec, Real: 1.29 sec, Curr Mem: 2922.79 MB )
```

Figure 20: Άσκηση 1 Βήμα 13 M (1)-M (11) Πόροι.

```

Innovus 12> reportCongestion -hotSpot
[hotspot] +-----+
[hotspot] |         | max hotspot | total hotspot |
[hotspot] +-----+
[hotspot] | normalized | 0.00 | 0.00 |
[hotspot] +-----+
Local HotSpot Analysis: normalized max congestion hotspot area = 0.00, normalized total congestion hotspot area = 0.00 (area is in unit of 4 std-cell row bins)
Innovus 13>

```

Figure 21: Άσκηση 1 Βήμα 13 M (1) - M (11) Congestion.

- M (8) – M (10)

Χρησιμοποιούνται 326819 vias καθώς και ένα wirelength ίσο με 208585um και έχουμε κάποια συμφόρηση .

```

[NR-eGR] Started Early Global Route kernel ( Curr Mem: 2930.77 MB )
[NR-eGR] Num Prerouted Nets = 0 Num Prerouted Wires = 0
[NR-eGR] Read 10491 nets ( ignored 0 )
[NR-eGR] There are 1 clock nets ( 0 with NDR ).
[NR-eGR] Layer group 1: route 10491 net(s) in layer range [8, 10]
[NR-eGR] Early Global Route overflow of layer group 1: 1.40% H + 0.19% V. EstWL: 1.975956e+05um
[NR-eGR] Overflow after Early Global Route 1.70% H + 0.20% V
[NR-eGR] Length (um) Vias
[NR-eGR] -----
[NR-eGR] Metal1 (1H) 0 37683
[NR-eGR] Metal2 (2V) 0 37798
[NR-eGR] Metal3 (3H) 0 37844
[NR-eGR] Metal4 (4V) 0 37905
[NR-eGR] Metal5 (5H) 0 37929
[NR-eGR] Metal6 (6V) 0 37954
[NR-eGR] Metal7 (7H) 0 37964
[NR-eGR] Metal8 (8V) 84309 58007
[NR-eGR] Metal9 (9H) 99469 3734
[NR-eGR] Metal10 (10V) 24807 1
[NR-eGR] Metal11 (11H) 0 0
[NR-eGR] -----
[NR-eGR] Total 208585 326819
[NR-eGR] -----
[NR-eGR] Total half perimeter of net bounding box: 169596um
[NR-eGR] Total length: 208585um, number of vias: 326819
[NR-eGR] -----
[NR-eGR] Total eGR-routed clock nets wire length: 6896um, number of vias: 17479
[NR-eGR] -----
[NR-eGR] Finished Early Global Route kernel ( CPU: 0.93 sec, Real: 0.94 sec, Curr Mem: 2924.77 MB )

```

Figure 22: Άσκηση 1 Βήμα 13 M (8) - M (10) Πόροι.

```

Innovus 13> reportCongestion -hotSpot
[hotspot] +-----+
[hotspot] |         | max hotspot | total hotspot |
[hotspot] +-----+
[hotspot] | normalized | 3.56 | 8.44 |
[hotspot] +-----+
Local HotSpot Analysis: normalized max congestion hotspot area = 3.56, normalized total congestion hotspot area = 8.44 (area is in unit of 4 std-cell row bins)
[hotspot] top 5 congestion hotspot bounding boxes and scores of normalized hotspot
[hotspot] +-----+
[hotspot] | top | hotspot bbox | hotspot score |
[hotspot] +-----+
[hotspot] | 1 | 206.52 103.93 220.20 117.61 | 3.11 |
[hotspot] +-----+
[hotspot] | 2 | 172.32 35.53 186.00 49.21 | 1.33 |
[hotspot] +-----+
[hotspot] | 3 | 69.72 35.53 83.40 49.21 | 0.89 |
[hotspot] +-----+
[hotspot] | 4 | 151.80 35.53 165.48 49.21 | 0.89 |
[hotspot] +-----+
[hotspot] | 5 | 56.04 97.09 69.72 110.77 | 0.89 |
[hotspot] +-----+

```

Figure 23: Άσκηση 1 Βήμα 13 M (8) - M (10) Congestion.

Βήμα 14

Τώρα θα προχωρήσουμε με την σύνθεση του Δένδρου Ρολογιού. Αυτό θα γίνει με την χρήση ενός Non Default Rule. Για το trunk του δέντρου θα χρησιμοποιήσουμε (2W1S) και θα θέσουμε την επιθυμητή στρέβλωση στα 200 ps και το μέγιστο ρυθμό μετάβασης του ρολογιού ίσο με 200 ps. Ενώ για τα leaves θα αφήσουμε τις Default διαστάσεις. Αυτό θα γίνει με τις εξής εντολές:

```
create_route_type -top_preferred_layer 9 -bottom_preferred_layer 5 -non_default_rule NDR_13  
-name t_route -preferred_routing_layer_effort high
```

```
set_ccopt_property -net_type trunk -route_type t_route
```

```
set_ccopt_property target_skew 0.2
```

```
set_ccopt_property target_max_trans 0.2
```

```
create_route_type -top_preferred_layer 9 -bottom_preferred_layer 5 -name l_route -  
preferred_routing_layer_effort high
```

```
set_ccopt_property -net_type leaf -route_type l_route
```

```
set_ccopt_property target_skew 0.2
```

```
set_ccopt_property target_max_trans 0.2
```

Έπειτα δημιουργήθηκε ένα αρχείο spec, το δέντρο ρολογιού, και έγινε βελτιστοποίηση του

```
create_ccopt_clock_tree_spec -file step14_1.spec
```

```
ccopt_design
```

```
optDesign -postCTS
```

Έπειτα εξάγονται οι αναφορές μέσω των εντολών:

```
report_power > report_power_step14.txt
```

```
report_area > report_area_step14.txt
```

```
report_timing > report_timing_step14.txt
```

```
report_ccopt_clock_trees > report_ccopt_clock_trees_step14.txt
```

```
report_ccopt_skew_groups > report_ccopt_skew_groups_step14.txt
```

Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1.16736496W	0.69948311W	0.46720401W	0.00067784W	2.007ns	31904.496

Table 3: Άσκηση 1 Βήμα 14 PPA.

Buffers	Skew Groups	Min depth	Max depth	Trunk wirelength	Leaves wirelength
38	2	2	2	733.765um	7380.540um

Table 4: Άσκηση 1 Βήμα 14 Clock Stats.

Target and measured clock slews (in ns):

Timing Corner	Worst Rising Leaf Slew	Worst Falling Leaf Slew	Worst Rising Trunk Slew	Worst Falling Trunk Slew	Leaf Slew Target Type	Leaf Slew Target	Trunk Slew Target Type	Trunk Slew Target
default_emulate_delay_corner:both.early	0.175	0.209	0.159	0.192	ignored	-	ignored	-
default_emulate_delay_corner:both.late	0.177	0.211	0.160	0.193	explicit	*0.200	explicit	0.200

Figure 24: Άσκηση 1 Βήμα 14 Slew Requirments.

Skew Group Summary:

Timing Corner	Skew Group	ID Target	Min ID	Max ID	Avg ID	Std.Dev. ID	Skew Target Type	Skew Target	Skew	Skew window occupancy
default_emulate_delay_corner:both.early	clk/default_emulate_constraint_mode	-	0.361	0.392	0.380	0.009	ignored	-	0.031	-
default_emulate_delay_corner:both.late	clk/default_emulate_constraint_mode	none	0.406	0.436	0.424	0.008	explicit	0.200	0.030	100% {0.406, 0.436}

Figure 25: Άσκηση 1 Βήμα 14 Skew Requirments.

Όπως μπορούμε να επιβεβαιώσουμε και από τις παραπάνω εικόνες ικανοποιούνται ο στόχος για τη στρέβλωση και το μέγιστο ρυθμό μετάβασης που θέσαμε.

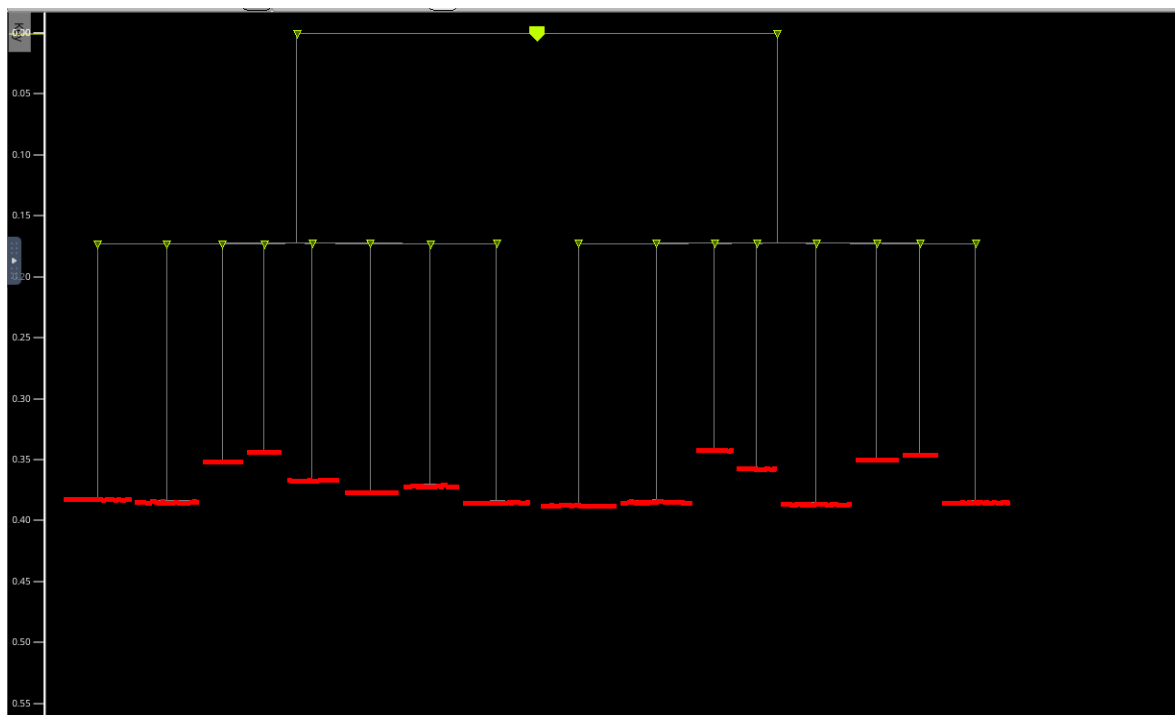


Figure 26: Άσκηση 1 Βήμα 14 Clock Tree.

Βήμα 15

Εκτελούμε τώρα τη δρομολόγηση, επιλέγοντας τις ρυθμίσεις Fix Antenna, SI Driven και Timing Driven με effort 5, καθώς και Medium Effort για το Via Optimization.

NanoRoute — cn90.it.auth.gr

Routing Phase

☒ Global Route

☒ Detail Route End Iteration 1

Post Route Optimization ☐ Optimize Via ☐ Optimize Wire

Concurrent Routing Features

☒ Fix Antenna ☐ Insert Diodes Diode Cell Name

☒ Timing Driven Effort 5 Congestion Timing S.M.A.R.T.

☒ SI Driven

☐ Litho Driven

☐ Post Route Litho Repair

Routing Control

☐ Selected Nets Only Bottom Layer 1 Top Layer 11

☐ ECO Route

☐ Area Route Area Select Area and Route

Job Control

☒ Auto Stop

Number of Local CPU(s): 1

Number of CPU(s) per Remote Machine: 1

Number of Remote Machine(s): 0

Set Multiple CPU...

OK Apply Attribute Mode... Save Load Cancel Help

Figure 27: Άσκηση 1 Βήμα 15 Route Settings (1).

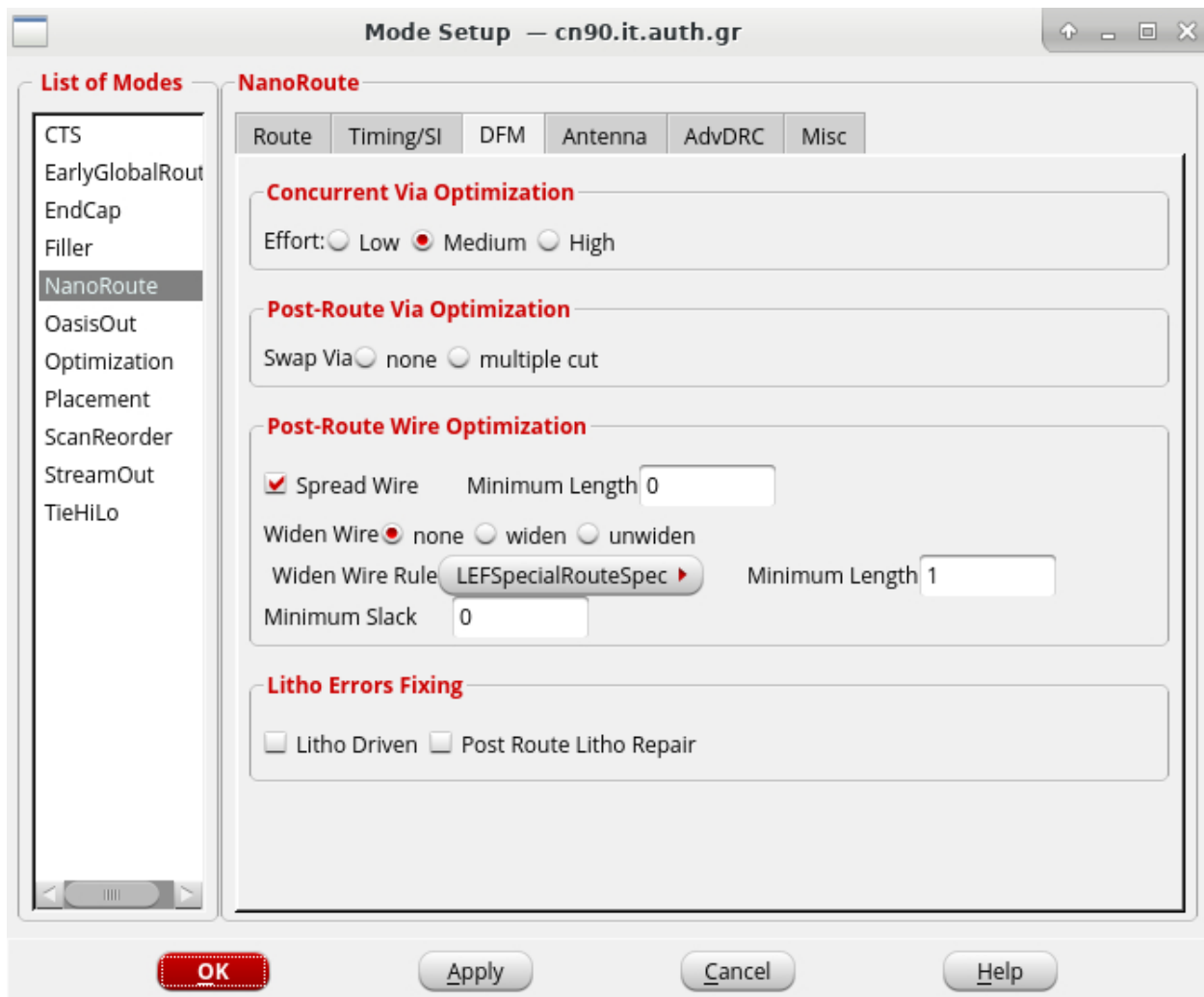


Figure 28: Άσκηση 1 Βήμα 15 Route Settings (2).

Έπειτα εκτελούμε τις παρακάτω εντολές για να εφαρμόσουμε την βελτιστοποίηση. Οι δύο πρώτες εντολές χρειάστηκαν γιατί χωρίς αυτές δεν μπορούσε να γίνει η βελτιστοποίηση και για -setup και -hold.

```
setDelayCalMode -engine aae -SIAware true
```

```
setAnalysisMode -analysisType onChipVariation -cpr both
```

```
optDesign -postRoute -setup -hold
```

Ύστερα εξήγαμε τα απαραίτητα χαρακτηριστικά μέσω των εντολών:

```
report_power > report_power_step15.txt
```

```
report_area > report_area_step15.txt
```

report_timing > report_timing_step15.txt

Τα οποία παρουσιάζονται στον πίνακα παρακάτω.

Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1.15392437W	0.70019195W	0.45305455W	0.00067787W	2.340ns	31904.838

Table 5: Άσκηση 1 Βήμα 15

Βήμα 16

Φτάνοντας στο τελευταίο βήμα της άσκησης 1 πρέπει να κάνουμε έλεγχο DRC , connectivity και να βάλουμε τέλος τα fillers.

```
innovus 39> #-check_ndr_spacing auto # enums={true false auto}, default=auto, us
er setting
#-check_same_via_cell true # bool, default=false, user setting
#-report picorv32.drc.rpt # string, default="", user setting
*** Starting Verify DRC (MEM: 4252.4) ***

VERIFY DRC ..... Starting Verification
VERIFY DRC ..... Initializing
VERIFY DRC ..... Deleting Existing Violations
VERIFY DRC ..... Creating Sub-Areas
VERIFY DRC ..... Using new threading
VERIFY DRC ..... Sub-Area: {0.000 0.000 83.520 78.720} 1 of 9
VERIFY DRC ..... Sub-Area : 1 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {83.520 0.000 167.040 78.720} 2 of 9
VERIFY DRC ..... Sub-Area : 2 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {167.040 0.000 249.400 78.720} 3 of 9
VERIFY DRC ..... Sub-Area : 3 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {0.000 78.720 83.520 157.440} 4 of 9
VERIFY DRC ..... Sub-Area : 4 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {83.520 78.720 167.040 157.440} 5 of 9
VERIFY DRC ..... Sub-Area : 5 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {167.040 78.720 249.400 157.440} 6 of 9
VERIFY DRC ..... Sub-Area : 6 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {0.000 157.440 83.520 233.510} 7 of 9
VERIFY DRC ..... Sub-Area : 7 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {83.520 157.440 167.040 233.510} 8 of 9
VERIFY DRC ..... Sub-Area : 8 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {167.040 157.440 249.400 233.510} 9 of 9
VERIFY DRC ..... Sub-Area : 9 complete 0 Viols.

Verification Complete : 0 Viols.

*** End Verify DRC (CPU: 0:00:04.8 ELAPSED TIME: 5.00 MEM: 0.0M) ***
innovus 39> █
```

Figure 29: Άσκηση 1 Βήμα 16 DRC Check.

Αφού το DRC δεν έχει κάποια violations κάνουμε verify connectivity.


```

innovus 39> VERIFY_CONNECTIVITY use new engine.

***** Start: VERIFY CONNECTIVITY *****
Start Time: Wed Jan 10 19:32:57 2024

Design Name: picorv32
Database Units: 2000
Design Boundary: (0.0000, 0.0000) (249.4000, 233.5100)
Error Limit = 1000; Warning Limit = 50
Check all nets
**** 19:32:58 **** Processed 5000 nets.
**** 19:32:58 **** Processed 10000 nets.

Begin Summary
  Found no problems or warnings.
End Summary

End Time: Wed Jan 10 19:32:58 2024
Time Elapsed: 0:00:01.0

***** End: VERIFY CONNECTIVITY *****
  Verification Complete : 0 Viols. 0 Wrngs.
  (CPU Time: 0:00:01.0 MEM: 0.000M)

innovus 39>

```

Figure 30: Άσκηση 1 Βήμα 16 Verify Connectivity.

Μετά και το verify connectivity θα κάνουμε το metal filling.

Iteration Name:

Fill Mode: ☒ Fill Wire ☐ Fill Wire OPC

Layer	Window Size		Step Size		Metal Density %			
	X	Y	X	Y	Min	Pref	Max	Ext
Metal1(1)	120.000	120.000	60.000	60.000	20.00	35.00	65.00	35.00
Metal2(2)	120.000	120.000	60.000	60.000	20.00	35.00	65.00	35.00
Metal3(3)	120.000	120.000	60.000	60.000	20.00	35.00	65.00	35.00
Metal4(4)	120.000	120.000	60.000	60.000	20.00	35.00	65.00	35.00
Metal5(5)	120.000	120.000	60.000	60.000	20.00	35.00	65.00	35.00
Metal6(6)	120.000	120.000	60.000	60.000	20.00	35.00	65.00	35.00
Metal7(7)	120.000	120.000	60.000	60.000	20.00	35.00	65.00	35.00
Metal8(8)	120.000	120.000	60.000	60.000	20.00	35.00	65.00	35.00
Metal9(9)	120.000	120.000	60.000	60.000	20.00	35.00	65.00	35.00
Metal10(10)	120.000	120.000	60.000	60.000	20.00	35.00	65.00	35.00
Metal11(11)	120.000	120.000	60.000	60.000	20.00	35.00	65.00	35.00

Buttons: **OK** Apply Save... Load... Defaults Cancel Help

Figure 31: Άσκηση 1 Βήμα 16 Min Density.

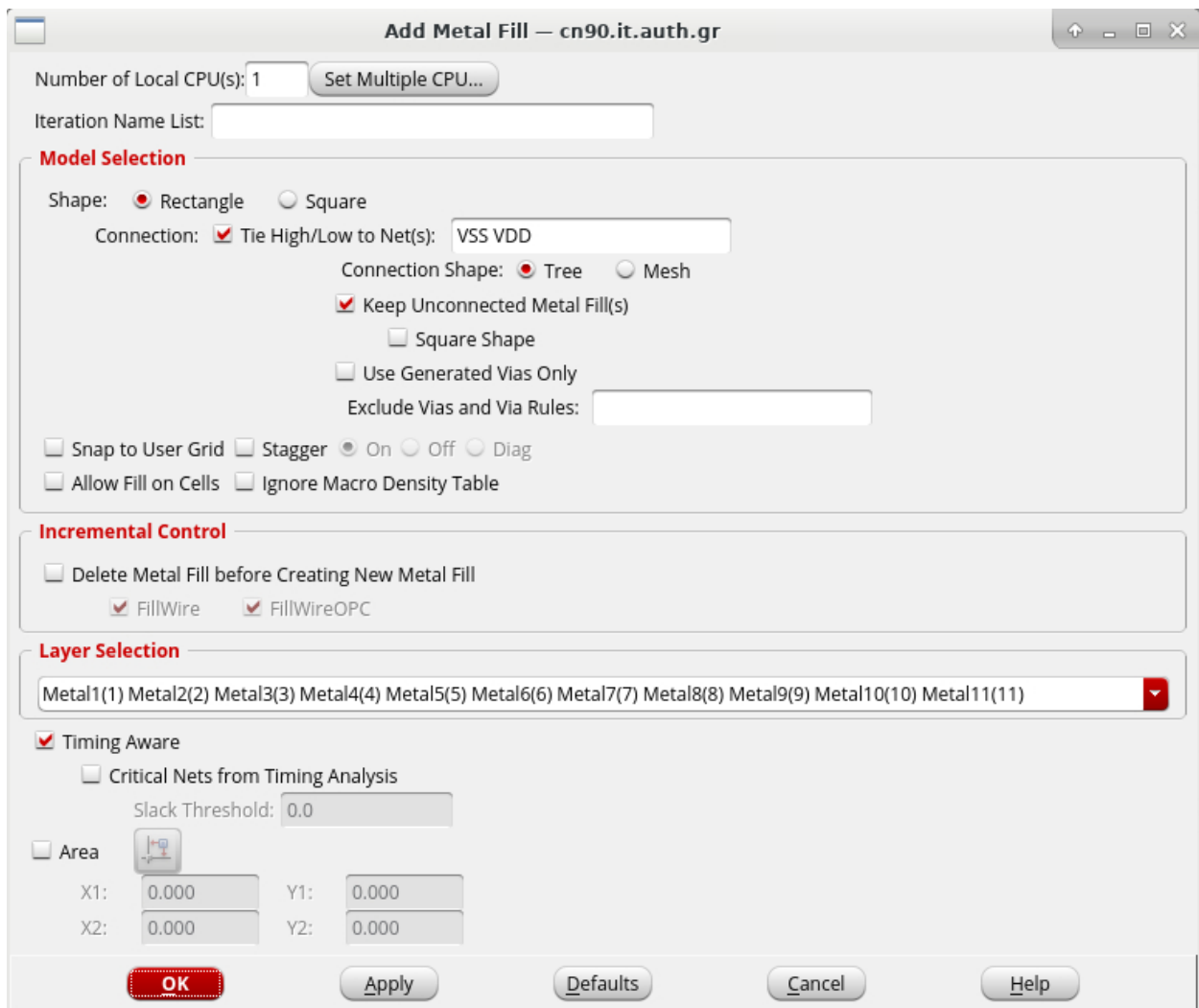


Figure 32: Άσκηση 1 Βήμα 16 Metal Fill.

Η ολοκληρωτική εικόνα του chip είναι αυτή:

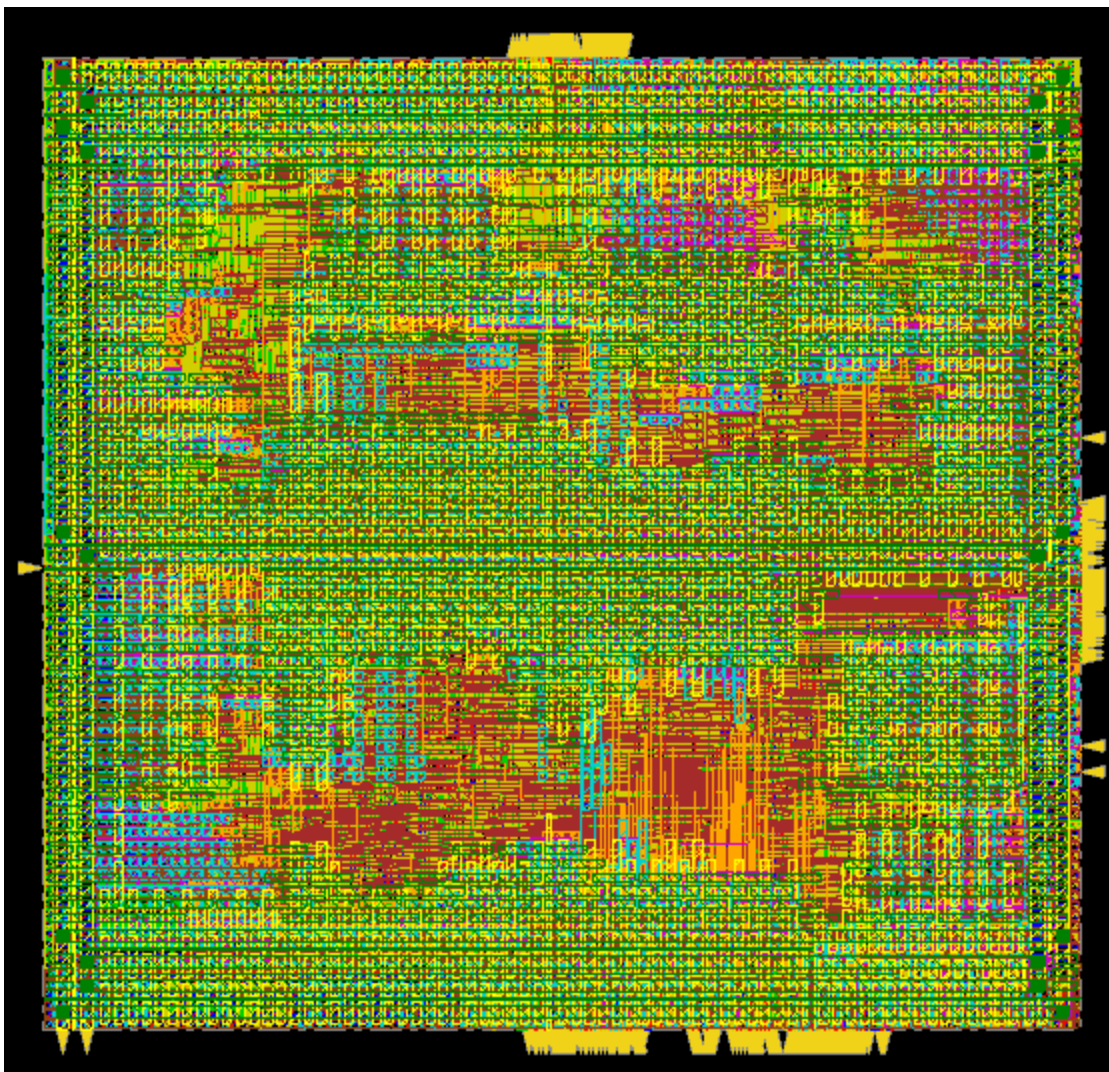


Figure 33: Άσκηση 1 Βήμα 16 Chip.

Άσκηση 2

Βήμα 9-11

Σε αυτήν την άσκηση εκτελέστηκαν τα βήματα 9-15 της άσκησης 1, επιλέγοντας ποσοστό χρήσης πυρήνα 80% στο Βήμα 9. Στο βήμα 11 κάνουμε μια αποτίμηση του κυκλώματος μας στο στάδιο του placement.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	0.90887390W	0.68827092W	0.21992971W	0.00067327W	1.305ns	31709.556
2 ^η Άσκηση	0.90454851W	0.68807438W	0.21580098W	0.00067315W	1.756ns	31771.458
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Αυξήθηκε	Αυξήθηκε

Table 6: Άσκηση 2 Βήμα 9-11 PPA.

Βήμα 12-14

Στο βήμα 14 αφού έχουμε κάνει και το Early Global Route αποτιμάμε ξανά τα χαρακτηριστικά στο στάδιο post-CTS και τα συγκρίνουμε με την άσκηση 1.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area	Wirelength	Vias
1 ^η Άσκηση	1.16736496W	0.69948311W	0.46720401W	0.00067784W	2.007ns	31904.496	205502um	71790
2 ^η Άσκηση	0.99559484W	0.69840156W	0.29651682W	0.00067646W	1.756ns	31771.458	181204um	72144
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Αυξήθηκε

Table 7: Άσκηση 2 Βήμα 12-14 PPA.

Βήμα 15

Τώρα βρισκόμαστε το στάδιο post-Route, αποτιμάμε ξανά τα χαρακτηριστικά τα συγκρίνουμε με την άσκηση 1.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	1.15392437W	0.70019195W	0.45305455W	0.00067787W	2.340ns	31904.838
2 ^η Άσκηση	1.00221616W	0.69834011W	0.30319957W	0.00067648W	1.935ns	31833.360
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε

Table 8: Άσκηση 2 Βήμα 15 PPA.

Παρατηρείται ότι ο αριθμός των νias στην άσκηση 2 αυξήθηκε (όπου αυξήθηκε σε 80% το ποσοστό χρήσης πυρήνα) σε σχέση με την άσκηση 1. Κάτι το οποίο είναι αναμενόμενο γιατί ο αριθμός των κελιών αυξήθηκε ενώ η επιφάνεια μειώνεται, οπότε λόγω «εμποδίων» (κυκλωμάτων ή άλλων διασυνδέσεων) δεν θα υπάρχει διαθέσιμος χώρος σε κάθε επίπεδο μετάλλου, οπότε απαιτούνται περισσότερα νias και μικρότερο wirelength. Επιπλέον με την μείωση του μήκους διασυνδέσεων, η συνολική ισχύς και κυρίως η Switching Power μειώθηκε.

Άσκηση 3

Βήμα 1-6

Σε αυτή την άσκηση προσπαθήσαμε να βελτιστοποιήσουμε την ισχύ και συγκεκριμένα την ισχύ διαρροής (leakage power). Αυτό πραγματοποιήθηκε βάζοντας τις κατάλληλες εντολές και στο Genus και στο Innonus. Όσο αφορά το Genus εκεί προσθέσαμε στο αρχείο .tcl τις εξής εντολές:

```
#enable power optimization.

set_db design_power_effort high

set_db opt_leakage_to_dynamic_ratio 1.0
```

	Area	Gates	Slack	Power	Leakage Power	Clock
1 ^η Άσκηση	44134.99	9104	29ps	9.21632e-04 W	6.54515e-07W	10ns
3 ^η Άσκηση	47926.485	9915	8ps	6.40562e-04 W	5.26391e-07W	10ns
	Αυξήθηκε	Αυξήθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	

Table 9: Άσκηση 3 Βήμα 1-6 PPA.

Βήμα 7-11

Τώρα κάνουμε το placement και επιλέγουμε στο mode setup τις εξής ρυθμίσεις:

Mode Setup — cn88.it.auth.gr

List of Modes

- CTS
- EarlyGlobalRoute
- EndCap
- Filler
- NanoRoute
- OasisOut
- Optimization**
- Placement
- ScanReorder
- StreamOut
- TieHiLo

Optimization Mode

Timing Effort

☐ Low ☒ High

Power Effort

☐ None ☐ Low ☒ High

Leakage to Dynamic Ratio: 1

Area Optimization

☒ Reclaim Area ☒ Simplify Netlist

Optimization Target

☒ WNS only ☐ WNS and TNS

Thresholds

Setup Slack (ns): 0 Hold Slack (ns): 0

Max Density: 0.95 DRV Margin: 0

Useful Skew

☒ Allow ☐ No Boundary Skewing

Maximum Allowed Delay: 1

Set Defaults

OK **Apply** **Cancel** **Help**

Figure 34: Άσκηση 3 Βήμα 7-11 Placement Settings.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	0.90887390W	0.68827092W	0.21992971W	0.00067327W	1.305ns	31709.556
3 ^η Άσκηση	0.75866740W	0.54929270W	0.20885539W	0.00051931W	1.154ns	35063.892
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Αυξήθηκε

Table 10: Άσκηση 3 Βήμα 7-11 PPA.

Βήμα 12-14

Τώρα μετά, την σύνθεση του δέντρου ρολογιού αποτιμάμε ξανά τα χαρακτηριστικά και τα συγκρίνουμε με αυτά της άσκησης 1.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	1.16736496W	0.69948311W	0.46720401W	0.00067784W	2.007ns	31904.496
3 ^η Άσκηση	0.85287663W	0.56079926W	0.29155493W	0.00052244W	1.756ns	35019.090
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Αυξήθηκε

Table 11: Άσκηση 3 Βήμα 12-24 PPA.

Βήμα 15

Τώρα στο Nanoroute ενεργοποιούμε ξανά την βελτιστοποίηση της ισχύος.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	1.15392437W	0.70019195W	0.45305455W	0.00067787W	2.340ns	31904.838
3 ^η Άσκηση	0.84554465W	0.56138010W	0.28364200W	0.00052255W	1.496ns	35018.064
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Αυξήθηκε

Table 12: Άσκηση 3 Βήμα 15 PPA.

Στην άσκηση αυτήν ενεργοποιήθηκε η βελτιστοποίηση της ισχύος διαρροής με high effort όπως και για τον χρονισμό, ενώ στην άσκηση 1 είχε ενεργοποιηθεί high effort μόνο στην βελτιστοποίηση του χρονισμού, χωρίς βελτιστοποίηση της ισχύος. Οπότε ήταν αναμενόμενο ότι η ισχύς διαρροής να μειωθεί σημαντικά (και κάθε τύπος ισχύος μειώθηκε) συγκριτικά με την άσκηση 1. Επιπλέον, στα υπόλοιπα βήματα σχεδίασης, αυξήθηκε η επιφάνεια του κυκλώματος και μειώθηκε το slack.

Άσκηση 4

Βήμα 1-6

Επαναλαμβάνουμε τώρα τα βήματα 1-15 της Άσκησης 1 αλλά αυτή τη φορά με περίοδο ρολογιού $T = 8\text{ns}$. Η αλλαγή αυτή θα πρέπει να γίνει στο αρχείο .sdc οπότε και αυτό παίρνει την εξής μορφή:

```
#SDC RESTRICTIONS FILE#
```

```
#with NO extra commands
```

```
#1)create clock with 50 % duty cycle, period =8ns, name = clk.
```

```
create_clock -name clk -period 8 -waveform {0 4} [get_ports clk]
```

```
#2)set clock latency = 0.5 ns (500 ps).
```

```
set_clock_latency -source 0.5 [get_clocks clk]
```


#3)#Sets the clock uncertainty = 0.08ns (80 ps).

```
set_clock_uncertainty 0.08 [get_clocks clk]
```

#4)Set clock rise and fall = 1% of total period.

```
set_clock_transition 0.1 [get_clocks clk]
```

#5)set 1.5ns output delay for SETUP time.

```
set_output_delay -max 1.5 -clock clk -network_latency_included [all_outputs]
```

#6)set 0.5ns delay for HOLD time.

```
set_output_delay -min 0.5 -clock clk -network_latency_included [all_outputs]
```

#7)set capacity for SETUP time analysis = 0.5pF.

```
set_load 0.5 -max all_outputs;
```

#8)set capacity for HOLD time analysis = 0.05pF.

```
set_load 0.05 -min all_outputs;
```

#9)set 1.5ns input delay for SETUP time.

```
set_input_delay -max 1.5 -clock clk -network_latency_included [all_inputs]
```

#10)set 0.5ns input delay for HOLD time.

```
set_input_delay -min 0.5 -clock clk -network_latency_included [all_inputs]
```

#11)set input driving cell.BUFX2 for SETUP and BUFX16 for HOLD.

```
set_driving_cell -max -lib_cell BUFX2 [all_inputs]
```

```
set_driving_cell -min -lib_cell BUFX16 [all_inputs]
```

	Area	Gates	Slack	Power	Clock
1 ^η Άσκηση	44134.990	9104	29ps	9.21632e-04W	10ns
4 ^η Άσκηση	45174.872	9633	2ps	1.00633e-03W	8ns
	Αυξήθηκε	Μειώθηκε	Μειώθηκε	Αυξήθηκε	

Table 13: Άσκηση 4 Βήμα 1-6 PPA.

Βήμα 7-11

Τώρα εξάγουμε τα χαρακτηριστικά για pre-CTS, και τα συγκρίνουμε με την άσκηση 1.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	0.90887390W	0.68827092W	0.21992971W	0.00067327W	1.305ns	31709.556
4 ^η Άσκηση	1.14120877W	0.85830623W	0.28221558W	0.00068695W	0.605ns	32241.366
	Αυξήθηκε	Αυξήθηκε	Αυξήθηκε	Αυξήθηκε	Μειώθηκε	Αυξήθηκε

Table 14: Άσκηση 4 Βήμα 7-11 PPA.

Βήμα 12-14

Σε αυτό το βήμα εξάγουμε τα χαρακτηριστικά του κυκλώματος για post-CTS, και τα συγκρίνουμε με την άσκηση 1.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	1.16736496W	0.69948311W	0.46720401W	0.00067784W	2.007ns	31904.496
4 ^η Άσκηση	1.25917800W	0.87319764W	0.38528919W	0.00069118W	0.625ns	32333.022
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Αυξήθηκε

Table 15: Άσκηση 4 Βήμα 12-14 PPA.

Βήμα 15

Σε αυτό το βήμα εξάγουμε τα χαρακτηριστικά του κυκλώματος για post-Route, και τα συγκρίνουμε με την άσκηση 1.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	1.15392437W	0.70019195W	0.45305455W	0.00067787W	2.340ns	31904.838
4 ^η Άσκηση	1.24900073W	0.87402587W	0.37428368W	0.00069118W	0.515ns	32333.022
	Αυξήθηκε	Αυξήθηκε	Μειώθηκε	Αυξήθηκε	Μειώθηκε	Αυξήθηκε

Table 16: Άσκηση 4 Βήμα 15 PPA.

Στην άσκηση 4 μειώθηκε η περίοδος ρολογιού σε 8 ns (αυξήθηκε η συχνότητα). Είναι όντως δυνατή η επιτάχυνση του κυκλώματος, με κόστος όμως στην καταναλισκόμενη ισχύ, η οποία αυξήθηκε συγκριτικά με την άσκηση 1. Η επιφάνεια αυξήθηκε ελάχιστα ενώ και το slack μειώθηκε όπως ήταν αναμενόμενο.

Άσκηση 5

Βήμα 1-6

Σε αυτήν την άσκηση εκτελέστηκαν τα βήματα 1-16 της άσκησης 1, αλλά αυτήν την φορά χρησιμοποιήθηκε στο Βήμα 1 η slow_vdd1v0_multibitsDFF.lib και η gsclib045_multibitsDFF.lef, μαζί με τις αρχικές βιβλιοθήκες, στο genus και το innonus. Αρχικά αλλάζουμε το αρχείο .tcl και του δίνουμε την εξής μορφή.

#setup path for library

```
set_db init_lib_search_path
/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference_libs/GPDK045/gsc
lib045_svt_v4.4/gsclib045/timing
```

#setup script path

```
set_db script_search_path Desktop/VLSI/Script/
```

#setup hdl path

```
set_db init_hdl_search_path Desktop/VLSI/Verilog/
```

#Setup timing library

```
set_db library {
/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference_libs/GPDK045/gsc
lib045_svt_v4.4/gsclib045/timing/slow_vdd1v0_basicCells.lib
/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference_libs/GPDK045/gsc
lib045_svt_v4.4/gsclib045/timing/slow_vdd1v0_multibitsDFF.lib }
```

#end

#Setup lef library

```
set_db lef_library
{/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference_libs/GPDK045/gs
clib045_svt_v4.4/gsclib045/lef/gsclib045_tech.lef
/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference_libs/GPDK045/gsc
lib045_svt_v4.4/gsclib045/lef/gsclib045_macro.lef
/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference_libs/GPDK045/gsc
lib045_svt_v4.4/gsclib045/lef/gsclib045_multibitsDFF.lef }
```

#end

#Setup qrc library

```
read_qrc
/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference_libs/GPDK045/gsc
lib045_svt_v4.4/gsclib045/qrc/qx/gpdk045.tch
```

#end

```

#use multibits

set_db use_multibit_cells true


#setup hdl file

read_hdl picorv32.v


#elaborate

elaborate "picorv32"


#check design

check_design -all > Desktop/VLSI/Exercises/Ex5/Step1-7/v3/Checks/Ex5_Step1-
7_v3_Check_Design.txt


#read the sdc file

read_sdc Ex1_Step4_v3.sdc


#check timing intent

check_timing_intent > Desktop/VLSI/Exercises/Ex5/Step1-7/v3/Checks/Ex5_Step1-
7_v3_Check_Timing_Intent.txt


# setting forinnovus

set_db / .use_scan_seqs_for_non_dft false


#do syn_generic

syn_generic


#do syn_map

syn_map

```

#do optimation

syn_opt

#report area

report_area > Desktop/VLSI/Exercises/Ex5/Step1-7/v3/Reports/Ex5_Step1-7_v3_Area.txt

#report gates

report_gates > Desktop/VLSI/Exercises/Ex5/Step1-7/v3/Reports/Ex5_Step1-7_v3_Gates.txt

#report timing

report_timing > Desktop/VLSI/Exercises/Ex5/Step1-7/v3/Reports/Ex5_Step1-7_v3_Timing.txt

#report power

report_power > Desktop/VLSI/Exercises/Ex5/Step1-7/v3/Reports/Ex5_Step1-7_v3_Power.txt

#report qor

report_qor > Desktop/VLSI/Exercises/Ex5/Step1-7/v3/Reports/Ex5_Step1-7_v3_Qor.txt

#export design

#----- #optional steps

write_hdl > Desktop/VLSI/Exercises/Ex5/Step1-7/v3/Exported/Ex5_Step1-7_v3_design.v

write_sdc > Desktop/VLSI/Exercises/Ex5/Step1-7/v3/Exported/Ex5_Step1-7_v3_constraints.sdc

write_script > Desktop/VLSI/Exercises/Ex5/Step1-7/v3/Exported/Ex5_Step1-7_v3_constraints.g

this line is for innovus tool and generate default folder

write_design -innovus picorv32

#end use of genus no go on innovus

Exit

Εξάγουμε τώρα έναν πίνακα αποτελεσμάτων για το βήμα 6.

	Area	Gates	Slack	Power	Clock
1 ^η Άσκηση	44134.990	9104	29ps	9.21632e-04W	10ns
5 ^η Άσκηση	45427.643	9087	18ps	8.55123e-04W	10ns
	Αυξήθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	

Table 17: Άσκηση 5 Βήμα 1-6 PPA.

Βήμα 7-11

Σε αυτό το σημείο εξάγουμε έναν πίνακα αποτελεσμάτων για το στάδιο pre-CTS, και τον συγκρίνουμε με τον αντίστοιχο της άσκησης 1.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	0.90887390W	0.68827092W	0.21992971W	0.00067327W	1.305ns	31709.556
5 ^η Άσκηση	0.80930797W	0.55653223W	0.25207420W	0.00070154W	1.780ns	31625.424
	Μειώθηκε	Μειώθηκε	Αυξήθηκε	Αυξήθηκε	Αυξήθηκε	Μειώθηκε

Table 18: Άσκηση 5 Βήμα 7-11 PPA.

Βήμα 12-14

Σε αυτό το σημείο εξάγουμε δύο πίνακες αποτελεσμάτων για το στάδιο post-CTS, και τους συγκρίνουμε με τους αντίστοιχους της άσκησης 1.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	1.16736496W	0.69948311W	0.46720401W	0.00067784W	2.007ns	31904.496
5 ^η Άσκηση	0.84087490W	0.56224816W	0.27792359W	0.00070315W	2.039ns	31669.200
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Αυξήθηκε	Αυξήθηκε	Μειώθηκε

Table 19: Άσκηση 5 Βήμα 12-14 PPA.

	Buffers	Skew Groups	Min depth	Max depth	Trunk wirelength	Leaves wirelength
1 ^η Άσκηση	38	2	2	2	733.765um	7380.540um
5 ^η Άσκηση	18	2	2	2	413.220um	3618.550um

Table 20: Άσκηση 5 Βήμα 12-14 Clock Stats.

Worst Rising Trunk Slew	Worst Falling Trunk Slew
0.121	0.148
0.123	0.148

Figure 35: Άσκηση 5 Βήμα 12-14 Slew.

Skew Target	Skew
-	0.045
0.200	0.045

Figure 36: Άσκηση 5 Βήμα 12-14 Skew.

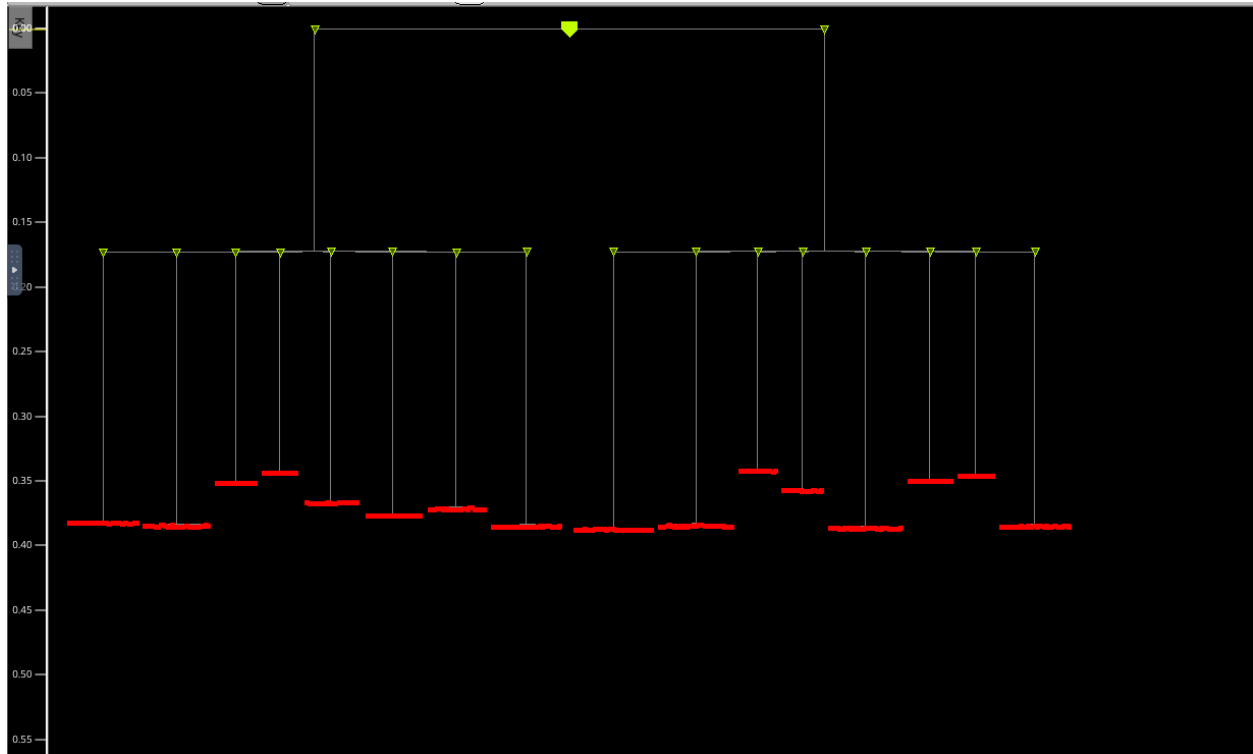


Figure 37: Άσκηση 5 Βήμα 12-14 Clock Tree.

Βήμα 15

Στο βήμα αυτό εξάγουμε έναν πίνακα αποτελεσμάτων για το στάδιο post-Route, και τον συγκρίνουμε με τον αντίστοιχο της άσκησης 1.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	1.15392437W	0.70019195W	0.45305455W	0.00067787W	2.340ns	31904.838
5 ^η Άσκηση	0.83415074W	0.56241925W	0.27102834W	0.00070315W	2.132ns	31669.200
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Αυξήθηκε	Μειώθηκε	Μειώθηκε

Table 21: Άσκηση 5 Βήμα 15 PPA.

Στην άσκηση 5 με την χρήση των «multibits» βιβλιοθηκών μειώθηκε σημαντικά η καταναλισκόμενη ισχύς, η επιφάνεια μειώθηκε σε μικρό βαθμό, ενώ το slack μειώθηκε από 2.340ps σε 2.132ps. Παράλληλα οι buffers ρολογιού, το βάθος ρολογιού και τα μήκη δρομολόγησης trunk/leaves μειώθηκαν διότι με την χρήση των multibitsDFF συγχωνευτήκαν μεμονωμένοι καταχωρητές και έτσι χρειάστηκαν λιγότεροι buffers και μικρότερο μήκος αγωγών.

Άσκηση 6

Βήμα 1-6

Σε αυτήν την άσκηση εκτελέστηκαν τα βήματα 1-16 της άσκησης 1, αλλά αυτήν την φορά ενεργοποιήθηκε στο Βήμα 3 η φραγή ρολογιού μέσω της εντολής `set_db lp_insert_clock_gating true`. Έτσι το αρχείο .tcl μας θα έχει αυτή την μορφή:

```
#setup path for library
```

```
set_db init_lib_search_path
```

```
/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference_libs/GPDK045/gsc  
lib045_svt_v4.4/gsclib045/timing
```

```
#setup script path
```

```
set_db script_search_path Desktop/VLSI/Script/
```

```
#setup hdl path
```

```
set_db init_hdl_search_path Desktop/VLSI/Verilog/
```

```
#Setup timing library
```

```
set_db library  
/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference_libs/GPDK045/gsc  
lib045_svt_v4.4/gsclib045/timing/slow_vdd1v0_basicCells.lib
```

```
#end
```

```
#Setup lef library
```

```

set_db lef_library
{/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference_libs/GPDK045/gs
clib045_svt_v4.4/gsclib045/lef/gsclib045_tech.lef
/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference_libs/GPDK045/gsc
lib045_svt_v4.4/gsclib045/lef/gsclib045_macro.lef}

#end

#Setup qrc library

read_qrc
/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference_libs/GPDK045/gsc
lib045_svt_v4.4/gsclib045/qrc/qx/gpdk045.tch

#end

#setup hdl file

read_hdl picorv32.v

#insert clock gating

set_db lp_insert_clock_gating true

#elaborate

elaborate "picorv32"

#check design

check_design -all > Desktop/VLSI/Exercises/Ex6/Step1-7/v3/Checks/Ex6_Step1-
7_v3_Check_Design.txt

#read the sdc file

read_sdc Ex1_Step4_v3.sdc

#check timing intent

check_timing_intent > Desktop/VLSI/Exercises/Ex6/Step1-7/v3/Checks/Ex6_Step1-
7_v3_Check_Timing_Intent.txt

```

```
# setting forinnovus

set_db / .use_scan_seqs_for_non_dft false


#do syn_generic

syn_generic


#do syn_map

syn_map


#do optimisation

syn_opt


#report area

report_area > Desktop/VLSI/Exercises/Ex6/Step1-7/v3/Reports/Ex6_Step1-7_v3_Area.txt


#report gates

report_gates > Desktop/VLSI/Exercises/Ex6/Step1-7/v3/Reports/Ex6_Step1-7_v3_Gates.txt


#report timing

report_timing > Desktop/VLSI/Exercises/Ex6/Step1-7/v3/Reports/Ex6_Step1-7_v3_Timing.txt


#report power

report_power > Desktop/VLSI/Exercises/Ex6/Step1-7/v3/Reports/Ex6_Step1-7_v3_Power.txt


#report qor

report_qor > Desktop/VLSI/Exercises/Ex6/Step1-7/v3/Reports/Ex6_Step1-7_v3_Qor.txt


#report clock gating
```

```
report_clock_gating > Desktop/VLSI/Exercises/Ex6/Step1-7/v3/Reports/Ex6_Step1-7_v3_Clock_Gating.txt
```

```
#export design
```

```
#----- #optional steps
```

```
write_hdl > Desktop/VLSI/Exercises/Ex6/Step1-7/v3/Exported/Ex6_Step1-7_v3_design.v
```

```
write_sdc > Desktop/VLSI/Exercises/Ex6/Step1-7/v3/Exported/Ex6_Step1-7_v3_constraints.sdc
```

```
write_script > Desktop/VLSI/Exercises/Ex6/Step1-7/v3/Exported/Ex6_Step1-7_v3_constraints.g
```

```
# this line is for innovus tool and generate default folder
```

```
write_design -innovus picorv32
```

```
#end use of genus no go on innovus
```

```
Exit
```

Έτσι στο τέλος του βήματος 6 παίρνουμε τα εξής αποτελέσματα όσον αφορά το PPA και το clock gating.

	Area	Gates	Slack	Power	Clock
1 ^η Άσκηση	44134.990	9104	29ps	9.21632e-04W	10ns
6 ^η Άσκηση	39012.161	8887	2ps	4.33956e-04W	10ns
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	

Table 22: Άσκηση 6 Βήμα 1-6 PPA.

```

=====
Generated by:      Genus(TM) Synthesis Solution 21.15-s080_1
Generated on:      Jan 24 2024  03:16:27 am
Module:           picorv32
Operating conditions: PVT_0P9V_125C
Interconnect mode: global
Area mode:        physical library
=====

```

Summary

Category	Number	%	Average Toggle Saving %
Total Clock Gating Instances	58	100.00	-
RC Clock Gating Instances	58	100.00	79.94
Non-RC Clock Gating Instances	0	0.00	0.00
RC Gated Flip-flops	1706	87.00	84.35
Non-RC Gated Flip-flops	0	0.00	0.00
Total Gated Flip-flops	1706	87.00	-
Total Ungated Flip-flops	255	13.00	-
Enable not found	238	93.33	-
Register bank width too small	17	6.67	-
Total Flip-flops	1961	100.00	-

Multibit Flip-flop Summary

Width	Number	Bits	RC Gated	Ungated
1-bit	1961	1961	1706 (87.00%)	255 (13.00%)

Figure 38: Άσκηση 6 Βήμα 1-6 Clock Gating.

Βήμα 7-11

Σε αυτό το σημείο εξάγουμε τον πίνακα αποτελεσμάτων για το στάδιο post-CTS, και τον συγκρίνουμε με τον αντίστοιχο της άσκησης 1.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	1.16736496W	0.69948311W	0.46720401W	0.00067784W	2.007ns	31904.496
6 ^η Άσκηση	0.65407378W	0.43416649W	0.21927456W	0.00063273W	2.252ns	27604.188
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Αυξήθηκε	Μειώθηκε

Figure 39: Άσκηση 6 Βήμα 7-11 PPA.

Επίσης παρακάτω μπορούμε να δούμε και την επιφάνεια των clock gating instances.

RC_CG_HIER_INST0	RC_CG_MOD	1	6.498
------------------	-----------	---	-------

Table 23: Άσκηση 6 Βήμα 7-11 Clock Gating Instance type 1.

RC_CG_HIER_INST42	RC_CG_MOD_42	2	8.208
-------------------	--------------	---	-------

Table 24: Άσκηση 6 Βήμα 7-11 Clock Gating Instance type 2.

Βήμα 12-14

Σε αυτό το βήμα εξάγουμε τα χαρακτηριστικά του κυκλώματος για post-CTS, και τα συγκρίνουμε με την άσκηση 1.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	1.16736496W	0.69948311W	0.46720401W	0.00067784W	2.007ns	31904.496
6 ^η Άσκηση	0.68840735W	0.44171074W	0.24606117 W	0.00063543 W	2.180ns	27641.808
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Αυξήθηκε	Μειώθηκε

Table 25: Άσκηση 6 Βήμα 12-14 PPA.

Επίσης βλέπουμε και το area των clock gating instances.

RC_CG_HIER_INST0	RC_CG_MOD	1	8.892
RC_CG_HIER_INST1	RC_CG_MOD_1	1	8.550
RC_CG_HIER_INST10	RC_CG_MOD_10	1	7.182
RC_CG_HIER_INST11	RC_CG_MOD_11	1	7.182
RC_CG_HIER_INST12	RC_CG_MOD_12	1	6.840
RC_CG_HIER_INST13	RC_CG_MOD_13	1	6.840
RC_CG_HIER_INST14	RC_CG_MOD_14	1	7.182
RC_CG_HIER_INST15	RC_CG_MOD_15	1	6.840
RC_CG_HIER_INST16	RC_CG_MOD_16	1	6.840
RC_CG_HIER_INST17	RC_CG_MOD_17	1	6.840
RC_CG_HIER_INST18	RC_CG_MOD_18	1	6.840
RC_CG_HIER_INST19	RC_CG_MOD_19	1	6.840
RC_CG_HIER_INST2	RC_CG_MOD_2	2	10.260
RC_CG_HIER_INST20	RC_CG_MOD_20	1	7.182
RC_CG_HIER_INST21	RC_CG_MOD_21	1	6.840
RC_CG_HIER_INST22	RC_CG_MOD_22	1	6.840
RC_CG_HIER_INST23	RC_CG_MOD_23	1	6.840
RC_CG_HIER_INST24	RC_CG_MOD_24	1	6.840
RC_CG_HIER_INST25	RC_CG_MOD_25	1	6.840
RC_CG_HIER_INST26	RC_CG_MOD_26	1	6.840
RC_CG_HIER_INST27	RC_CG_MOD_27	1	6.840
RC_CG_HIER_INST28	RC_CG_MOD_28	1	6.840
RC_CG_HIER_INST29	RC_CG_MOD_29	1	6.840
RC_CG_HIER_INST3	RC_CG_MOD_3	1	8.550
RC_CG_HIER_INST30	RC_CG_MOD_30	1	6.840
RC_CG_HIER_INST31	RC_CG_MOD_31	1	6.840
RC_CG_HIER_INST32	RC_CG_MOD_32	1	6.840
RC_CG_HIER_INST33	RC_CG_MOD_33	1	6.840
RC_CG_HIER_INST34	RC_CG_MOD_34	1	6.840
RC_CG_HIER_INST35	RC_CG_MOD_35	1	6.840
RC_CG_HIER_INST36	RC_CG_MOD_36	1	6.840
RC_CG_HIER_INST37	RC_CG_MOD_37	1	6.840
RC_CG_HIER_INST38	RC_CG_MOD_38	1	6.840
RC_CG_HIER_INST39	RC_CG_MOD_39	1	6.840
RC_CG_HIER_INST4	RC_CG_MOD_4	1	7.182
RC_CG_HIER_INST40	RC_CG_MOD_40	1	6.498
RC_CG_HIER_INST41	RC_CG_MOD_41	1	6.498
RC_CG_HIER_INST42	RC_CG_MOD_42	2	8.208
RC_CG_HIER_INST43	RC_CG_MOD_43	1	6.498

Figure 40: Άσκηση 6 Βήμα 12-14 Clock Gating Instances.

Βήμα 15

Σε αυτό το βήμα εξάγουμε τα χαρακτηριστικά του κυκλώματος για το post-Route στάδιο και τα συγκρίνουμε με την άσκηση 1.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	1.15392437W	0.70019195W	0.45305455W	0.00067787W	2.340ns	31904.838
6 ^η Άσκηση	0.68177828W	0.44189560W	0.23924718W	0.00063550W	2.062ns	27643.176
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε

Table 26: Άσκηση 6 Βήμα 15 PPA.

Παρακάτω έχουμε και το Area των clock gating instances.

RC_CG_HIER_INST10	RC_CG_MOD_10	1	7.182
RC_CG_HIER_INST11	RC_CG_MOD_11	1	7.182
RC_CG_HIER_INST12	RC_CG_MOD_12	1	6.840
RC_CG_HIER_INST13	RC_CG_MOD_13	1	6.840
RC_CG_HIER_INST14	RC_CG_MOD_14	1	7.182
RC_CG_HIER_INST15	RC_CG_MOD_15	1	6.840
RC_CG_HIER_INST16	RC_CG_MOD_16	1	6.840
RC_CG_HIER_INST17	RC_CG_MOD_17	1	6.840
RC_CG_HIER_INST18	RC_CG_MOD_18	1	6.840
RC_CG_HIER_INST19	RC_CG_MOD_19	1	6.840
RC_CG_HIER_INST2	RC_CG_MOD_2	2	10.260
RC_CG_HIER_INST20	RC_CG_MOD_20	1	7.182
RC_CG_HIER_INST21	RC_CG_MOD_21	1	6.840
RC_CG_HIER_INST22	RC_CG_MOD_22	1	6.840
RC_CG_HIER_INST23	RC_CG_MOD_23	1	6.840
RC_CG_HIER_INST24	RC_CG_MOD_24	1	6.840
RC_CG_HIER_INST25	RC_CG_MOD_25	1	6.840
RC_CG_HIER_INST26	RC_CG_MOD_26	1	6.840
RC_CG_HIER_INST27	RC_CG_MOD_27	1	6.840
RC_CG_HIER_INST28	RC_CG_MOD_28	1	6.840
RC_CG_HIER_INST29	RC_CG_MOD_29	1	6.840
RC_CG_HIER_INST3	RC_CG_MOD_3	1	8.550
RC_CG_HIER_INST30	RC_CG_MOD_30	1	6.840
RC_CG_HIER_INST31	RC_CG_MOD_31	1	6.840
RC_CG_HIER_INST32	RC_CG_MOD_32	1	6.840
RC_CG_HIER_INST33	RC_CG_MOD_33	1	6.840
RC_CG_HIER_INST34	RC_CG_MOD_34	1	6.840
RC_CG_HIER_INST35	RC_CG_MOD_35	1	6.840
RC_CG_HIER_INST36	RC_CG_MOD_36	1	6.840
RC_CG_HIER_INST37	RC_CG_MOD_37	1	6.840
RC_CG_HIER_INST38	RC_CG_MOD_38	1	6.840
RC_CG_HIER_INST39	RC_CG_MOD_39	1	6.840
RC_CG_HIER_INST4	RC_CG_MOD_4	1	7.182
RC_CG_HIER_INST40	RC_CG_MOD_40	1	6.498
RC_CG_HIER_INST41	RC_CG_MOD_41	1	6.498
RC_CG_HIER_INST42	RC_CG_MOD_42	2	8.208
RC_CG_HIER_INST43	RC_CG_MOD_43	1	6.498
RC_CG_HIER_INST44	RC_CG_MOD_44	1	6.498
RC_CG_HIER_INST45	RC_CG_MOD_45	1	6.498
RC_CG_HIER_INST46	RC_CG_MOD_46	1	6.498
RC_CG_HIER_INST47	RC_CG_MOD_47	1	6.498
RC_CG_HIER_INST48	RC_CG_MOD_48	2	8.208

Figure 41: Άσκηση 6 Βήμα 15 Clock Gating Instances.

Στην άσκηση αυτή ενεργοποιήθηκε η φραγή ρολογιού στα αρχικά στάδια της σύνθεσης. Η φραγή ρολογιού είναι

μια τεχνική που χρησιμοποιείται στα κυκλώματα με στόχο τη μείωση της κατανάλωσης ισχύος τους. Πράγματι συγκριτικά με την άσκηση 1, η ισχύς σε όλα τα στάδια έχει μειωθεί, ενώ παράλληλα έχει μειωθεί η επιφάνεια σε όλα τα βήματα και το slack μειώθηκε μόνο στο στάδιο post-Route.

Άσκηση 7

Βήμα 1-7

Σε αυτήν την άσκηση εκτελέστηκαν τα βήματα 1-7 της άσκησης 1. Κατά τη σύνθεση κώδικα μέσω του Genus, πρέπει να επιβεβαιωθεί ότι δεν αλλοιώθηκε το κύκλωμα από την αρχική μορφή σε κώδικα RTL σε επίπεδο λειτουργικότητας. Για το λόγο αυτό χρησιμοποιήθηκε το εργαλείο Conformal Equivalence Checking της Cadence.

Αρχικά πρέπει να κάνουμε κάποιες αλλαγές στο αρχείο .tcl ώστε να κάνουμε τις απαραίτητες συγκρίσεις που μας ζητούνται. Αυτό το πετυχαίνουμε προσθέτοντας στο .tcl της άσκησης 5 τις εξής εντολές:

```
#Verification rtl vs elab step
```

```
write_netlist -lec > elab.v
```

```
write_do_lec -top picorv32 -golden_design rtl -revised_design elab.v -log_file rtl_elab.lec.log >  
rtl_elab.do
```

```
# Verification generic vs fv_map step
```

```
write_netlist -lec > map.v
```

```
write_do_lec -top picorv32 -golden_design rtl -revised_design map.v -log_file elab_map.lec.log >  
elab_map.do
```

και μετά τρέχουμε στο terminal τις παρακάτω εντολές:

```
lec -XL -nogui -dofile rtl_elab.do
```

```
lec -XL -nogui -dofile elab_map.do
```

Μετά τις εντολές αυτές παίρνουμε τα αντίστοιχα report.

Στις εικόνες παρακάτω βλέπουμε ότι για την σύγκριση RTL-ELAB το αποτέλεσμα είναι **PASS** (δηλαδή ο κώδικας μας παρέμεινε λειτουργικός), και επίσης μπορούμε να δούμε με την χρήση της report_statistics πόσα είναι τα Equivalent Points και ποια χρησιμοποίησε το Conformal Logic Equivalence Checking.

1. Non-standard modeling options used:		0
Tri-stated output:	checked	
Revised X signals set to E:	yes	
Floating signals tied to Z:	yes	
Command "add clock" for clock-gating:	not used	
2. Incomplete verification:		0
All primary outputs are mapped:	yes	
Not-mapped DFF/DLAT is detected:	no	
All mapped points are added as compare points:	yes	
All compared points are compared:	yes	
User added black box:	no	
Black box mapped with different module name:	no	
Empty module is not black boxed:	no	
Command "add ignore outputs" used:	no	
Always false constraints detected:	no	
Verified pin-equivalent outputs are unmapped:	no	
3. User modification to design:		0
Change gate type:	no	
Change wire:	no	
Primary input added by user:	no	
4. Conformal Constraint Designer clock domain crossing checks recommended:		1
RTL5.4 Partial case items in full case statement:	used *	
Multiple clocks in the design:	no	
5. Design ambiguity:		0
Duplicate module definition:	no	
Black box due to undefined cells:	no	
Golden design has abnormal ratio of unreachable gates:	no	
Ratio of golden unreachable gates:	0%	
Revised design has abnormal ratio of unreachable gates:	no	
Ratio of revised unreachable gates:	0%	
All primary input bus ordering is consistent:	yes	
All primary output bus ordering is consistent:	yes	
DFF/DLAT not compared due to disabled clock port(s):	0	
Always X compared point is detected:	not checked	
6. Compare Results:		PASS
Total Equivalent modules	= 3	

Figure 42: Άσκηση 7 Βήμα 1-7 RTLvsELAB LEC.

```
// Command: report_statistics
Mapping and compare statistics
```

	Compare Result	Golden	Revised
Root module name		picorv32	picorv32
Primary inputs		102	102
Mapped		102	102
Undriven key points		0	565
Unmapped		0	565
Extra		0	565
Primary outputs		307	307
Mapped		307	307
Equivalent	307		
Black-box key points		2	2
Mapped		2	2
Equivalent	2		
State key points		1755	1755
Mapped		1753	1753
Equivalent	1753		
Unmapped		2	2
Unreachable		2	2

0

Figure 43: Άσκηση 7 Βήμα 1-7 RTLvsELAB statistics.

Αντίστοιχα στις εικόνες παρακάτω βλέπουμε ότι για την σύγκριση RTL-MAP το αποτέλεσμα είναι ξανά **PASS** (δηλαδή ο κώδικας μας παρέμεινε λειτουργικός), και επίσης μπορούμε να δούμε με την χρήση της report_statistics πόσα είναι τα Equivalent Points και ποια χρησιμοποίησε το Conformal Logic Equivalence Checking.

1. Non-standard modeling options used:		1
Tri-stated output:	checked	
Revised X signals set to E:	yes	
Floating signals tied to Z:	no *	
Command "add clock" for clock-gating:	not used	
2. Incomplete verification:		0
All primary outputs are mapped:	yes	
Not-mapped DFF/DLAT is detected:	no	
All mapped points are added as compare points:	yes	
All compared points are compared:	yes	
User added black box:	no	
Black box mapped with different module name:	no	
Empty module is not black boxed:	no	
Command "add ignore outputs" used:	no	
Always false constraints detected:	no	
3. User modification to design:		0
Change gate type:	no	
Change wire:	no	
Primary input added by user:	no	
4. Conformal Constraint Designer clock domain crossing checks recommended:		1
RTL5.4 Partial case items in full case statement:	used *	
Multiple clocks in the design:	no	
5. Design ambiguity:		0
Duplicate module definition:	no	
Black box due to undefined cells:	no	
Golden design has abnormal ratio of unreachable gates:	no	
Ratio of golden unreachable gates:	1%	
Revised design has abnormal ratio of unreachable gates:	no	
Ratio of revised unreachable gates:	0%	
All primary input bus ordering is consistent:	yes	
All primary output bus ordering is consistent:	yes	
DFF/DLAT not compared due to disabled clock port(s):	0	
Always X compared point is detected:	not checked	
6. Compare Results:		PASS
Number of EQ compare points:	2346	
Number of NON-EQ compare points:	0	
Number of Aborted compare points:	0	
Number of Uncompared compare points :	0	

Figure 44: Άσκηση 7 Βήμα 1-7 RTLvsMAP LEC.

```
// Command: report_statistics
Mapping and compare statistics
```

	Compare Result	Golden	Revised
Root module name		picorv32	picorv32
Primary inputs		102	102
Mapped		102	102
Primary outputs		307	307
Mapped		307	307
Equivalent	307		
State key points		2090	1961
Mapped		1961	1961
Equivalent	1961		
Unmapped		117	0
Unreachable		117	0
Merged		12	0
Compare results of merged compare points			
Compared points	DFF	Total	
Equivalent	11	11	
Compare results of instance/output/pin equivalences and/or sequential merge			
Compared points	DFF	Total	
Equivalent	67	67	

Figure 45: Άσκηση 7 Βήμα 1-7 RTLvsMAP statistics.

Compared points	P0	DFF	BBOX	Total
Equivalent	307	1753	2	2062

Figure 46: Άσκηση 7 Βήμα 1-7 Equivalent Points.

Και στις 2 αναλύσεις των στιγμιότυπων μετά το elaborate και το syn_map, τα αποτελέσματα της σύγκρισης (compare results) είναι PASS, οπότε επιβεβαιώνεται ότι το κύκλωμα κατά τη σύνθεση μέσω του genus δεν αλλοιώθηκε σε επίπεδο λειτουργικότητας (synthesized netlist) σε σχέση με την αρχική μορφή του κώδικα RTL.

Άσκηση 8

Βήμα 8-15

Αφού εκτελέστηκε το pads.py script, τροποποιείται σύμφωνα με το εγχειρίδιο το αρχείο genus.v. Εισήχθησαν έπειτα τα αρχεία στο inponus και αρχικοποιήθηκε το design. Για αυτό το βήμα χρησιμοποιήθηκαν τα αρχεία .lef, .lib και .tch που χρησιμοποιήθηκαν στην Άσκηση 1 αλλά και το αρχείο giolib045.lef το οποίο περιέχει περιγραφές για διαφορετικά pads corners. Προκειμένου να οριστούν οι θέσεις των Corners με σωστό τρόπο το Inponus μας παρέχει ένα αρχείο με κατάληξη .io το οποίο αποθηκεύουμε, τροποποιούμε και στη συνέχεια το ξαναφορτώνουμε στο εργαλείο.

Αφού εκτελέσουμε και το βήμα 15 παίρνουμε τον παρακάτω πίνακα αποτελεσμάτων και ένα στιγμιότυπο του κυκλώματος.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	1.15392437W	0.70019195W	0.45305455W	0.00067787W	2.340ns	31904.838
8 ^η Άσκηση	104.69360634 W	80.11605381W	1.14243577W	23.43511676 W	-30.400ns	6191672.094
	Αυξήθηκε	Αυξήθηκε	Αυξήθηκε	Μειώθηκε	Μειώθηκε	Αυξήθηκε

Table 27: Άσκηση 8 Βήμα 8-15 PPA.8-15 PPA.

Hinst Name	Module Name	Inst Count	Total Area
picorv32_chip		16193	6191672.094
example	picorv32	14364	39671.658
iopads	picorv32_pads	1825	6151972.734

Figure 47: Άσκηση 8 Βήμα 8-15 Area.

Όπως ήταν αναμενόμενο η επιφάνεια με τα pads είναι πολύ μεγαλύτερη από την επιφάνεια του πυρήνα. Γενικά η προσθήκη των pads κάνει το design πολύ μεγάλο σε μέγεθος και μικρό από πλευράς utilization (γιατί ο αριθμός των κελιών του δεν αλλάζει). Όμως δεν σημαίνει ότι είναι καλό το Inponus να απλώσει το design για να εκμεταλλευτεί τον χώρο, για τον λόγο ότι η αντίσταση των διασυνδέσεων αυξάνεται στην περίπτωση που αυξηθεί η απόσταση από το ένα κελί στο άλλο, για αυτό έχουμε και μια πολύ μεγάλη αύξηση στην ισχύ. Οπότε το Inponus μαζεύει όλο το design σε ένα συγκεκριμένο μέρος πάνω στον core. Παρατηρείται, επίσης ένα πολύ κακό slack το οποίο ευθύνεται στην προσθήκη των Pads και δεν μπορεί να γίνει κάτι για να διορθωθεί.

Μόλις τελειώσουμε και την βελτιστοποίηση του Placement έχουμε το εξής στιγμιότυπο.

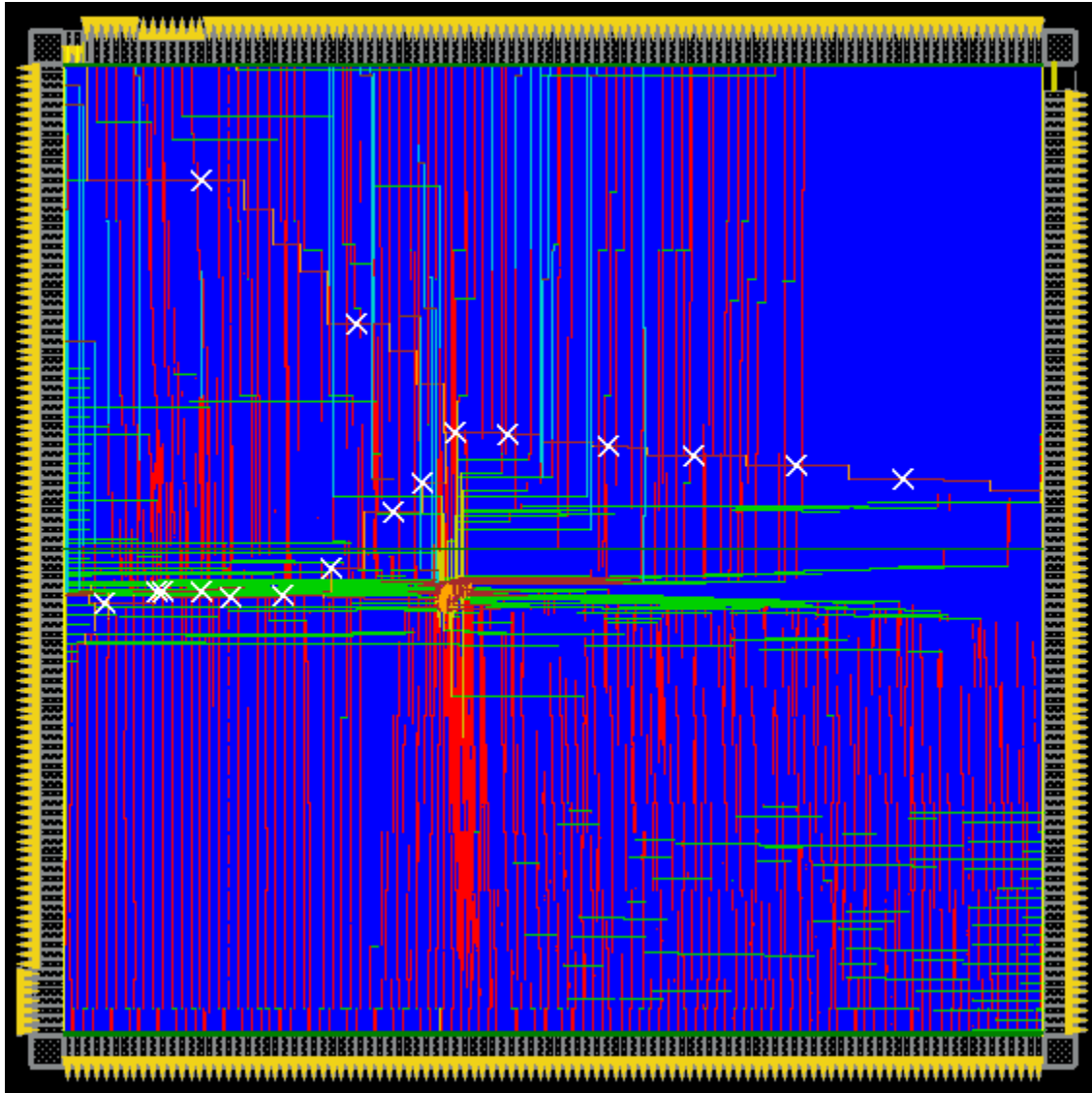


Figure 48: Άσκηση 8 Βήμα 8-15 Chip.

Παρατηρούμε ότι υπάρχουν κάποια Violations. Τα οποία βλέπουμε στην εικόνα παρακάτω ότι είναι antenna violations και οφείλονται στο τεράστιο area του chip και τα μεγάλα wirelengths.

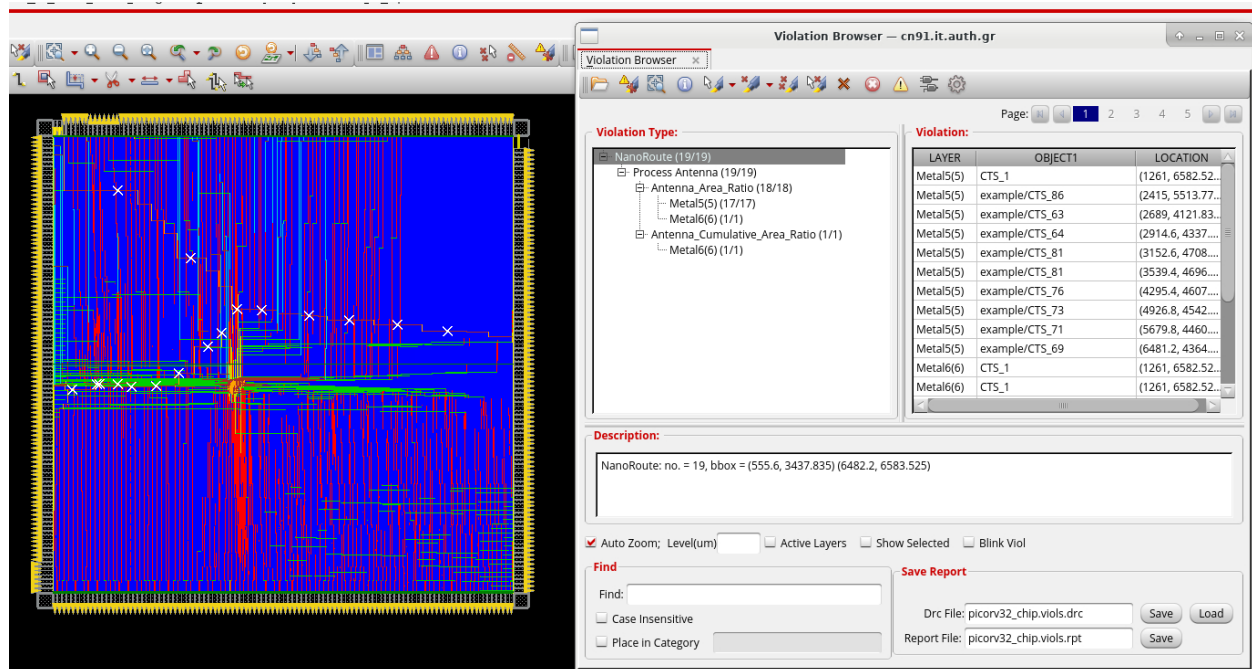


Figure 49: Άσκηση 8 Βήμα 8-15 Antenna Violations.

Για να προσπαθήσουμε να το διορθώσουμε αυτό τρέχουμε τις εξής εντολές, τις οποίες τις συμβουλευτήκα από τον Αριστοτέλη.

```
setNanoRouteMode -routeAntennaCellName ANTENNA
```

```
setNanoRouteMode -drouteFixAntenna true
```

```
setNanoRouteMode -routeInsertAntennaDiode true
```

```
globalDetailRoute
```

Πάρα την προσπάθεια δεν υπήρχε κάποια βελτίωση.

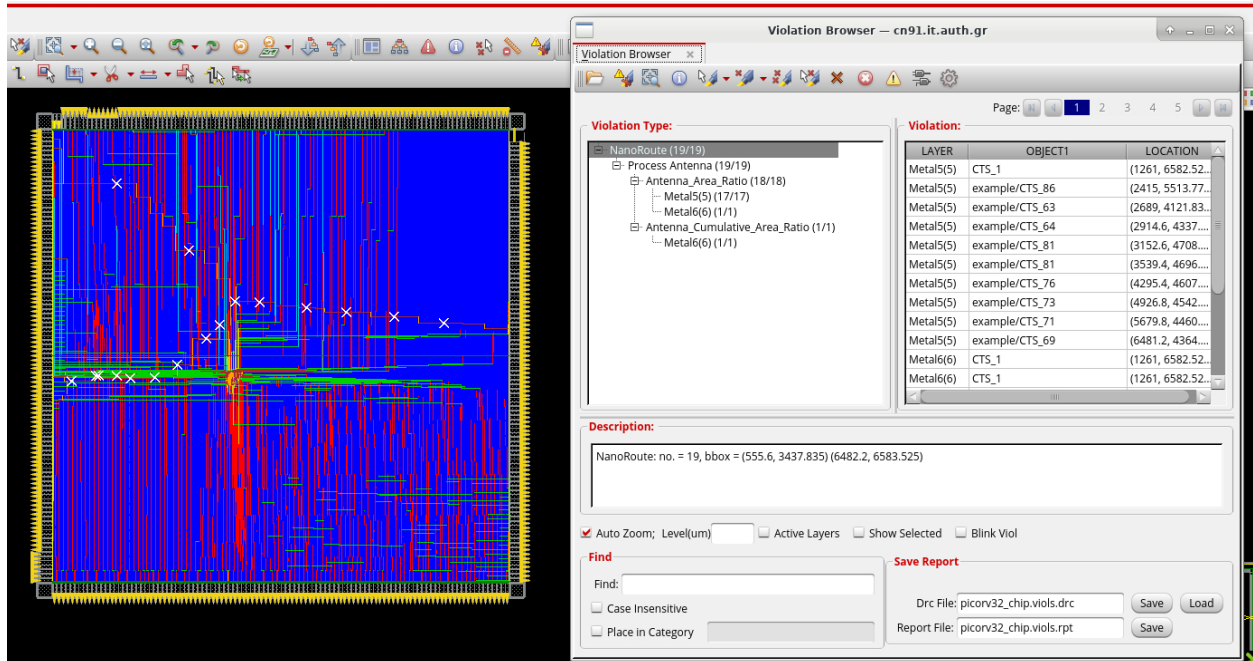


Figure 50: Άσκηση 8 Βήμα 8-15 Violations after fix.

Άσκηση 9

Βήμα 1-6

Σε αυτήν την άσκηση εκτελέστηκαν τα βήματα 1-6 της άσκησης 1. Στην άσκηση αυτή έπρεπε να εξοικειωθούμε με το βήμα που μετατρέπει ένα κύκλωμα σε «ικανό προς δοκιμή» κύκλωμα (DFT) «Design For Testability». Για τις δοκιμές αυτές απαιτείται επιπλέον λογική που καθιστά το κύκλωμα κατάλληλο για δοκιμή (test). Η λογική αυτή εισάχθηκε με κάποιες νέες εντολές στο αρχείο .tcl που τρέχουμε στο Genus. Οι νέες εντολές τοποθετήθηκαν μετά το βήμα του elaborate και ήταν οι παρακάτω.

```
#DFT
```

```
set_db / .dft_scan_style muxed_scan
```

```
set_db / .dft_prefix DFT_
```

```
set_db / .dft_identify_top_level_test_clocks true
```

```
set_db / .dft_identify_test_signals true
```

```

set_db / .dft_identify_internal_test_clocks false
set_db / .use_scan_seqs_for_non_dft false
set_db "design:picorv32" .dft_scan_map_mode tdrc_pass
set_db "design:picorv32" .dft_connect_shift_enable_during_mapping tie_off
set_db "design:picorv32" .dft_connect_scan_data_pins_during_mapping loopback
set_db "design:picorv32" .dft_scan_output_preference auto
set_db "design:picorv32" .dft_lockup_element_type preferred_level_sensitive
set_db "design:picorv32" .dft_mix_clock_edges_in_scan_chains true
define_test_clock -name scanclk -period 20000 clk
define_shift_enable -name se -active high -create_port se
define_test_mode -name test_mode -active high -create_port test_mode
define_scan_chain -name top_chain -sdi scan_in -sdo scan_out -shift_enable se -create_ports

```

Έπειτα μέσω των επόμενων εντολών ελέγχουμε για τυχόν παραβάσεις των κανόνων DFT. Στις παρακάτω εικόνες βλέπουμε τα αποτελέσματα των ελέγχων, όπου μπορεί γίνεται αντιληπτό ότι δεν υπάρχουν παραβάσεις DFT.

#DFT CHECKS

```
check_dft_rules > Desktop/VLSI/Exercises/Ex9/Step1-7/v3/Checks_DFT/Before_Gen/Ex9_Step1-7_v3_DFT_rules.txt
```

```
report_scan_registers > Desktop/VLSI/Exercises/Ex9/Step1-7/v3/Reports_DFT/Before_Gen/Ex9_Step1-7_v3_DFT_scan_registers.txt
```

```
report_scan_setup > Desktop/VLSI/Exercises/Ex9/Step1-7/v3/Reports_DFT/Before_Gen/Ex9_Step1-7_v3_DFT_scan_setup.txt
```

```
check_dft_rules -advanced > Desktop/VLSI/Exercises/Ex9/Step1-7/v3/Checks_DFT/Before_Gen/Ex9_Step1-7_v3_DFT_rules_advanced.txt
```

```
connect_scan_chains -auto_create_chains
```

```
report_scan_chains > Desktop/VLSI/Exercises/Ex9/Step1-
7/v3/Reports_DFT/Before_Gen/Ex9_Step1-7_v3_DFT_scan_chains.txt
```

```
Detected 0 DFT rule violation(s)
Summary of check_dft_rules
*****
Number of usable scan cells: 48
Clock Rule Violations:
-----
    Internally driven clock net: 0
    Tied constant clock net: 0
    Undriven clock net: 0
    Conflicting async & clock net: 0
    Misc. clock net: 0

Async. set/reset Rule Violations:
-----
    Internally driven async net: 0
    Tied active async net: 0
    Undriven async net: 0
    Misc. async net: 0

Advanced DFT Rule Violations:
-----
    Tristate net contention violation: 0
    Potential race condition violation: 0
    X-source violation: 0

Warning: There are a total of 1 undriven pins which may act as x-source generators. For the list of pins, use the command 'check_design -
undriven -report_scan_pins'.

Total number of DFT violations: 0

Total number of Test Clock Domains: 1
DFT Test Clock Domain: scanclk
    Test Clock 'scanclk' (Positive edge) has 2090 registers
Number of user specified non-Scan registers: 0
Number of registers that fail DFT rules: 0
Number of registers that pass DFT rules: 2090
Percentage of total registers that are scannable: 100%
```

Figure 51: Άσκηση 9 Βήμα 1-6 Check DFT before synthesis.

```
Reporting registers that fail DFT rules
Reporting registers that are preserved or marked dont-scan
Reporting registers that are marked Abstract Segment Dont Scan
Reporting registers that are part of shift register segments
Reporting registers that are identified as lockup elements
Reporting registers that are level-sensitive elements
Reporting misc. non-scan registers
Summary:
Total registers that pass DFT rules: 2090
Total registers that fail DFT rules: 0
Total registers that are marked preserved or dont-scan: 0
Total registers that are marked Abstract Segment dont-scan: 0
Total registers that are part of shift register segments: 0
Total registers that are lockup elements: 0
Total registers that are level-sensitive: 0
Total registers that are misc. non-scan: 0
```

Figure 52: Άσκηση 9 Βήμα 1-6 Report Scan Registers.

Βλέπουμε ότι περιορισμοί είναι επαρκείς. Μέσω της εντολής: `check_timing_intent` ελέγχεται ο χρονισμός, ο οποίος λειτουργεί σωστά.

=====

```
Lint summary
Unconnected/logic driven clocks                                0
Sequential data pins driven by a clock signal                  0
Sequential clock pins without clock waveform                   0
Sequential clock pins with multiple clock waveforms           0
Generated clocks without clock waveform                        0
Generated clocks with incompatible options                     0
Generated clocks with multi-master clock                       0
Paths constrained with different clocks                         0
Loop-breaking cells for combinational feedback                0
Nets with multiple drivers                                     0
Timing exceptions with no effect                               0
Suspicious multi_cycle exceptions                             0
Pins/ports with conflicting case constants                     0
Inputs without clocked external delays                         0
Outputs without clocked external delays                        0
Inputs without external driver/transition                     0
Outputs without external load                                  0
Exceptions with invalid timing start-/endpoints                0

Total:                                                         0
```

Figure 53: Άσκηση 9 Βήμα 1-6 Check Timing Intent.

	Area	Gates	Slack	Power	Clock
1 ^η Άσκηση	44134.990	9104	29ps	9.21632e-04W	10ns
9 ^η Άσκηση Syn gen.	84325.030	26618	3736ps	3.30906e-04W	10ns
9 ^η Άσκηση Syn map.	49635.264	10553	696ps	9.58424e-04W	10ns
9 ^η Άσκηση Syn opt.	49289.349	10401	8ps	9.46108e-04W	10ns

Table 28: Άσκηση 9 Βήμα 1-6 PPA.

Επίσης στην εικόνα παρακάτω βλέπουμε και το area των dft Instances.

picorv32		26618	84154.624	170.407	84325.030
ADD_UNSP_OP	add_unsigned_1100_5_1154	286	763.828	0.000	763.828
add_1312_30	add_unsigned_963	152	405.951	0.000	405.951
add_1801_23	add_unsigned_1100_5	291	777.182	0.000	777.182
add_1864_26	add_unsigned_1100_5_1153	308	822.584	0.000	822.584
genblk1.pcp_i_mul_mul_2366_47	mult_signed	8951	23904.346	0.000	23904.346
genblk2.pcp_i_div	picorv32_pcp_i_div	2248	7336.488	0.000	7336.488
lte_2493_16	leq_unsigned_rtlopto_model_2151	187	499.426	0.000	499.426
minus_2469_59	sub_unsigned_974	147	392.597	0.000	392.597
minus_2470_59_Y_sub_2494_26	sub_unsigned_982_1	304	811.901	0.000	811.901
minus_2488_26_Y_minus_2490_26	sub_unsigned_974_1157	149	397.938	0.000	397.938
inc_add_382_74	increment_unsigned_99_1807	145	387.255	0.000	387.255
inc_add_1428_40	increment_unsigned_284_1808_975	293	782.523	0.000	782.523
inc_add_1559_34	increment_unsigned_284_1808	294	785.194	0.000	785.194
sub_1235_38_Y_add_1235_58	addsub_unsigned_114	410	1094.998	0.000	1094.998

Figure 54: Άσκηση 9 Βήμα 1-6 Syn Gen Total Area.

Ήταν αναμενόμενη η αύξηση του αριθμού κελιών, της επιφάνειας και της ισχύος (μικρή αύξηση ισχύος) σε σχέση με την άσκηση 1, αφού σε αυτό το βήμα προστίθεται επιπλέον λογική για την δοκιμή του κυκλώματος. Επιπλέον γίνεται αντιληπτό ότι τα αποτελέσματα μετά το syn_orp έχουν βελτιωθεί συγκριτικά με το syn_map (κάτι που είναι αναμενόμενο αφού το syn_orp κάνει βελτιστοποίηση του design).

Έπειτα ξαναελέγχεται το κύκλωμα με τις παρακάτω εντολές ελέγχου:

#DFT Checks after synthesis

check_dft_rules > Desktop/VLSI/Exercises/Ex9/Step1-7/v3/Checks_DFT/After_Gen/Ex9_Step1-7_v3_DFT_rules.txt

report_scan_registers > Desktop/VLSI/Exercises/Ex9/Step1-7/v3/Reports_DFT/After_Gen/Ex9_Step1-7_v3_DFT_scan_registers.txt

report_scan_setup > Desktop/VLSI/Exercises/Ex9/Step1-7/v3/Reports_DFT/After_Gen/Ex9_Step1-7_v3_DFT_scan_setup.txt

check_dft_rules -advanced > Desktop/VLSI/Exercises/Ex9/Step1-7/v3/Checks_DFT/After_Gen/Ex9_Step1-7_v3_DFT_rules_advanced.txt

connect_scan_chains -auto_create_chains

report_scan_chains > Desktop/VLSI/Exercises/Ex9/Step1-7/v3/Reports_DFT/After_Gen/Ex9_Step1-7_v3_DFT_scan_chains.txt

```

Detected 0 DFT rule violation(s)
Summary of check_dft_rules
*****
Number of usable scan cells: 48
Clock Rule Violations:
-----
    Internally driven clock net: 0
    Tied constant clock net: 0
    Undriven clock net: 0
    Conflicting async & clock net: 0
    Misc. clock net: 0

Async. set/reset Rule Violations:
-----
    Internally driven async net: 0
    Tied active async net: 0
    Undriven async net: 0
    Misc. async net: 0

Advanced DFT Rule Violations:
-----
    Tristate net contention violation: 0
    Potential race condition violation: 0
    X-source violation: 0

Warning: There are a total of 1 undriven pins which may act as x-source generators. For the list of pins, use the command 'check_design -
undriven -report_scan_pins'.

Total number of DFT violations: 0

Total number of Test Clock Domains: 1
DFT Test Clock Domain: scanclk
Test Clock 'scanclk' (Positive edge) has 1961 registers
Number of user specified non-Scan registers: 0
Number of registers that fail DFT rules: 0
Number of registers that pass DFT rules: 1961
Percentage of total registers that are scannable: 100%

```

Figure 55: Άσκηση 9 Βήμα 1-6 Check DFT after synthesis.

```

Summary:
Total registers that pass DFT rules: 1961
Total registers that fail DFT rules: 0
Total registers that are marked preserved or dont-scan: 0
Total registers that are marked Abstract Segment dont-scan: 0
Total registers that are part of shift register segments: 0
Total registers that are lockup elements: 0
Total registers that are level-sensitive: 0
Total registers that are misc. non-scan: 0

```

Figure 56: Άσκηση Βήμα 1-6 Report Scan Registers.

Παρατηρούμε , ότι το μόνο πρόβλημα που φαίνεται να υπάρχει είναι ότι υπάρχει ένα undriven pin. Το pin αυτό είναι το scan_out που προστέθηκε για την δοκιμή του κυκλώματος.

Μέσω της εντολής `connect_scan_chains -auto_create_chains` συνδέονται όλες οι αλυσίδες ανίχνευσης.

Παρατηρήσεις – Σημειώσεις

Με το τέλος της παρούσας εργασίας είδαμε αναλυτικά όλα τα βήματα της σύνθεσης και της φυσικής σχεδίασης, καθώς και τι επιλογές μπορούμε να κάνουμε για να πετύχουμε κάποια επιθυμητά PPA χαρακτηριστικά.

Η εργασία οργανώθηκε με πολύ καλό τρόπο και μαζί με το εγχειρίδιο ήταν πολύ κατανοητή ως προς τα βήματα που έπρεπε να εκτελεστούν. Σημαντική ήταν επίσης η συνεισφορά του Αριστοτέλη ο οποίος μας έλυσε κάθε απορία.

Όσον αφορά τώρα τις επιμέρους ασκήσεις της εργασίας από αυτές η άσκηση 8 ήταν η πιο απαιτητική και χρονοβόρα. Υπήρχε επίσης μια σύγχυση όσον αφορά το `pads.py script` διότι υπήρχε αρχικό λάθος στο `script` και έπειτα από παρέμβαση του Αριστοτέλη διορθώθηκε.

Βιβλιογραφία – Πηγές

- Υλικό Μαθήματος Ψηφιακά Ολοκληρωμένα Κυκλώματα VLSI-ASIC Μεγάλης Κλίμακας, Β. Παυλίδης, THMMY ΑΠΘ