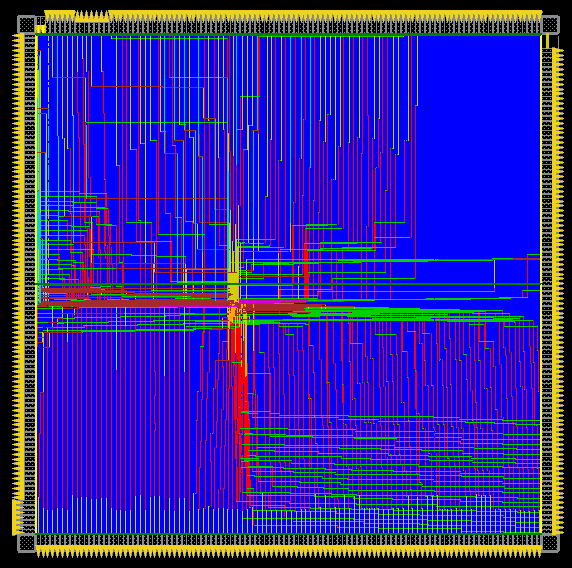


16/02/2024



Paschalis Konstantinidis

AEM: 9870

Email: <paschalk@ece.auth.gr>

Picorv32 Physical Design

VLSI-ASIC course assignment

Table of Contents

[Εισαγωγή 5](#_Toc158991077)

[Άσκηση 1 5](#_Toc158991078)

[Βήμα 1 5](#_Toc158991079)

[Βήμα 2 6](#_Toc158991080)

[Βήμα 3 6](#_Toc158991081)

[Βήμα 4 8](#_Toc158991082)

[Βήμα 5 10](#_Toc158991083)

[Βήμα 6 11](#_Toc158991084)

[Βήμα 7 15](#_Toc158991085)

[Βήμα 8 15](#_Toc158991086)

[Βήμα 9 16](#_Toc158991087)

[Βήμα 10 17](#_Toc158991088)

[Βήμα 11 21](#_Toc158991089)

[Βήμα 12 23](#_Toc158991090)

[Βήμα 13 24](#_Toc158991091)

[Βήμα 14 26](#_Toc158991092)

[Βήμα 15 28](#_Toc158991093)

[Βήμα 16 31](#_Toc158991094)

[Άσκηση 2 34](#_Toc158991095)

[Βήμα 9-11 34](#_Toc158991096)

[Βήμα 12-14 35](#_Toc158991097)

[Βήμα 15 35](#_Toc158991098)

[Άσκηση 3 36](#_Toc158991099)

[Βήμα 1-6 36](#_Toc158991100)

[Βήμα 7-11 37](#_Toc158991101)

[Βήμα 12 -14 38](#_Toc158991102)

[Βήμα 15 39](#_Toc158991103)

[Άσκηση 4 39](#_Toc158991104)

[Βήμα 1-6 39](#_Toc158991105)

[Βήμα 7-11 41](#_Toc158991106)

[Βήμα 12-14 41](#_Toc158991107)

[Βήμα 15 42](#_Toc158991108)

[Άσκηση 5 42](#_Toc158991109)

[Βήμα 1-6 42](#_Toc158991110)

[Βήμα 7-11 46](#_Toc158991111)

[Βήμα 12-14 46](#_Toc158991112)

[Βήμα 15 48](#_Toc158991113)

[Άσκηση 6 49](#_Toc158991114)

[Βήμα 1-6 49](#_Toc158991115)

[Βήμα 7-11 53](#_Toc158991116)

[Βήμα 12-14 54](#_Toc158991117)

[Βήμα 15 55](#_Toc158991118)

[Άσκηση 7 57](#_Toc158991119)

[Βήμα 1-7 57](#_Toc158991120)

[Άσκηση 8 62](#_Toc158991121)

[Βήμα 8-15 62](#_Toc158991122)

[Άσκηση 9 65](#_Toc158991123)

[Βήμα 1-6 65](#_Toc158991124)

[Παρατηρήσεις – Σημειώσεις 71](#_Toc158991125)

[Βιβλιογραφία – Πηγές 71](#_Toc158991126)

Πίνακας Εικόνων.

[Figure 1: Άσκηση 1 Βήμα 3 check design. 7](#_Toc158991327)

[Figure 2: Άσκηση 1 Βήμα 4 Check Timing Intent 10](#_Toc158991328)

[Figure 3: Άσκηση 1 Βήμα 6 Area. 12](#_Toc158991329)

[Figure 4: Άσκηση 1 Βήμα 6 Gates. 12](#_Toc158991330)

[Figure 5: Άσκηση 1 Βήμα 6 Timing. 13](#_Toc158991331)

[Figure 6: Άσκηση 1 Βήμα 6 Power. 13](#_Toc158991332)

[Figure 7: Άσκηση 1 Βήμα 6 Qor. 14](#_Toc158991333)

[Figure 8: Άσκηση 1 Βήμα 8 Innnovus 16](#_Toc158991334)

[Figure 9: Άσκηση 1 Βήμα 9 17](#_Toc158991335)

[Figure 10: Άσκηση 1 Βήμα 10 Power Ring 18](#_Toc158991336)

[Figure 11: Άσκηση 1 Βήμα 10 Stripes 19](#_Toc158991337)

[Figure 12: Άσκηση 1 Βήμα 10 Sroute 20](#_Toc158991338)

[Figure 13: Άσκηση 1 Βήμα 11 Opt. 21](#_Toc158991339)

[Figure 14: Άσκηση 1 Βήμα 11 Power. 22](#_Toc158991340)

[Figure 15: Άσκηση 1 Βήμα 11 Timing. 22](#_Toc158991341)

[Figure 16: Άσκηση 1 Βήμα 11 Area. 22](#_Toc158991342)

[Figure 17: Άσκηση 1 Βήμα 11 Check Placement. 23](#_Toc158991343)

[Figure 18: Άσκηση 1 Βήμα 12 Early Power Analysis. 23](#_Toc158991344)

[Figure 19: Άσκηση 1 Βήμα 12 Power Graph. 24](#_Toc158991345)

[Figure 20: Άσκηση 1 Βήμα 13 M (1)-M (11) Πόροι. 24](#_Toc158991346)

[Figure 21: Άσκηση 1 Βήμα 13 M (1) -M (11) Congestion. 25](#_Toc158991347)

[Figure 22: Άσκηση 1 Βήμα 13 M (8) - M (10) Πόροι. 25](#_Toc158991348)

[Figure 23: Άσκηση 1 Βήμα 13 M (8) - M (10) Congestion. 25](#_Toc158991349)

[Figure 24: Άσκηση 1 Βήμα 14 Slew Requirments. 27](#_Toc158991350)

[Figure 25: Άσκηση 1 Βήμα 14 Skew Requirments. 27](#_Toc158991351)

[Figure 26: Άσκηση 1 Βήμα 14 Clock Tree. 28](#_Toc158991352)

[Figure 27: Άσκηση 1 Βήμα 15 Route Settings (1). 29](#_Toc158991353)

[Figure 28: Άσκηση 1 Βήμα 15 Route Settings (2). 30](#_Toc158991354)

[Figure 29: Άσκηση 1 Βήμα 16 DRC Check. 31](#_Toc158991355)

[Figure 30: Άσκηση 1 Βήμα 16 Verify Connectivity. 32](#_Toc158991356)

[Figure 31: Άσκηση 1 Βήμα 16 Min Density. 32](#_Toc158991357)

[Figure 32: Άσκηση 1 Βήμα 16 Metal Fill. 33](#_Toc158991358)

[Figure 33: Άσκηση 1 Βήμα 16 Chip. 34](#_Toc158991359)

[Figure 34: Άσκηση 3 Βήμα 7-11 Placement Settings. 37](#_Toc158991360)

[Figure 35: Άσκηση 5 Βήμα 12-14 Slew. 47](#_Toc158991361)

[Figure 36: Άσκηση 5 Βήμα 12-14 Skew. 47](#_Toc158991362)

[Figure 37: Άσκηση 5 Βήμα 12-14 Clock Tree. 48](#_Toc158991363)

[Figure 38: Άσκηση 6 Βήμα 1-6 Clock Gating. 53](#_Toc158991364)

[Figure 39: Άσκηση 6 Βήμα 7-11 PPA. 54](#_Toc158991365)

[Figure 40: Άσκηση 6 Βήμα 12-14 Clock Gating Instances. 55](#_Toc158991366)

[Figure 41: Άσκηση 6 Βήμα 15 Clock Gating Instances. 56](#_Toc158991367)

[Figure 42: Άσκηση 7 Βήμα 1-7 RTLvsELAB LEC. 58](#_Toc158991368)

[Figure 43: Άσκηση 7 Βήμα 1-7 RTLvsELAB statistics. 59](#_Toc158991369)

[Figure 44: Άσκηση 7 Βήμα 1-7 RTLvsMAP LEC. 60](#_Toc158991370)

[Figure 45: Άσκηση 7 Βήμα 1-7 RTLvsMAP statistics. 61](#_Toc158991371)

[Figure 46: Άσκηση 7 Βήμα 1-7 Equivalent Points. 61](#_Toc158991372)

[Figure 47: Άσκηση 8 Βήμα 8-15 Area. 62](#_Toc158991373)

[Figure 48: Άσκηση 8 Βήμα 8-15 Chip. 63](#_Toc158991374)

[Figure 49: Άσκηση 8 Βήμα 8-15 Antenna Violations. 64](#_Toc158991375)

[Figure 50: Άσκηση 8 Βήμα 8-15 Violations after fix. 65](#_Toc158991376)

[Figure 51: Άσκηση 9 Βήμα 1-6 Check DFT before synthesis. 67](#_Toc158991377)

[Figure 52: Άσκηση 9 Βήμα 1-6 Report Scan Registers. 67](#_Toc158991378)

[Figure 53: Άσκηση 9 Βήμα 1-6 Check Timing Intent. 68](#_Toc158991379)

[Figure 54: Άσκηση 9 Βήμα 1-6 Syn Gen Total Area. 69](#_Toc158991380)

[Figure 55: Άσκηση 9 Βήμα 1-6 Check DFT after synthesis. 70](#_Toc158991381)

[Figure 56: Άσκηση Βήμα 1-6 Report Scan Registers. 70](#_Toc158991382)

Πίνακας Αποτελεσμάτων.

[Table 1: Άσκηση 1 Βήμα 6. 15](#_Toc158991424)

[Table 2: Άσκηση 1 Βήμα 11. 22](#_Toc158991425)

[Table 3: Άσκηση 1 Βήμα 14 PPA. 27](#_Toc158991426)

[Table 4: Άσκηση 1 Βήμα 14 Clock Stats. 27](#_Toc158991427)

[Table 5: Άσκηση 1 Βήμα 15 31](#_Toc158991428)

[Table 6: Άσκηση 2 Βήμα 9-11 PPA. 35](#_Toc158991429)

[Table 7: Άσκηση 2 Βήμα 12-14 PPA. 35](#_Toc158991430)

[Table 8: Άσκηση 2 Βήμα 15 PPA. 36](#_Toc158991431)

[Table 9: Άσκηση 3 Βήμα 1-6 PPA. 36](#_Toc158991432)

[Table 10: Άσκηση 3 Βήμα 7-11 PPA. 38](#_Toc158991433)

[Table 11: Άσκηση 3 Βήμα 12-24 PPA. 38](#_Toc158991434)

[Table 12: Άσκηση 3 Βήμα 15 PPA. 39](#_Toc158991435)

[Table 13: Άσκηση 4 Βήμα 1-6 PPA. 41](#_Toc158991436)

[Table 14: Άσκηση 4 Βήμα 7-11 PPA. 41](#_Toc158991437)

[Table 15: Άσκηση 4 Βήμα 12-14 PPA. 42](#_Toc158991438)

[Table 16: Άσκηση 4 Βήμα 15 PPA. 42](#_Toc158991439)

[Table 17: Άσκηση 5 Βήμα 1-6 PPA. 46](#_Toc158991440)

[Table 18: Άσκηση 5 Βήμα 7-11 PPA. 46](#_Toc158991441)

[Table 19: Άσκηση 5 Βήμα 12-14 PPA. 46](#_Toc158991442)

[Table 20: Άσκηση 5 Βήμα 12-14 Clock Stats. 47](#_Toc158991443)

[Table 21: Άσκηση 5 Βήμα 15 PPA. 48](#_Toc158991444)

[Table 22: Άσκηση 6 Βήμα 1-6 PPA. 52](#_Toc158991445)

[Table 23: Άσκηση 6 Βήμα 7-11 Clock Gating Instance type 1. 54](#_Toc158991446)

[Table 24: Άσκηση 6 Βήμα 7-11 Clock Gating Instance type 2. 54](#_Toc158991447)

[Table 25: Άσκηση 6 Βήμα 12-14 PPA. 54](#_Toc158991448)

[Table 26: Άσκηση 6 Βήμα 15 PPA. 56](#_Toc158991449)

[Table 27: Άσκηση 8 Βήμα 8-15 PPA.8-15 PPA. 62](#_Toc158991450)

[Table 28: Άσκηση 9 Βήμα 1-6 PPA. 68](#_Toc158991451)

# Εισαγωγή

Στα πλαίσια της εργασίας του μαθήματος «Ψηφιακά ολοκληρωμένα κυκλώματα VLSI-ASIC Μεγάλης Κλίμακας» κληθήκαμε να κατανοήσουμε και να εφαρμόσουμε τη διαδικασία σύνθεσης και φυσικής σχεδίασης ενός ψηφιακού κυκλώματος. Πιο συγκεκριμένα μας δόθηκε, υλοποιημένος σε Verilog, ένας πυρήνας επεξεργαστή αρχιτεκτονικής RISC-V και εμείς κάνοντας χρήση των εργαλείων Genus και Innovus διεκπεραιώσαμε όλη την διαδικασία σύνθεσης και σχεδίασης. Η συγκεκριμένη εργασία αποτελείται από 9 ασκήσεις οπού κάθε μια άσκηση έχει από 1 μέχρι 16 βήματα.

# Άσκηση 1

## Βήμα 1

Ορίζουμε αρχικά τα μονοπάτια για τις βιβλιοθήκες χρονισμού (\*.lib), φυσικών πληροφοριών (\*.lef) και παρασιτικών (.tch). Με τις παρακάτω εντολές.

***#setup path for library***

***set\_db init\_lib\_search\_path /mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference\_libs/GPDK045/gsclib045\_svt\_v4.4/gsclib045/timing***

***#setup script path***

***set\_db script\_search\_path Desktop/VLSI/Script/***

***#setup hdl path***

***set\_db init\_hdl\_search\_path Desktop/VLSI/Verilog/***

***#Setup timing library***

***set\_db library /mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference\_libs/GPDK045/gsclib045\_svt\_v4.4/gsclib045/timing/slow\_vdd1v0\_basicCells.lib***

***#end***

***#Setup lef library***

***set\_db lef\_library {/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference\_libs/GPDK045/gsclib045\_svt\_v4.4/gsclib045/lef/gsclib045\_tech.lef /mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference\_libs/GPDK045/gsclib045\_svt\_v4.4/gsclib045/lef/gsclib045\_macro.lef}***

***#end***

***#Setup qrc library***

***read\_qrc /mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference\_libs/GPDK045/gsclib045\_svt\_v4.4/gsclib045/qrc/qx/gpdk045.tch***

***#end***

Μετά από αυτές τις εντολές , έχουμε κάποια warnings που αφορούν την timing βιβλιοθήκη και έχουν να κάνουν με κάποια output pins. Επίσης έχουμε κάποια warnings που έχουν με τις Lef βιβλιοθήκες και πιο συγκεκριμένα με κάποια cells που δεν μπορούν να βρεθούν στις βιβλιοθήκες.

## Βήμα 2

Με την χρήση της εντολής

read\_hdl picorv32.v

διαβάζουμε το αρχείο Verilog που περιγράφει το design μας. Το top level module μας είναι το «picorv32».

## Βήμα 3

Με την χρήση των παρακάτω εντολών κάνουμε μια πρώτη ανάλυση του κυκλώματος και το ελέγχουμε για τυχόν «unresolved references»

#elaborate

elaborate "picorv32"

#check design

check\_design -all > Desktop/VLSI/Exercises/Ex1/Step7/v3/Checks/Ex1\_Step7\_v3\_Check\_Design.txt

A screenshot of a computer code

Description automatically generated

Figure 1: Άσκηση 1 Βήμα 3 check design.

Παρατηρούμε ότι δεν υπάρχουν Unresolved References.

## Βήμα 4

Προτού προχωρήσουμε στη σύνθεση του κυκλώματος πρέπει να θέσουμε διάφορους περιορισμούς που θα καθοδηγήσουν τη διαδικασία αυτή. Έτσι με τις παρακάτω εντολές δημιουργούμε το αρχείο περιορισμών (.sdc).

#SDC RESTRICTIONS FILE#

#with NO extra commands

#1) create clock with 50 % duty cycle, period =10ns, name = clk.

create\_clock -name clk -period 10 -waveform {0 5} [get\_ports clk]

#2) set clock latency = 0.5 ns (500 ps).

set\_clock\_latency -source 0.5 [get\_clocks clk]

#3) Set the clock uncertainty = 0.08ns (80 ps).

set\_clock\_uncertainty 0.08 [get\_clocks clk]

#4) Set clock rise and fall = 1% of total period.

set\_clock\_transition 0.1 [get\_clocks clk]

#5) set 1.5ns output delay for SETUP time.

set\_output\_delay -max 1.5 -clock clk -network\_latency\_included [all\_outputs]

#6) set 0.5ns delay for HOLD time.

set\_output\_delay -min 0.5 -clock clk -network\_latency\_included [all\_outputs]

#7) set capacity for SETUP time analysis = 0.5pF.

set\_load 0.5 -max all\_outputs;

#8) set capacity for HOLD time analysis = 0.05pF.

set\_load 0.05 -min all\_outputs;

#9) set 1.5ns input delay for SETUP time.

set\_input\_delay -max 1.5 -clock clk -network\_latency\_included [all\_inputs]

#10) set 0.5ns input delay for HOLD time.

set\_input\_delay -min 0.5 -clock clk -network\_latency\_included [all\_inputs]

#11) set input driving cell.BUFX2 for SETUP and BUFX16 for HOLD.

set\_driving\_cell -max -lib\_cell BUFX2 [all\_inputs]

set\_driving\_cell -min -lib\_cell BUFX16 [all\_inputs]

Αφού έχουμε ορίσει του απαραίτητους περιορισμούς θα πρέπει τώρα να τους «διαβάσουμε» και έπειτα να ελέγξουμε τους περιορισμούς. Αυτό γίνεται με τις δύο παρακάτω εντολές.  
  
#read the sdc file

read\_sdc Ex1\_Step4\_v3.sdc

#check timing intent

check\_timing\_intent > Desktop/VLSI/Exercises/Ex1/Step7/v3/Checks/Ex1\_Step7\_v3\_Check\_Timing\_Intent.txt

Και στην παρακάτω εικόνα βλέπουμε ότι δεν υπάρχει κάποιο πρόβλημα με τους περιορισμούς

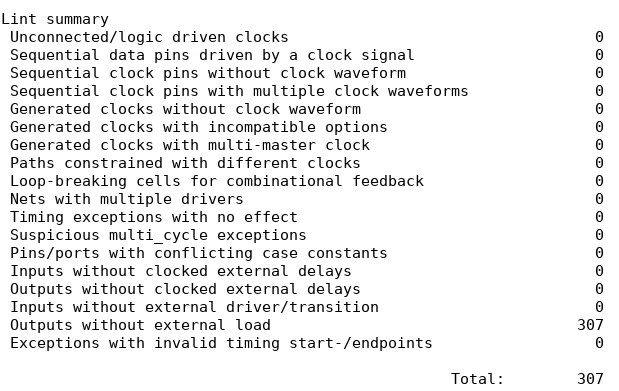


Figure 2: Άσκηση 1 Βήμα 4 Check Timing Intent

## Βήμα 5

Είμαστε τώρα έτοιμοι να εκτελέσουμε τα 3 βήματα της σύνθεσης (generic, mapping, optimization). Όμως πριν από αυτό θα βεβαιωθούμε ότι δεν γίνεται χρήση των αλυσίδων ανίχνευσης. Τα παραπάνω υλοποιούνται με την χρήση των εξής εντολών.

# setting forinnovus

set\_db / .use\_scan\_seqs\_for\_non\_dft false

#do syn\_generic

syn\_generic

#do syn\_map

syn\_map

#do optimization

syn\_opt

## Βήμα 6

Μετά την διαδικασία της σύνθεσης πρέπει να εξάγουμε τις απαραίτητες αναφορές για να αποτιμήσουμε τα χαρακτηριστικά του κυκλώματος μας και έπειτα να τα συνοψίσουμε σε έναν πίνακα. Αυτό θα γίνει με τις εξής εντολές:

#report area

report\_area > Desktop/VLSI/Exercises/Ex1/Step7/v3/Reports/Ex1\_Step7\_v3\_Area.txt

#report gates

report\_gates > Desktop/VLSI/Exercises/Ex1/Step7/v3/Reports/Ex1\_Step7\_v3\_Gates.txt

#report timing

report\_timing > Desktop/VLSI/Exercises/Ex1/Step7/v3/Reports/Ex1\_Step7\_v3\_Timing.txt

#report power

report\_power > Desktop/VLSI/Exercises/Ex1/Step7/v3/Reports/Ex1\_Step7\_v3\_Power.txt

#report qor

report\_qor > Desktop/VLSI/Exercises/Ex1/Step7/v3/Reports/Ex1\_Step7\_v3\_Qor.txt

Area.

A screenshot of a computer

Description automatically generated

Figure 3: Άσκηση 1 Βήμα 6 Area.

Gates.

A close-up of a number

Description automatically generated

Figure 4: Άσκηση 1 Βήμα 6 Gates.

Timing.

A screenshot of a computer program

Description automatically generated

Figure 5: Άσκηση 1 Βήμα 6 Timing.

A screenshot of a computer

Description automatically generatedPower.

Figure 6: Άσκηση 1 Βήμα 6 Power.

A screenshot of a computer

Description automatically generatedQuality of Results.

Figure 7: Άσκηση 1 Βήμα 6 Qor.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Area | Gates | Slack | Power | Clock |
| 44134.99 | 9104 | 29ps | 9.21632e-04 W | 10ns |

Table 1: Άσκηση 1 Βήμα 6.

## Βήμα 7

Εξάγουμε τώρα τα αρχεία από το Genus που θα χρησιμοποιηθούν στο Innovus μέσω της παρακάτω εντολής:

# this line is for innovus tool and generate deafult folder

write\_design -innovus picorv32

## Βήμα 8

Εισάγουμε τώρα τα αρχεία που πήραμε από το Genus στο Innovus, και αρχικοποιούμε το design μας.

A screenshot of a computer

Description automatically generatedΕπίσης στην εικόνα παρακάτω βλέπουμε το Menu στο οποίο εισάγουμε το design στο Innovus.

Figure 8: Άσκηση 1 Βήμα 8 Innnovus

## Βήμα 9

Εφαρμόζουμε την χωροθέτηση στο design με ποσοστό χρήσης του πυρήνα 70%, και για το δίκτυο διανομής δημιουργούμε χώρο 15 μm μέχρι τα Ι/Ο για τους δακτυλίους.

A screenshot of a computer

Description automatically generated

Figure 9: Άσκηση 1 Βήμα 9

## Βήμα 10

A screenshot of a computer

Description automatically generated Σε αυτό το σημείο δημιουργούμε το power rings στο οποίο οι δακτύλιοι πρέπει να έχουν πάχος 3 μm, κενό διάστημα ανάμεσα τους επίσης 3 μm, και να βρίσκονται κεντραρισμένοι στο διάκενο ανάμεσα στον πυρήνα και στα Ι/Ο. Όσον αφορά τα Stripes, επιλέγουμε παρόμοιο πάχος και κενό, και αριθμό σετ ίσο με τρία. ‘Έπειτα, δημιουργούμε τους ακροδέκτες Ι/Ο τροφοδοσίας και γείωσης κατάλληλα, έτσι ώστε να συνδέονται με δακτυλίους γύρω από τον πυρήνα. Τέλος, κατασκευάζουμε και τα follow pins μέσω της Sroute για τη σύνδεση των κελιών με το δίκτυο διανομής ισχύος.

Figure 10: Άσκηση 1 Βήμα 10 Power Ring

A screenshot of a computer

Description automatically generated

Figure 11: Άσκηση 1 Βήμα 10 Stripes

Τώρα δημιουργούμε με τις παρακάτω εντολές τα Pins Και τα συνδέουμε κιόλας στο Ring.

globalNetConnect VDD -type pgpin -pin VDD -inst \*

globalNetConnect VDD -type tiehi -instanceBasename \*

globalNetConnect VSS -type pgpin -pin VSS -inst \*

globalNetConnect VSS -type tielo -instanceBasename \*

createPGPin VDD -net VDD -geom Metal10 9 0 12 12

createPGPin VSS -net VSS -geom Metal10 3 0 6 6

A screenshot of a computer

Description automatically generatedΤώρα εκτελούμε την Sroute για να τελειώσουμε με το Βήμα 10.

Figure 12: Άσκηση 1 Βήμα 10 Sroute

## Βήμα 11

A screenshot of a computer

Description automatically generated Τώρα είμαστε στο βήμα του Placement. Αρχικά βάζουμε τις απαιτούμενες ρυθμίσεις όπως φαίνεται και στην εικόνα κάτω.

Figure 13: Άσκηση 1 Βήμα 11 Opt.

Έπειτα μέσω των εξής εντολών εκτελούμε την τοποθέτηση και εξάγουμε τα απαραίτητα reports.

setDesignMode -process 45

getPlaceMode

place\_opt\_design //τοποθέτηση

report\_power > innovus\_power\_step11.txt

report\_timing > innovus\_timing\_step11.txt

report\_area > innovus\_area\_step11.txt

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Total Power | Internal Power | Switching Power | Leakage Power | Slack | Area |
| 0.90887390W | 0.68827092W | 0.21992971W | 0.00067327W | 1.305ns | 31709.556 |

Table 2: Άσκηση 1 Βήμα 11.

A number of numbers and symbols

Description automatically generated with medium confidence

Figure 14: Άσκηση 1 Βήμα 11 Power.

A screenshot of a computer

Description automatically generated

Figure 15: Άσκηση 1 Βήμα 11 Timing.

A close-up of a line

Description automatically generated

Figure 16: Άσκηση 1 Βήμα 11 Area.

Τέλος ελέγξαμε το design μας μέσω της εντολής check placement και παρατηρούμε ότι δεν υπάρχει κάποιο θέμα.

A screenshot of a computer

Description automatically generated

Figure 17: Άσκηση 1 Βήμα 11 Check Placement.

## Βήμα 12

Η Early Power Analysis έγινε μετά την τοποθέτηση, ούτως ώστε να γίνει αποτίμηση της ικανότητας του δικτύου διανομής να τροφοδοτήσει κάθε κόμβο του κυκλώματος.

A colorful grid with lines

Description automatically generated with medium confidence

Figure 18: Άσκηση 1 Βήμα 12 Early Power Analysis.

A screen shot of a graph

Description automatically generated

Figure 19: Άσκηση 1 Βήμα 12 Power Graph.

## Βήμα 13

Εφαρμόζεται Early Global Routing 1) με εύρος δρομολόγησης που να καλύπτει όλα τα μέταλλα 2) με εύρος από το όγδωο (Μ8) ως το δέκατο (Μ10). Μέσω της reportCongestion -hotSpot βλέπουμε την συμφόρηση.

* M (1) – M (11)

Χρησιμοποιούνται 71790 vias καθώς και ένα wirelength ίσο με 205502um και δεν έχουμε κάποια συμφόρηση.

A screenshot of a computer

Description automatically generated

Figure 20: Άσκηση 1 Βήμα 13 M (1)-M (11) Πόροι.

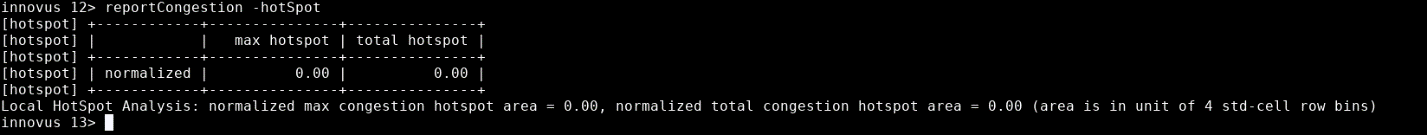


Figure 21: Άσκηση 1 Βήμα 13 M (1) -M (11) Congestion.

* Μ (8) – Μ (10)

Χρησιμοποιούνται 326819 vias καθώς και ένα wirelength ίσο με 208585um και έχουμε κάποια συμφόρηση .

A screenshot of a computer

Description automatically generated

Figure 22: Άσκηση 1 Βήμα 13 M (8) - M (10) Πόροι.

A black screen with white text

Description automatically generated

Figure 23: Άσκηση 1 Βήμα 13 M (8) - M (10) Congestion.

## Βήμα 14

Τώρα θα προχωρήσουμε με την σύνθεση του Δένδρου Ρολογιού. Αυτό θα γινεί με την χρήση ενός Non Default Rule. Για το trunk του δέντρου θα χρησιμοποιήσουμε (2W1S) και θα θέσουμε την επιθυμητή στρέβλωση στα 200 ps και το μέγιστο ρυθμό μετάβασης του ρολογιού ίσο με 200 ps. Ενώ για τα leaves θα αφήσουμε τις Default διαστάσεις. Αυτό θα γίνει με τις εξής εντολές:

create\_route\_type -top\_preferred\_layer 9 -bottom\_preferred\_layer 5 -non\_default\_rule NDR\_13 -name t\_route -preferred\_routing\_layer\_effort high

set\_ccopt\_property -net\_type trunk -route\_type t\_route

set\_ccopt\_property target\_skew 0.2

set\_ccopt\_property target\_max\_trans 0.2

create\_route\_type -top\_preferred\_layer 9 -bottom\_preferred\_layer 5 -name l\_route -preferred\_routing\_layer\_effort high

set\_ccopt\_property -net\_type leaf -route\_type l\_route

set\_ccopt\_property target\_skew 0.2

set\_ccopt\_property target\_max\_trans 0.2

Έπειτα δημιουργήθηκε ένα αρχείο spec, το δέντρο ρολογιού, και έγινε βελτιστοποίηση του

create\_ccopt\_clock\_tree\_spec -file step14\_1.spec

ccopt\_design

optDesign -postCTS

Έπειτα εξάγονται οι αναφορές μέσω των εντολών:

report\_power > report\_power\_step14.txt

report\_area > report\_area\_step14.txt

report\_timing > report\_timing\_step14.txt

report\_ccopt\_clock\_trees > report\_ccopt\_clock\_trees\_step14.txt

report\_ccopt\_skew\_groups > report\_ccopt\_skew\_groups\_step14.txt

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Total Power | Internal Power | Switching Power | Leakage Power | Slack | Area |
| 1.16736496W | 0.69948311W | 0.46720401W | 0.00067784W | 2.007ns | 31904.496 |

Table 3: Άσκηση 1 Βήμα 14 PPA.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Buffers | Skew Groups | Min depth | Max depth | Trunk wirelength | Leaves wirelength |
| 38 | 2 | 2 | 2 | 733.765um | 7380.540um |

Table 4: Άσκηση 1 Βήμα 14 Clock Stats.

Εικόνα που περιέχει κείμενο, γραμματοσειρά, απόδειξη, στιγμιότυπο οθόνης

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 24: Άσκηση 1 Βήμα 14 Slew Requirments.

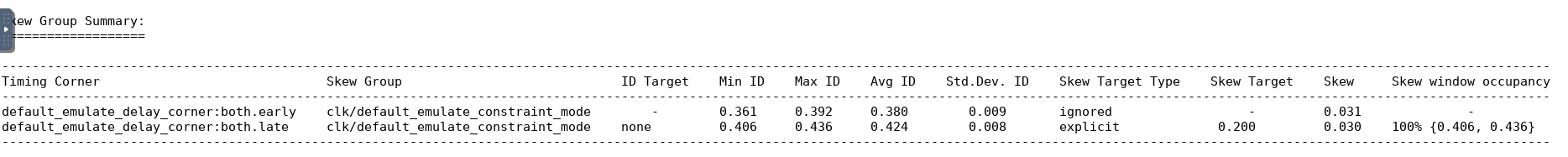


Figure 25: Άσκηση 1 Βήμα 14 Skew Requirments.

Όπως μπορούμε να επιβεβαιώσουμε και από τις παραπάνω εικόνες ικανοποιούνται ο στόχος για τη στρέβλωση και το μέγιστο ρυθμό μετάβασης που θέσαμε.

Εικόνα που περιέχει στιγμιότυπο οθόνης

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 26: Άσκηση 1 Βήμα 14 Clock Tree.

## Βήμα 15

Εκτελούμε τώρα τη δρομολόγηση, επιλέγοντας τις ρυθμίσεις Fix Antenna, SI Driven και Timing Driven με effort 5, καθώς και Medium Effort για το Via Optimization.

Εικόνα που περιέχει κείμενο, στιγμιότυπο οθόνης, λογισμικό, ιστοσελίδα

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 27: Άσκηση 1 Βήμα 15 Route Settings (1).

Εικόνα που περιέχει κείμενο, στιγμιότυπο οθόνης, αριθμός, λογισμικό

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 28: Άσκηση 1 Βήμα 15 Route Settings (2).

Έπειτα εκτελούμε τις παρακάτω εντολές για να εφαρμόσουμε την βελτιστοποίηση. Οι δύο πρώτες εντολές χρειάστηκαν γιατί χωρίς αυτές δεν μπορούσε να γίνει η βελτιστοποίηση και για -setup και -hold.

setDelayCalMode -engine aae -SIAware true

setAnalysisMode -analysisType onChipVariation -cppr both

optDesign -postRoute -setup -hold

Ύστερα εξήγαμε τα απαραίτητα χαρακτηριστικά μέσω τον εντολών:

report\_power > report\_power\_step15.txt

report\_area > report\_area\_step15.txt

report\_timing > report\_timing\_step15.txt

Τα οποία παρουσιάζονται στον πίνακα παρακάτω.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Total Power | Internal Power | Switching Power | Leakage Power | Slack | Area |
| 1.15392437W | 0.70019195W | 0.45305455W | 0.00067787W | 2.340ns | 31904.838 |

Table 5: Άσκηση 1 Βήμα 15

## Βήμα 16

Φτάνοντας στο τελευταίο βήμα της άσκησης 1 πρέπει να κάνουμε έλεγχο DRC , connectivity και να βάλουμε τέλος τα fillers.

Εικόνα που περιέχει κείμενο, στιγμιότυπο οθόνης, γραμματοσειρά

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 29: Άσκηση 1 Βήμα 16 DRC Check.

Αφού το DRC δεν έχει κάποια violations κάνουμε verify connectivity.

Εικόνα που περιέχει κείμενο, στιγμιότυπο οθόνης, γραμματοσειρά

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 30: Άσκηση 1 Βήμα 16 Verify Connectivity.

Εικόνα που περιέχει κείμενο, στιγμιότυπο οθόνης, αριθμός, γραμματοσειρά

Περιγραφή που δημιουργήθηκε αυτόματα Μετά και το verify connectivity θα κάνουμε το metal filling.

Figure 31: Άσκηση 1 Βήμα 16 Min Density.

Εικόνα που περιέχει κείμενο, στιγμιότυπο οθόνης, λογισμικό, αριθμός

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 32: Άσκηση 1 Βήμα 16 Metal Fill.

Η ολοκληρωτική εικόνα του chip είναι αυτή:

Εικόνα που περιέχει πολυχρωμία, στιγμιότυπο οθόνης, μοτίβο, ορθογώνιο παραλληλόγραμμο

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 33: Άσκηση 1 Βήμα 16 Chip.

# Άσκηση 2

## Βήμα 9-11

Σε αυτήν την άσκηση εκτελέστηκαν τα βήματα 9-15 της άσκησης 1, επιλέγοντας ποσοστό χρήσης πυρήνα 80% στο Βήμα 9. Στο βήμα 11 κάνουμε μια αποτίμηση του κυκλώματος μας στο στάδιο του placement.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | Total Power | Internal Power | Switching Power | Leakage Power | Slack | Area |
| 1η Άσκηση | 0.90887390W | 0.68827092W | 0.21992971W | 0.00067327W | 1.305ns | 31709.556 |
| 2η Άσκηση | 0.90454851W | 0.68807438W | 0.21580098W | 0.00067315W | 1.756ns | 31771.458 |
|  | Μειώθηκε | Μειώθηκε | Μειώθηκε | Μειώθηκε | Αυξήθηκε | Αυξήθηκε |

Table 6: Άσκηση 2 Βήμα 9-11 PPA.

## Βήμα 12-14

Στο βήμα 14 αφού έχουμε κάνει και το Early Global Route αποτιμάμε ξανά τα χαρακτηριστικά στο στάδιο post-CTSκαι τα συγκρίνουμε με την άσκηση 1.

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | Total Power | Internal Power | Switching Power | Leakage Power | Slack | Area | Wirelength | Vias |
| 1η Άσκηση | 1.16736496W | 0.69948311W | 0.46720401W | 0.00067784W | 2.007ns | 31904.496 | 205502um | 71790 |
| 2η Άσκηση | 0.99559484W | 0.69840156W | 0.29651682W | 0.00067646W | 1.756ns | 31771.458 | 181204um | 72144 |
|  | Μειώθηκε | Μειώθηκε | Μειώθηκε | Μειώθηκε | Μειώθηκε | Μειώθηκε | Μειώθηκε | Αυξήθηκε |

Table 7: Άσκηση 2 Βήμα 12-14 PPA.

## Βήμα 15

Τώρα βρισκόμαστε το στάδιο post-Route, αποτιμάμε ξανά τα χαρακτηριστικά τα συγκρίνουμε με την άσκηση 1.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | Total Power | Internal Power | Switching Power | Leakage Power | Slack | Area |
| 1η Άσκηση | 1.15392437W | 0.70019195W | 0.45305455W | 0.00067787W | 2.340ns | 31904.838 |
| 2η Άσκηση | 1.00221616W | 0.69834011W | 0.30319957W | 0.00067648W | 1.935ns | 31833.360 |
|  | Μειώθηκε | Μειώθηκε | Μειώθηκε | Μειώθηκε | Μειώθηκε | Μειώθηκε |

Table 8: Άσκηση 2 Βήμα 15 PPA.

Παρατηρείται ότι ο αριθμός των vias στην άσκηση 2 αυξήθηκε (όπου αυξήθηκε σε 80% το ποσοστό χρήσης πυρήνα) σε σχέση με την άσκηση 1. Κάτι το οποίο είναι αναμενόμενο γιατί ο αριθμός των κελιών αυξήθηκε ενώ η επιφάνεια μειώνεται, οπότε λόγω «εμποδίων» (κυκλωμάτων ή άλλων διασυνδέσεων) δεν θα υπάρχει διαθέσιμος χώρος σε κάθε επίπεδο μετάλλου, οπότε απαιτούνται περισσότερα vias και μικρότερο wirelength. Επιπλέον με την μείωση του μήκους διασυνδέσεων, η συνολική ισχύς και κυρίως η Switching Power μειώθηκε.

# Άσκηση 3

## Βήμα 1-6

Σε αυτή την άσκηση προσπαθήσαμε να βελτιστοποιήσουμε την ισχύ και συγκεκριμένα την ισχύ διαρροής (leakage power). Αυτό πραγματοποιήθηκε βάζοντας τις κατάλληλες εντολές και στο Genus και στο Innovus. Όσο αφορά το Genus εκεί προσθέσαμε στο αρχείο .tcl τις εξής εντολές:

#enable power optimization.

set\_db design\_power\_effort high

set\_db opt\_leakage\_to\_dynamic\_ratio 1.0

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | Area | Gates | Slack | Power | Leakage Power | Clock |
| 1η Άσκηση | 44134.99 | 9104 | 29ps | 9.21632e-04 W | 6.54515e-07W | 10ns |
| 3η Άσκηση | 47926.485 | 9915 | 8ps | 6.40562e-04 W | 5.26391e-07W | 10ns |
|  | Αυξήθηκε | Αυξήθηκε | Μειώθηκε | Μειώθηκε | Μειώθηκε |  |

Table 9: Άσκηση 3 Βήμα 1-6 PPA.

## Βήμα 7-11

Τώρα κάνουμε το placement και επιλέγουμε στο mode setup τις εξής ρυθμίσεις:

Εικόνα που περιέχει κείμενο, στιγμιότυπο οθόνης, αριθμός, γραμματοσειρά

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 34: Άσκηση 3 Βήμα 7-11 Placement Settings.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | Total Power | Internal Power | Switching Power | Leakage Power | Slack | Area |
| 1η Άσκηση | 0.90887390W | 0.68827092W | 0.21992971W | 0.00067327W | 1.305ns | 31709.556 |
| 3η Άσκηση | 0.75866740W | 0.54929270W | 0.20885539W | 0.00051931W | 1.154ns | 35063.892 |
|  | Μειώθηκε | Μειώθηκε | Μειώθηκε | Μειώθηκε | Μειώθηκε | Αυξήθηκε |

Table 10: Άσκηση 3 Βήμα 7-11 PPA.

## Βήμα 12 -14

Τώρα μετά, την σύνθεση του δέντρου ρολογιού αποτιμάμε ξανά τα χαρακτηριστικά και τα συγκρίνουμε με αυτά της άσκησης 1.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | Total Power | Internal Power | Switching Power | Leakage Power | Slack | Area |
| 1η Άσκηση | 1.16736496W | 0.69948311W | 0.46720401W | 0.00067784W | 2.007ns | 31904.496 |
| 3η Άσκηση | 0.85287663W | 0.56079926W | 0.29155493W | 0.00052244W | 1.756ns | 35019.090 |
|  | Μειώθηκε | Μειώθηκε | Μειώθηκε | Μειώθηκε | Μειώθηκε | Αυξήθηκε |

Table 11: Άσκηση 3 Βήμα 12-24 PPA.

## Βήμα 15

Τώρα στο Nanoroute ενεργοποιούμε ξανά την βελτιστοποίηση της ισχύος.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | Total Power | Internal Power | Switching Power | Leakage Power | Slack | Area |
| 1η Άσκηση | 1.15392437W | 0.70019195W | 0.45305455W | 0.00067787W | 2.340ns | 31904.838 |
| 3η Άσκηση | 0.84554465W | 0.56138010W | 0.28364200W | 0.00052255W | 1.496ns | 35018.064 |
|  | Μειώθηκε | Μειώθηκε | Μειώθηκε | Μειώθηκε | Μειώθηκε | Αυξήθηκε |

Table 12: Άσκηση 3 Βήμα 15 PPA.

Στην άσκηση αυτήν ενεργοποιήθηκε η βελτιστοποίηση της ισχύος διαρροής με high effort όπως και για τον χρονισμό, ενώ στην άσκηση 1 είχε ενεργοποιηθεί high effort μόνο στην βελτιστοποίηση του χρονισμού, χωρίς βελτιστοποίηση της ισχύος. Οπότε ήταν αναμενόμενο ότι η ισχύς διαρροής να μειωθεί σημαντικά (και κάθε τύπος ισχύος μειώθηκε) συγκριτικά με την άσκηση 1. Επιπλέον, στα υπόλοιπα βήματα σχεδίασης, αυξήθηκε η επιφάνεια του κυκλώματος και μειώθηκε το slack.

# Άσκηση 4

## Βήμα 1-6

Επαναλαμβάνουμε τώρα τα βήματα 1-15 της Άσκησης 1 αλλά αυτή τη φορά με περίοδο ρολογιού T = 8ns. Η αλλαγή αυτή θα πρέπει να γίνει στο αρχείο .sdc οπότε και αυτό παίρνει την εξής μορφή:

#SDC RESTRICTIONS FILE#

#with NO extra commands

#1)create clock with 50 % duty cycle, period =8ns, name = clk.

create\_clock -name clk -period 8 -waveform {0 4} [get\_ports clk]

#2)set clock latency = 0.5 ns (500 ps).

set\_clock\_latency -source 0.5 [get\_clocks clk]

#3)#Sets the clock uncertainty = 0.08ns (80 ps).

set\_clock\_uncertainty 0.08 [get\_clocks clk]

#4)Set clock rise and fall = 1% of total period.

set\_clock\_transition 0.1 [get\_clocks clk]

#5)set 1.5ns output delay for SETUP time.

set\_output\_delay -max 1.5 -clock clk -network\_latency\_included [all\_outputs]

#6)set 0.5ns delay for HOLD time.

set\_output\_delay -min 0.5 -clock clk -network\_latency\_included [all\_outputs]

#7)set capacity for SETUP time analysis = 0.5pF.

set\_load 0.5 -max all\_outputs;

#8)set capacity for HOLD time analysis = 0.05pF.

set\_load 0.05 -min all\_outputs;

#9)set 1.5ns input delay for SETUP time.

set\_input\_delay -max 1.5 -clock clk -network\_latency\_included [all\_inputs]

#10)set 0.5ns input delay for HOLD time.

set\_input\_delay -min 0.5 -clock clk -network\_latency\_included [all\_inputs]

#11)set input driving cell.BUFX2 for SETUP and BUFX16 for HOLD.

set\_driving\_cell -max -lib\_cell BUFX2 [all\_inputs]

set\_driving\_cell -min -lib\_cell BUFX16 [all\_inputs]

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | Area | Gates | Slack | Power | Clock |
| 1η Άσκηση | 44134.990 | 9104 | 29ps | 9.21632e-04W | 10ns |
| 4η Άσκηση | 45174.872 | 9633 | 2ps | 1.00633e-03W | 8ns |
|  | Αυξήθηκε | Μειώθηκε | Μειώθηκε | Αυξήθηκε |  |

Table 13: Άσκηση 4 Βήμα 1-6 PPA.

## Βήμα 7-11

Τώρα εξάγουμε τα χαρακτηριστικά για pre-CTS, και τα συγκρίνουμε με την άσκηση 1.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | Total Power | Internal Power | Switching Power | Leakage Power | Slack | Area |
| 1η Άσκηση | 0.90887390W | 0.68827092W | 0.21992971W | 0.00067327W | 1.305ns | 31709.556 |
| 4η Άσκηση | 1.14120877W | 0.85830623W | 0.28221558W | 0.00068695W | 0.605ns | 32241.366 |
|  | Αυξήθηκε | Αυξήθηκε | Αυξήθηκε | Αυξήθηκε | Μειώθηκε | Αυξήθηκε |

Table 14: Άσκηση 4 Βήμα 7-11 PPA.

## Βήμα 12-14

Σε αυτό το βήμα εξάγουμε τα χαρακτηριστικά του κυκλώματος για post-CTS, και τα συγκρίνουμε με την άσκηση 1.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | Total Power | Internal Power | Switching Power | Leakage Power | Slack | Area |
| 1η Άσκηση | 1.16736496W | 0.69948311W | 0.46720401W | 0.00067784W | 2.007ns | 31904.496 |
| 4η Άσκηση | 1.25917800W | 0.87319764W | 0.38528919W | 0.00069118W | 0.625ns | 32333.022 |
|  | Μειώθηκε | Μειώθηκε | Μειώθηκε | Μειώθηκε | Μειώθηκε | Αυξήθηκε |

Table 15: Άσκηση 4 Βήμα 12-14 PPA.

## Βήμα 15

Σε αυτό το βήμα εξάγουμε τα χαρακτηριστικά του κυκλώματος για post-Route, και τα συγκρίνουμε με την άσκηση 1.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | Total Power | Internal Power | Switching Power | Leakage Power | Slack | Area |
| 1η Άσκηση | 1.15392437W | 0.70019195W | 0.45305455W | 0.00067787W | 2.340ns | 31904.838 |
| 4η Άσκηση | 1.24900073W | 0.87402587W | 0.37428368W | 0.00069118W | 0.515ns | 32333.022 |
|  | Αυξήθηκε | Αυξήθηκε | Μειώθηκε | Αυξήθηκε | Μειώθηκε | Αυξήθηκε |

Table 16: Άσκηση 4 Βήμα 15 PPA.

Στην άσκηση 4 μειώθηκε η περίοδος ρολογιού σε 8 ns (αυξήθηκε η συχνότητα). Είναι όντως δυνατή η επιτάχυνση του κυκλώματος, με κόστος όμως στην καταναλισκόμενη ισχύ, η οποία αυξήθηκε συγκριτικά με την άσκηση 1. Η επιφάνεια αυξήθηκε ελάχιστα ενώ και το slack μειώθηκε όπως ήταν αναμενόμενο.

# Άσκηση 5

## Βήμα 1-6

Σε αυτήν την άσκηση εκτελέστηκαν τα βήματα 1-16 της άσκησης 1, αλλά αυτήν την φορά χρησιμοποιήθηκε στο Βήμα 1 η slow\_vdd1v0\_multibitsDFF.lib και η gsclib045\_multibitsDFF.lef, μαζί με τις αρχικές βιβλιοθήκες, στο genus και το innovus. Αρχικά αλλάζουμε το αρχείο .tcl και του δίνουμε την εξής μορφή.

#setup path for library

set\_db init\_lib\_search\_path /mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference\_libs/GPDK045/gsclib045\_svt\_v4.4/gsclib045/timing

#setup script path

set\_db script\_search\_path Desktop/VLSI/Script/

#setup hdl path

set\_db init\_hdl\_search\_path Desktop/VLSI/Verilog/

#Setup timing library

set\_db library { /mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference\_libs/GPDK045/gsclib045\_svt\_v4.4/gsclib045/timing/slow\_vdd1v0\_basicCells.lib /mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference\_libs/GPDK045/gsclib045\_svt\_v4.4/gsclib045/timing/slow\_vdd1v0\_multibitsDFF.lib }

#end

#Setup lef library

set\_db lef\_library {/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference\_libs/GPDK045/gsclib045\_svt\_v4.4/gsclib045/lef/gsclib045\_tech.lef /mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference\_libs/GPDK045/gsclib045\_svt\_v4.4/gsclib045/lef/gsclib045\_macro.lef /mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference\_libs/GPDK045/gsclib045\_svt\_v4.4/gsclib045/lef/gsclib045\_multibitsDFF.lef }

#end

#Setup qrc library

read\_qrc /mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference\_libs/GPDK045/gsclib045\_svt\_v4.4/gsclib045/qrc/qx/gpdk045.tch

#end

#use multibits

set\_db use\_multibit\_cells true

#setup hdl file

read\_hdl picorv32.v

#elaborate

elaborate "picorv32"

#check design

check\_design -all > Desktop/VLSI/Exercises/Ex5/Step1-7/v3/Checks/Ex5\_Step1-7\_v3\_Check\_Design.txt

#read the sdc file

read\_sdc Ex1\_Step4\_v3.sdc

#check timing intent

check\_timing\_intent > Desktop/VLSI/Exercises/Ex5/Step1-7/v3/Checks/Ex5\_Step1-7\_v3\_Check\_Timing\_Intent.txt

# setting forinnovus

set\_db / .use\_scan\_seqs\_for\_non\_dft false

#do syn\_generic

syn\_generic

#do syn\_map

syn\_map

#do optimation

syn\_opt

#report area

report\_area > Desktop/VLSI/Exercises/Ex5/Step1-7/v3/Reports/Ex5\_Step1-7\_v3\_Area.txt

#report gates

report\_gates > Desktop/VLSI/Exercises/Ex5/Step1-7/v3/Reports/Ex5\_Step1-7\_v3\_Gates.txt

#report timing

report\_timing > Desktop/VLSI/Exercises/Ex5/Step1-7/v3/Reports/Ex5\_Step1-7\_v3\_Timing.txt

#report power

report\_power > Desktop/VLSI/Exercises/Ex5/Step1-7/v3/Reports/Ex5\_Step1-7\_v3\_Power.txt

#report qor

report\_qor > Desktop/VLSI/Exercises/Ex5/Step1-7/v3/Reports/Ex5\_Step1-7\_v3\_Qor.txt

#export design

#------------- #optional steps

write\_hdl > Desktop/VLSI/Exercises/Ex5/Step1-7/v3/Exported/Ex5\_Step1-7\_v3\_design.v

write\_sdc > Desktop/VLSI/Exercises/Ex5/Step1-7/v3/Exported/Ex5\_Step1-7\_v3\_constraints.sdc

write\_script > Desktop/VLSI/Exercises/Ex5/Step1-7/v3/Exported/Ex5\_Step1-7\_v3\_constraints.g

# this line is for innovus tool and generate deafult folder

write\_design -innovus picorv32

#end use of genus no go on innovus

Exit

Εξάγουμε τώρα έναν πίνακα αποτελεσμάτων για το βήμα 6.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | Area | Gates | Slack | Power | Clock |
| 1η Άσκηση | 44134.990 | 9104 | 29ps | 9.21632e-04W | 10ns |
| 5η Άσκηση | 45427.643 | 9087 | 18ps | 8.55123e-04W | 10ns |
|  | Αυξήθηκε | Μειώθηκε | Μειώθηκε | Μειώθηκε |  |

Table 17: Άσκηση 5 Βήμα 1-6 PPA.

## Βήμα 7-11

Σε αυτό το σημείο εξάγουμε έναν πίνακα αποτελεσμάτων για το στάδιο pre-CTS, και τον συγκρίνουμε με τον αντίστοιχο της άσκησης 1.

Table 18: Άσκηση 5 Βήμα 7-11 PPA.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | Total Power | Internal Power | Switching Power | Leakage Power | Slack | Area |
| 1η Άσκηση | 0.90887390W | 0.68827092W | 0.21992971W | 0.00067327W | 1.305ns | 31709.556 |
| 5η Άσκηση | 0.80930797W | 0.55653223W | 0.25207420W | 0.00070154W | 1.780ns | 31625.424 |
|  | Μειώθηκε | Μειώθηκε | Αυξήθηκε | Αυξήθηκε | Αυξήθηκε | Μειώθηκε |

## Βήμα 12-14

Σε αυτό το σημείο εξάγουμε δύο πίνακες αποτελεσμάτων για το στάδιο post-CTS, και τους συγκρίνουμε με τους αντίστοιχους της άσκησης 1.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | Total Power | Internal Power | Switching Power | Leakage Power | Slack | Area |
| 1η Άσκηση | 1.16736496W | 0.69948311W | 0.46720401W | 0.00067784W | 2.007ns | 31904.496 |
| 5η Άσκηση | 0.84087490W | 0.56224816W | 0.27792359W | 0.00070315W | 2.039ns | 31669.200 |
|  | Μειώθηκε | Μειώθηκε | Μειώθηκε | Αυξήθηκε | Αυξήθηκε | Μειώθηκε |

Table 19: Άσκηση 5 Βήμα 12-14 PPA.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | Buffers | Skew Groups | Min depth | Max depth | Trunk wirelength | Leaves wirelength |
| 1η Άσκηση | 38 | 2 | 2 | 2 | 733.765um | 7380.540um |
| 5η Άσκηση | 18 | 2 | 2 | 2 | 413.220um | 3618.550um |

Table 20: Άσκηση 5 Βήμα 12-14 Clock Stats.

Εικόνα που περιέχει κείμενο, γραμματοσειρά, στιγμιότυπο οθόνης, αριθμός

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 35: Άσκηση 5 Βήμα 12-14 Slew.

Εικόνα που περιέχει κείμενο, γραμματοσειρά, απόδειξη, στιγμιότυπο οθόνης

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 36: Άσκηση 5 Βήμα 12-14 Skew.

Εικόνα που περιέχει στιγμιότυπο οθόνης

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 37: Άσκηση 5 Βήμα 12-14 Clock Tree.

## Βήμα 15

Στο βήμα αυτό εξάγουμε έναν πίνακα αποτελεσμάτων για το στάδιο post-Route, και τον συγκρίνουμε με τον αντίστοιχο της άσκησης 1.

Table 21: Άσκηση 5 Βήμα 15 PPA.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | Total Power | Internal Power | Switching Power | Leakage Power | Slack | Area |
| 1η Άσκηση | 1.15392437W | 0.70019195W | 0.45305455W | 0.00067787W | 2.340ns | 31904.838 |
| 5η Άσκηση | 0.83415074W | 0.56241925W | 0.27102834W | 0.00070315W | 2.132ns | 31669.200 |
|  | Μειώθηκε | Μειώθηκε | Μειώθηκε | Αυξήθηκε | Μειώθηκε | Μειώθηκε |

Στην άσκηση 5 με την χρήση των «multibits» βιβλιοθηκών μειώθηκε σημαντικά η καταναλισκόμενη ισχύς, η επιφάνεια μειώθηκε σε μικρό βαθμό, ενώ το slack μειώθηκε από 2.340ps σε 2.132ps. Παράλληλα οι buffers ρολογιού, το βάθος ρολογιού και τα μήκη δρομολόγησης trunk/leaves μειώθηκαν διότι με την χρήση των multibitsDFF συγχωνευτήκαν μεμονωμένοι καταχωρητές και έτσι χρειάστηκαν λιγότεροι buffers και μικρότερο μήκος αγωγών.

# Άσκηση 6

## Βήμα 1-6

Σε αυτήν την άσκηση εκτελέστηκαν τα βήματα 1-16 της άσκησης 1, αλλά αυτήν την φορά ενεργοποιήθηκε στο Βήμα 3 η φραγή ρολογιού μέσω της εντολής set\_db lp\_insert\_clock\_gating true. Έτσι το αρχείο .tcl μας θα έχει αυτή την μορφή:

#setup path for library

set\_db init\_lib\_search\_path /mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference\_libs/GPDK045/gsclib045\_svt\_v4.4/gsclib045/timing

#setup script path

set\_db script\_search\_path Desktop/VLSI/Script/

#setup hdl path

set\_db init\_hdl\_search\_path Desktop/VLSI/Verilog/

#Setup timing library

set\_db library /mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference\_libs/GPDK045/gsclib045\_svt\_v4.4/gsclib045/timing/slow\_vdd1v0\_basicCells.lib

#end

#Setup lef library

set\_db lef\_library {/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference\_libs/GPDK045/gsclib045\_svt\_v4.4/gsclib045/lef/gsclib045\_tech.lef /mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference\_libs/GPDK045/gsclib045\_svt\_v4.4/gsclib045/lef/gsclib045\_macro.lef}

#end

#Setup qrc library

read\_qrc /mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference\_libs/GPDK045/gsclib045\_svt\_v4.4/gsclib045/qrc/qx/gpdk045.tch

#end

#setup hdl file

read\_hdl picorv32.v

#insert clock gating

set\_db lp\_insert\_clock\_gating true

#elaborate

elaborate "picorv32"

#check design

check\_design -all > Desktop/VLSI/Exercises/Ex6/Step1-7/v3/Checks/Ex6\_Step1-7\_v3\_Check\_Design.txt

#read the sdc file

read\_sdc Ex1\_Step4\_v3.sdc

#check timing intent

check\_timing\_intent > Desktop/VLSI/Exercises/Ex6/Step1-7/v3/Checks/Ex6\_Step1-7\_v3\_Check\_Timing\_Intent.txt

# setting forinnovus

set\_db / .use\_scan\_seqs\_for\_non\_dft false

#do syn\_generic

syn\_generic

#do syn\_map

syn\_map

#do optimation

syn\_opt

#report area

report\_area > Desktop/VLSI/Exercises/Ex6/Step1-7/v3/Reports/Ex6\_Step1-7\_v3\_Area.txt

#report gates

report\_gates > Desktop/VLSI/Exercises/Ex6/Step1-7/v3/Reports/Ex6\_Step1-7\_v3\_Gates.txt

#report timing

report\_timing > Desktop/VLSI/Exercises/Ex6/Step1-7/v3/Reports/Ex6\_Step1-7\_v3\_Timing.txt

#report power

report\_power > Desktop/VLSI/Exercises/Ex6/Step1-7/v3/Reports/Ex6\_Step1-7\_v3\_Power.txt

#report qor

report\_qor > Desktop/VLSI/Exercises/Ex6/Step1-7/v3/Reports/Ex6\_Step1-7\_v3\_Qor.txt

#report clock gating

report\_clock\_gating > Desktop/VLSI/Exercises/Ex6/Step1-7/v3/Reports/Ex6\_Step1-7\_v3\_Clock\_Gating.txt

#export design

#------------- #optional steps

write\_hdl > Desktop/VLSI/Exercises/Ex6/Step1-7/v3/Exported/Ex6\_Step1-7\_v3\_design.v

write\_sdc > Desktop/VLSI/Exercises/Ex6/Step1-7/v3/Exported/Ex6\_Step1-7\_v3\_constraints.sdc

write\_script > Desktop/VLSI/Exercises/Ex6/Step1-7/v3/Exported/Ex6\_Step1-7\_v3\_constraints.g

# this line is for innovus tool and generate deafult folder

write\_design -innovus picorv32

#end use of genus no go on innovus

Exit

Έτσι στο τέλος του βήματος 6 παίρνουμε τα εξής αποτελέσματα όσον αφορά το PPA και το clock gating.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | Area | Gates | Slack | Power | Clock |
| 1η Άσκηση | 44134.990 | 9104 | 29ps | 9.21632e-04W | 10ns |
| 6η Άσκηση | 39012.161 | 8887 | 2ps | 4.33956e-04W | 10ns |
|  | Μειώθηκε | Μειώθηκε | Μειώθηκε | Μειώθηκε |  |

Table 22: Άσκηση 6 Βήμα 1-6 PPA.

Εικόνα που περιέχει κείμενο, στιγμιότυπο οθόνης, γραμματοσειρά, αριθμός

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 38: Άσκηση 6 Βήμα 1-6 Clock Gating.

## Βήμα 7-11

Σε αυτό το σημείο εξάγουμε τον πίνακα αποτελεσμάτων για το στάδιο post-CTS, και τον συγκρίνουμε με τον αντίστοιχο της άσκησης 1.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | Total Power | Internal Power | Switching Power | Leakage Power | Slack | Area |
| 1η Άσκηση | 1.16736496W | 0.69948311W | 0.46720401W | 0.00067784W | 2.007ns | 31904.496 |
| 6η Άσκηση | 0.65407378W | 0.43416649W | 0.21927456W | 0.00063273W | 2.252ns | 27604.188 |
|  | Μειώθηκε | Μειώθηκε | Μειώθηκε | Μειώθηκε | Αυξήθηκε | Μειώθηκε |

Figure 39: Άσκηση 6 Βήμα 7-11 PPA.

Επίσης παρακάτω μπορούμε να δούμε και την επιφάνεια των clock gating instances.



Table 23: Άσκηση 6 Βήμα 7-11 Clock Gating Instance type 1.



Table 24: Άσκηση 6 Βήμα 7-11 Clock Gating Instance type 2.

## Βήμα 12-14

Σε αυτό το βήμα εξάγουμε τα χαρακτηριστικά του κυκλώματος για post-CTS, και τα συγκρίνουμε με την άσκηση 1.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | Total Power | Internal Power | Switching Power | Leakage Power | Slack | Area |
| 1η Άσκηση | 1.16736496W | 0.69948311W | 0.46720401W | 0.00067784W | 2.007ns | 31904.496 |
| 6η Άσκηση | 0.68840735W | 0.44171074W | 0.24606117 W | 0.00063543 W | 2.180ns | 27641.808 |
|  | Μειώθηκε | Μειώθηκε | Μειώθηκε | Μειώθηκε | Αυξήθηκε | Μειώθηκε |

Table 25: Άσκηση 6 Βήμα 12-14 PPA.

Επίσης βλέπουμε και το area των clock gating instances.

Εικόνα που περιέχει κείμενο, στιγμιότυπο οθόνης, μοτίβο

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 40: Άσκηση 6 Βήμα 12-14 Clock Gating Instances.

## Βήμα 15

Σε αυτό το βήμα εξάγουμε τα χαρακτηριστικά του κυκλώματος για το post-Route στάδιο και τα συγκρίνουμε με την άσκηση 1.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | Total Power | Internal Power | Switching Power | Leakage Power | Slack | Area |
| 1η Άσκηση | 1.15392437W | 0.70019195W | 0.45305455W | 0.00067787W | 2.340ns | 31904.838 |
| 6η Άσκηση | 0.68177828W | 0.44189560W | 0.23924718W | 0.00063550W | 2.062ns | 27643.176 |
|  | Μειώθηκε | Μειώθηκε | Μειώθηκε | Μειώθηκε | Μειώθηκε | Μειώθηκε |

Table 26: Άσκηση 6 Βήμα 15 PPA.

Εικόνα που περιέχει κείμενο, στιγμιότυπο οθόνης, μοτίβο

Περιγραφή που δημιουργήθηκε αυτόματαΠαρακάτω έχουμε και το Area των clock gating instances.

Figure 41: Άσκηση 6 Βήμα 15 Clock Gating Instances.

Στην άσκηση αυτή ενεργοποιήθηκε η φραγή ρολογιού στα αρχικά στάδια της σύνθεσης. Η φραγή ρολογιού είναι μια τεχνική που χρησιμοποιείται στα κυκλώματα με στόχο τη μείωση της κατανάλωσης ισχύος τους. Πράγματι συγκριτικά με την άσκηση 1, η ισχύς σε όλα τα στάδια έχει μειωθεί, ενώ παράλληλα έχει μειωθεί η επιφάνεια σε όλα τα βήματα και το slack μειώθηκε μόνο στο στάδιο post-Route.

# Άσκηση 7

## Βήμα 1-7

Σε αυτήν την άσκηση εκτελέστηκαν τα βήματα 1-7 της άσκησης 1. Κατά τη σύνθεση κώδικα μέσω του Genus, πρέπει να επιβεβαιωθεί ότι δεν αλλοιώθηκε το κύκλωμα από την αρχική μορφή σε κώδικα RTL σε επίπεδο λειτουργικότητας. Για το λόγο αυτό χρησιμοποιήθηκε το εργαλείο Conformal Equivalence Checking της Cadence.

Αρχικά πρέπει να κάνουμε κάποιες αλλαγές στο αρχείο .tcl ώστε να κάνουμε τις απαραίτητες συγκρίσεις που μας ζητούνται. Αυτό το πετυχαίνουμε προσθέτοντας στο .tcl της άσκησης 5 τις εξής εντολές:

#Verification rtl vs elab step

write\_netlist -lec > elab.v

write\_do\_lec -top picorv32 -golden\_design rtl -revised\_design elab.v -log\_file rtl\_elab.lec.log > rtl\_elab.do

# Verification generic vs fv\_map step

write\_netlist -lec > map.v

write\_do\_lec -top picorv32 -golden\_design rtl -revised\_design map.v -log\_file elab\_map.lec.log > elab\_map.do

και μετά τρέχουμε στο terminal τις παρακάτω εντολές:

lec -XL -nogui -dofile rtl\_elab.do

lec -XL -nogui -dofile elab\_map.do

Μετά τις εντολές αυτές παίρνουμε τα αντίστοιχα report.

Στις εικόνες παρακάτω βλέπουμε ότι για την σύγκριση RTL-ELAB το αποτέλεσμα είναι **PASS** (δηλαδή ο κώδικας μας παρέμεινε λειτουργικός), και επίσης μπορούμε να δούμε με την χρήση της report\_statistics πόσα είναι τα Equivalent Points και ποια χρησιμοποίησε το Conformal Logic Equivalence Checking.

Εικόνα που περιέχει κείμενο, στιγμιότυπο οθόνης, γραμματοσειρά, αριθμός

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 42: Άσκηση 7 Βήμα 1-7 RTLvsELAB LEC.

Εικόνα που περιέχει κείμενο, στιγμιότυπο οθόνης, αριθμός, γραμματοσειρά

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 43: Άσκηση 7 Βήμα 1-7 RTLvsELAB statistics.

Αντίστοιχα στις εικόνες παρακάτω βλέπουμε ότι για την σύγκριση RTL-MAP το αποτέλεσμα είναι ξανά **PASS** (δηλαδή ο κώδικας μας παρέμεινε λειτουργικός), και επίσης μπορούμε να δούμε με την χρήση της report\_statistics πόσα είναι τα Equivalent Points και ποια χρησιμοποίησε το Conformal Logic Equivalence Checking.

Εικόνα που περιέχει κείμενο, στιγμιότυπο οθόνης, έγγραφο, γραμματοσειρά

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 44: Άσκηση 7 Βήμα 1-7 RTLvsMAP LEC.

Εικόνα που περιέχει κείμενο, στιγμιότυπο οθόνης, αριθμός, γραμματοσειρά

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 45: Άσκηση 7 Βήμα 1-7 RTLvsMAP statistics.

Εικόνα που περιέχει κείμενο, γραμματοσειρά, απόδειξη, γραμμή

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 46: Άσκηση 7 Βήμα 1-7 Equivalent Points.

Και στις 2 αναλύσεις των στιγμιότυπων μετά το elaborate και το syn\_map, τα αποτελέσματα της σύγκρισης (compare results) είναι PASS, οπότε επιβεβαιώνεται ότι το κύκλωμα κατά τη σύνθεση μέσω του genus δεν αλλοιώθηκε σε επίπεδο λειτουργικότητας (synthesized netlist) σε σχέση με την αρχική μορφή του κώδικα RTL.

# Άσκηση 8

## Βήμα 8-15

Αφού εκτελέστηκε το pads.py script, τροποποιείται σύμφωνα με το εγχειρίδιο το αρχείο genus.v. Εισήχθησαν έπειτα τα αρχεία στο innovus και αρχικοποιήθηκε το design. Για αυτό το βήμα χρησιμοποιήθηκαν τα αρχεία .lef, .lib και .tch που χρησιμοποιήθηκαν στην Άσκηση 1 αλλά και το αρχείο giolib045.lef το οποίο περιέχει περιγραφές για διαφορετικά pads corners. Προκειμένου να οριστούν οι θέσεις των Corners με σωστό τρόπο το Innovus μας παρέχει ένα αρχείο με κατάληξη .io το οποίο αποθηκεύουμε, τροποποιούμε και στη συνέχεια το ξαναφορτώνουμε στο εργαλείο.

Αφού εκτελέσουμε και το βήμα 15 παίρνουμε τον παρακάτω πίνακα αποτελεσμάτων και ένα στιγμιότυπο του κυκλώματος.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | Total Power | Internal Power | Switching Power | Leakage Power | Slack | Area |
| 1η Άσκηση | 1.15392437W | 0.70019195W | 0.45305455W | 0.00067787W | 2.340ns | 31904.838 |
| 8η Άσκηση | 104.69360634 W | 80.11605381W | 1.14243577W | 23.43511676 W | -30.400ns | 6191672.094 |
|  | Αυξήθηκε | Αυξήθηκε | Αυξήθηκε | Μειώθηκε | Μειώθηκε | Αυξήθηκε |

Table 27: Άσκηση 8 Βήμα 8-15 PPA.8-15 PPA.

Εικόνα που περιέχει κείμενο, απόδειξη, γραμματοσειρά, στιγμιότυπο οθόνης

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 47: Άσκηση 8 Βήμα 8-15 Area.

Όπως ήταν αναμενόμενο η επιφάνεια με τα pads είναι πολύ μεγαλύτερη από την επιφάνεια του πυρήνα. Γενικά η προσθήκη των pads κάνει το design πολύ μεγάλο σε μέγεθος και μικρό από πλευράς utilization (γιατί ο αριθμός των κελιών του δεν αλλάζει). Όμως δεν σημαίνει ότι είναι καλό το Innovus να απλώσει το design για να εκμεταλλευτεί τον χώρο, για τον λόγο ότι η αντίσταση των διασυνδέσεων αυξάνεται στην περίπτωση που αυξηθεί η απόσταση από το ένα κελί στο άλλο, για αυτό έχουμε και μια πολύ μεγάλη αύξηση στην ισχύ. Οπότε το Innovus μαζεύει όλο το design σε ένα συγκεκριμένο μέρος πάνω στον core. Παρατηρείται, επίσης ένα πολύ κακό slack το οποίο ευθύνεται στην προσθήκη των Pads και δεν μπορεί να γίνει κάτι για να διορθωθεί.

Μόλις τελειώσουμε και την βελτιστοποίηση του Placement έχουμε το εξής στιγμιότυπο.

Εικόνα που περιέχει στιγμιότυπο οθόνης, πολυχρωμία, Μπλε Majorelle, τέχνη

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 48: Άσκηση 8 Βήμα 8-15 Chip.

Παρατηρούμε ότι υπάρχουν κάποια Violations. Τα οποία βλέπουμε στην εικόνα παρακάτω ότι είναι antenna violations και οφείλονται στο τεράστιο area του chip και τα μεγάλα wirelengths.

Εικόνα που περιέχει κείμενο, λογισμικό, λογισμικό πολυμέσων, εικονίδιο υπολογιστή

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 49: Άσκηση 8 Βήμα 8-15 Antenna Violations.

Για να προσπαθήσουμε να το διορθώσουμε αυτό τρέχουμε τις εξής εντολές, τις οποίες τις συμβουλεύτηκα από τον Αριστοτέλη.

setNanoRouteMode -routeAntennaCellName ANTENNA

setNanoRouteMode -drouteFixAntenna true

setNanoRouteMode -routeInsertAntennaDiode true

globalDetailRoute

Πάρα την προσπάθεια δεν υπήρχε κάποια βελτίωση.

Εικόνα που περιέχει κείμενο, στιγμιότυπο οθόνης, λογισμικό, λογισμικό πολυμέσων

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 50: Άσκηση 8 Βήμα 8-15 Violations after fix.

# Άσκηση 9

## Βήμα 1-6

Σε αυτήν την άσκηση εκτελέστηκαν τα βήματα 1-6 της άσκησης 1. Στην άσκηση αυτή έπρεπε να εξοικειωθούμε με το βήμα που μετατρέπει ένα κύκλωμα σε «ικανό προς δοκιμή» κύκλωμα (DFT) «Design For Testability». Για τις δοκιμές αυτές απαιτείται επιπλέον λογική που καθιστά το κύκλωμα κατάλληλο για δοκιμή (test). Η λογική αυτή εισάχθηκε με κάποιες νέες εντολές στο αρχείο .tcl που τρέχουμε στο Genus. Οι νέες εντολές τοποθετήθηκαν μετά το βήμα του elaborate και ήταν οι παρακάτω.

#DFT

set\_db / .dft\_scan\_style muxed\_scan

set\_db / .dft\_prefix DFT\_

set\_db / .dft\_identify\_top\_level\_test\_clocks true

set\_db / .dft\_identify\_test\_signals true

set\_db / .dft\_identify\_internal\_test\_clocks false

set\_db / .use\_scan\_seqs\_for\_non\_dft false

set\_db "design:picorv32" .dft\_scan\_map\_mode tdrc\_pass

set\_db "design:picorv32" .dft\_connect\_shift\_enable\_during\_mapping tie\_off

set\_db "design:picorv32" .dft\_connect\_scan\_data\_pins\_during\_mapping loopback

set\_db "design:picorv32" .dft\_scan\_output\_preference auto

set\_db "design:picorv32" .dft\_lockup\_element\_type preferred\_level\_sensitive

set\_db "design:picorv32" .dft\_mix\_clock\_edges\_in\_scan\_chains true

define\_test\_clock -name scanclk -period 20000 clk

define\_shift\_enable -name se -active high -create\_port se

define\_test\_mode -name test\_mode -active high -create\_port test\_mode

define\_scan\_chain -name top\_chain -sdi scan\_in -sdo scan\_out -shift\_enable se -create\_ports

Έπειτα μέσω τον επόμενων εντολών ελέγχουμε για τυχόν παραβάσεις των κανόνων DFT. Στις παρακάτω εικόνες βλέπουμε τα αποτελέσματα των ελέγχων, όπου μπορεί γίνεται αντιληπτό ότι δεν υπάρχουν παραβάσεις DFT.

#DFT CHECKS

check\_dft\_rules > Desktop/VLSI/Exercises/Ex9/Step1-7/v3/Checks\_DFT/Before\_Gen/Ex9\_Step1-7\_v3\_DFT\_rules.txt

report\_scan\_registers > Desktop/VLSI/Exercises/Ex9/Step1-7/v3/Reports\_DFT/Before\_Gen/Ex9\_Step1-7\_v3\_DFT\_scan\_registers.txt

report\_scan\_setup > Desktop/VLSI/Exercises/Ex9/Step1-7/v3/Reports\_DFT/Before\_Gen/Ex9\_Step1-7\_v3\_DFT\_scan\_setup.txt

check\_dft\_rules -advanced > Desktop/VLSI/Exercises/Ex9/Step1-7/v3/Checks\_DFT/Before\_Gen/Ex9\_Step1-7\_v3\_DFT\_rules\_advanced.txt

connect\_scan\_chains -auto\_create\_chains

report\_scan\_chains > Desktop/VLSI/Exercises/Ex9/Step1-7/v3/Reports\_DFT/Before\_Gen/Ex9\_Step1-7\_v3\_DFT\_scan\_chains.txt

Εικόνα που περιέχει κείμενο, στιγμιότυπο οθόνης, γραμματοσειρά, έγγραφο

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 51: Άσκηση 9 Βήμα 1-6 Check DFT before synthesis.

Εικόνα που περιέχει κείμενο, στιγμιότυπο οθόνης, γραμματοσειρά, ασπρόμαυρο

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 52: Άσκηση 9 Βήμα 1-6 Report Scan Registers.

Εικόνα που περιέχει κείμενο, στιγμιότυπο οθόνης, γραμματοσειρά, έγγραφο

Περιγραφή που δημιουργήθηκε αυτόματαΒλέπουμε ότι περιορισμοί είναι επαρκείς. Μέσω της εντολής: check\_timing\_intent ελέγχεται ο χρονισμός, ο οποίος λειτουργεί σωστά.

Figure 53: Άσκηση 9 Βήμα 1-6 Check Timing Intent.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | Area | Gates | Slack | Power | Clock |
| 1η Άσκηση | 44134.990 | 9104 | 29ps | 9.21632e-04W | 10ns |
| 9η Άσκηση Syn gen. | 84325.030 | 26618 | 3736ps | 3.30906e-04W | 10ns |
| 9η Άσκηση Syn map. | 49635.264 | 10553 | 696ps | 9.58424e-04W | 10ns |
| 9η Άσκηση Syn opt. | 49289.349 | 10401 | 8ps | 9.46108e-04W | 10ns |

Table 28: Άσκηση 9 Βήμα 1-6 PPA.

Επίσης στην εικόνα παρακάτω βλέπουμε και το area των dft Instances.

Εικόνα που περιέχει κείμενο, απόδειξη, λευκό

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 54: Άσκηση 9 Βήμα 1-6 Syn Gen Total Area.

Ήταν αναμενόμενη η αύξηση του αριθμού κελιών, της επιφάνειας και της ισχύος (μικρή αύξηση ισχύος) σε σχέση με την άσκηση 1, αφού σε αυτό το βήμα προστίθεται επιπλέον λογική για την δοκιμή του κυκλώματος. Επιπλέον γίνεται αντιληπτό ότι τα αποτελέσματα μετά το syn\_opt έχουν βελτιωθεί συγκριτικά με το syn\_map (κάτι που είναι αναμενόμενο αφού το syn\_opt κάνει βελτιστοποίηση του design).

Έπειτα ξαναελέγχεται το κύκλωμα με τις παρακάτω εντολές ελέγχου:

#DFT Checks after synthesis

check\_dft\_rules > Desktop/VLSI/Exercises/Ex9/Step1-7/v3/Checks\_DFT/After\_Gen/Ex9\_Step1-7\_v3\_DFT\_rules.txt

report\_scan\_registers > Desktop/VLSI/Exercises/Ex9/Step1-7/v3/Reports\_DFT/After\_Gen/Ex9\_Step1-7\_v3\_DFT\_scan\_registers.txt

report\_scan\_setup > Desktop/VLSI/Exercises/Ex9/Step1-7/v3/Reports\_DFT/After\_Gen/Ex9\_Step1-7\_v3\_DFT\_scan\_setup.txt

check\_dft\_rules -advanced > Desktop/VLSI/Exercises/Ex9/Step1-7/v3/Checks\_DFT/After\_Gen/Ex9\_Step1-7\_v3\_DFT\_rules\_advanced.txt

connect\_scan\_chains -auto\_create\_chains

report\_scan\_chains > Desktop/VLSI/Exercises/Ex9/Step1-7/v3/Reports\_DFT/After\_Gen/Ex9\_Step1-7\_v3\_DFT\_scan\_chains.txt

Εικόνα που περιέχει κείμενο, στιγμιότυπο οθόνης, γραμματοσειρά, έγγραφο

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 55: Άσκηση 9 Βήμα 1-6 Check DFT after synthesis.

Εικόνα που περιέχει κείμενο, γραμματοσειρά, στιγμιότυπο οθόνης, λευκό

Περιγραφή που δημιουργήθηκε αυτόματα

Figure 56: Άσκηση Βήμα 1-6 Report Scan Registers.

Παρατηρούμε , ότι το μόνο πρόβλημα που φαίνεται να υπάρχει είναι ότι υπάρχει ένα undriven pin. Το pin αυτό είναι το scan\_out που προστέθηκε για την δοκιμή του κυκλώματος. Mέσω της εντολής connect\_scan\_chains -auto\_create\_chains συνδέονται όλες οι αλυσίδες ανίχνευσης.

# Παρατηρήσεις – Σημειώσεις

Με το τέλος της παρούσας εργασίας είδαμε αναλυτικά όλα τα βήματα της σύνθεσης και της φυσικής σχεδίασης, καθώς και τι επιλογές μπορούμε να κάνουμε για να πετύχουμε κάποια επιθυμητά PPA χαρακτηριστικά.

Η εργασία οργανώθηκε με πολύ καλό τρόπο και μαζί με το εγχειρίδιο ήταν πολύ κατανοητή ως προς τα βήματα που έπρεπε να εκτελεστούν. Σημαντική ήταν επίσης η συνεισφορά του Αριστοτέλη ο οποίος μας έλυσε κάθε απορία.

Όσον αφορά τώρα τις επιμέρους ασκήσεις της εργασίας από αυτές η άσκηση 8 ήταν η πιο απαιτητική και χρονοβόρα. Υπήρχε επίσης μια σύγχυση όσον αφορά το pads.py script διότι υπήρχε αρχικό λάθος στο script και έπειτα από παρέμβαση του Αριστοτέλη διορθώθηκε.

# Βιβλιογραφία – Πηγές

* Υλικό Μαθήματος Ψηφιακά Ολοκληρωμένα Κυκλώματα VLSI-ASIC Μεγάλης Κλίμακας, Β. Παυλίδης, ΤΗΜΜΥ ΑΠΘ