

Λογική Σχεδίαση

Εργαστηριακή Άσκηση 5

Όνοματεπώνυμο: Πασχάλης Μοσχογιάννης

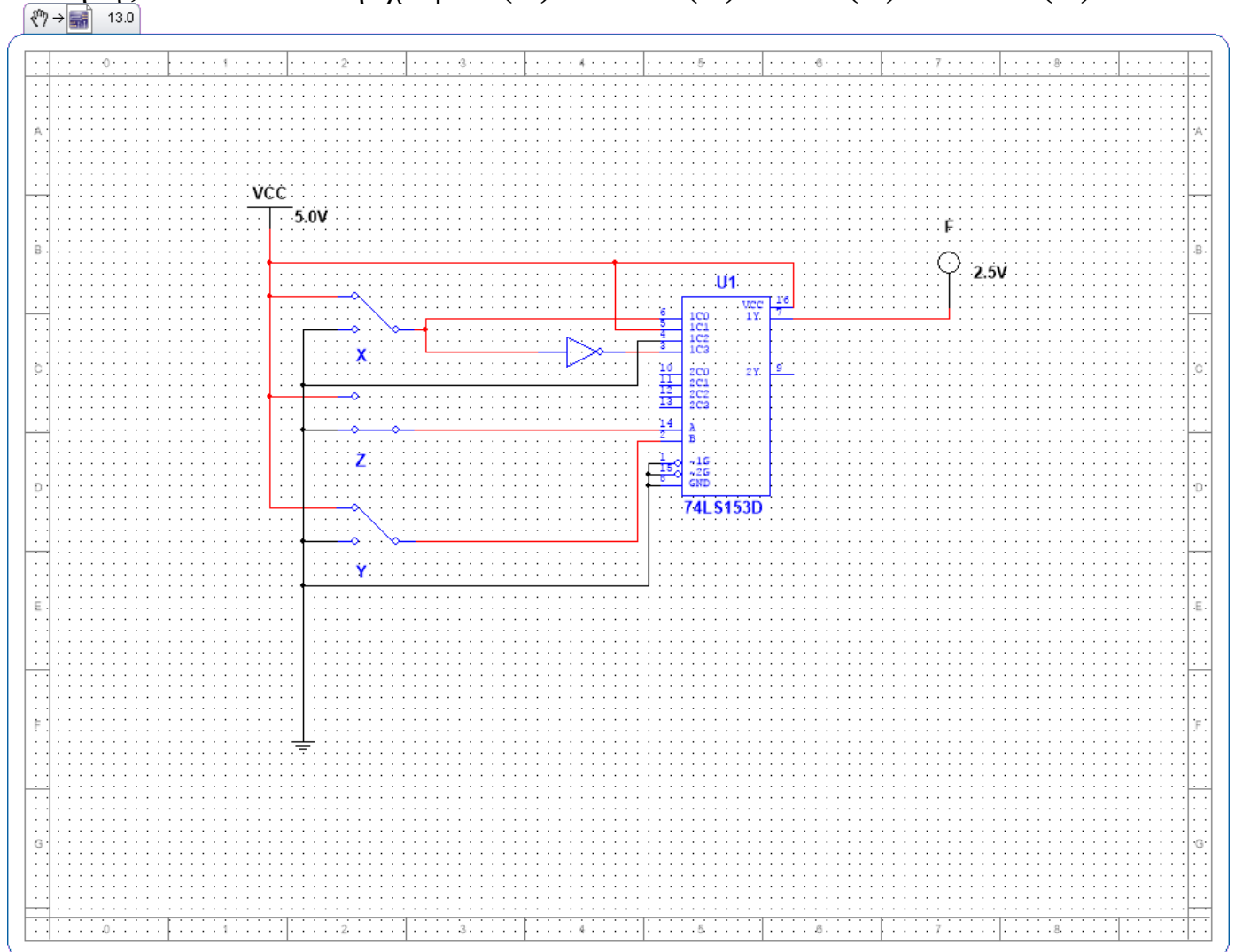
Αριθμός Μητρώου: 2114026

A1.

X	Y	Z	F	
0	0	0	0	
0	0	1	1	1
0	1	0	0	
0	1	1	1	3
1	0	0	1	4
1	0	1	1	5
1	1	0	0	
1	1	1	0	

a)

Αν τις μεταβλητές Y,Z χρησιμοποιηθούν ως επιλογή του πολυπλέκτη S1=Y, S0=Z και η συνάρτηση αποτελεί την έξοδο του Πολυπλέκτη $Y=F$ τότε σύμφωνα με τον πίνακα υλοποίησης του Πολυπλέκτη έχουμε: $F(I0)=X$ $F(I1)=1$ $F(I2)=0$ $F(I3)=X$

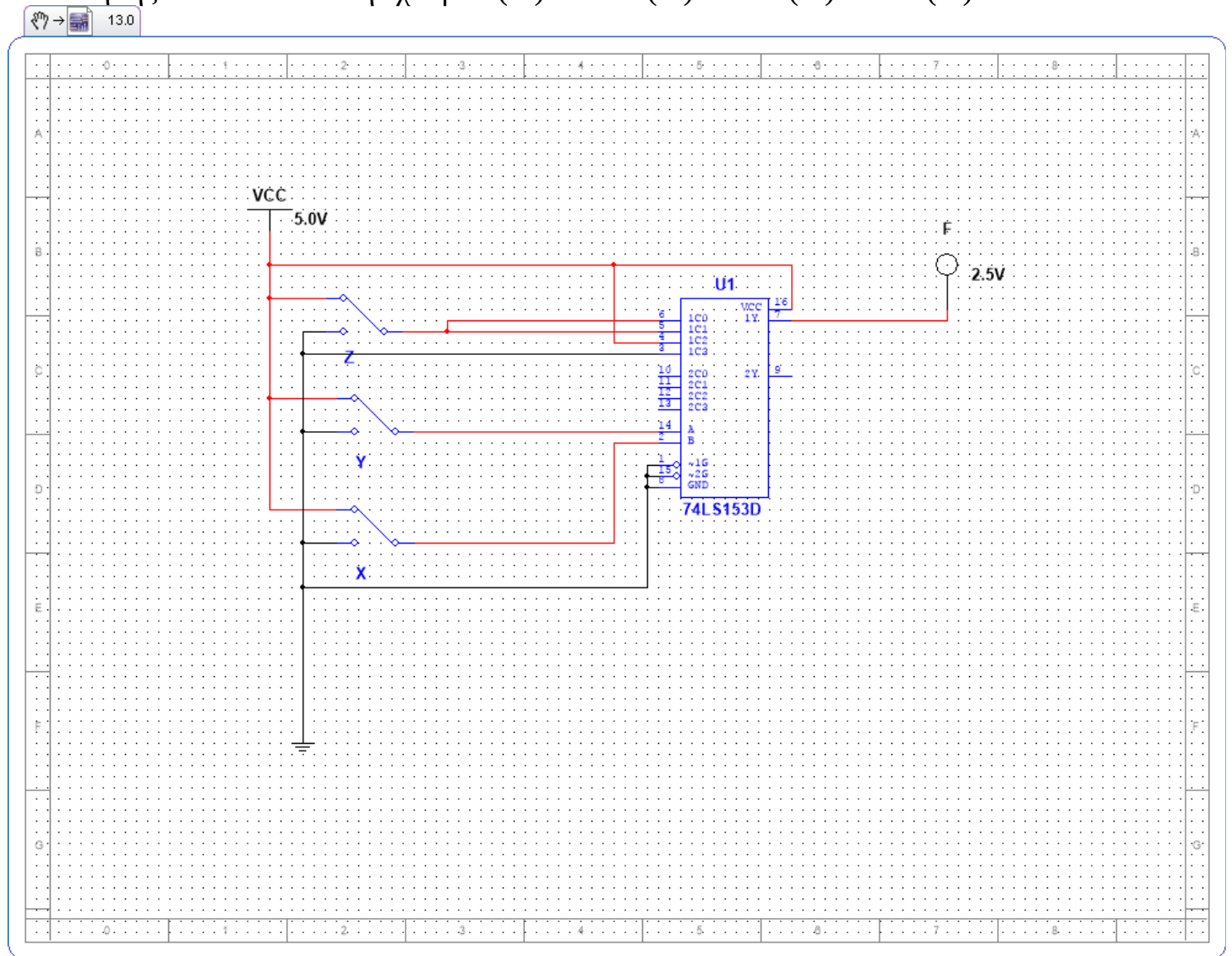


Εναλλακτικός τρόπος επίλυσης

	I0	I1	I2	I3
X'	0	1	2	3
X	4	5	6	7
	X	1	0	X'

b)

Αν τις μεταβλητές X,Y χρησιμοποιηθούν ως επιλογή του πολυπλέκτη S1=X, S0=Y και η συνάρτηση αποτελεί την έξοδο του Πολυπλέκτη $Y=F$ τότε σύμφωνα με τον πίνακα υλοποίησης του Πολυπλέκτη έχουμε: $F(I0) = Z$ $F(I1) = Z$ $F(I2) = 1$ $F(I3) = 0$

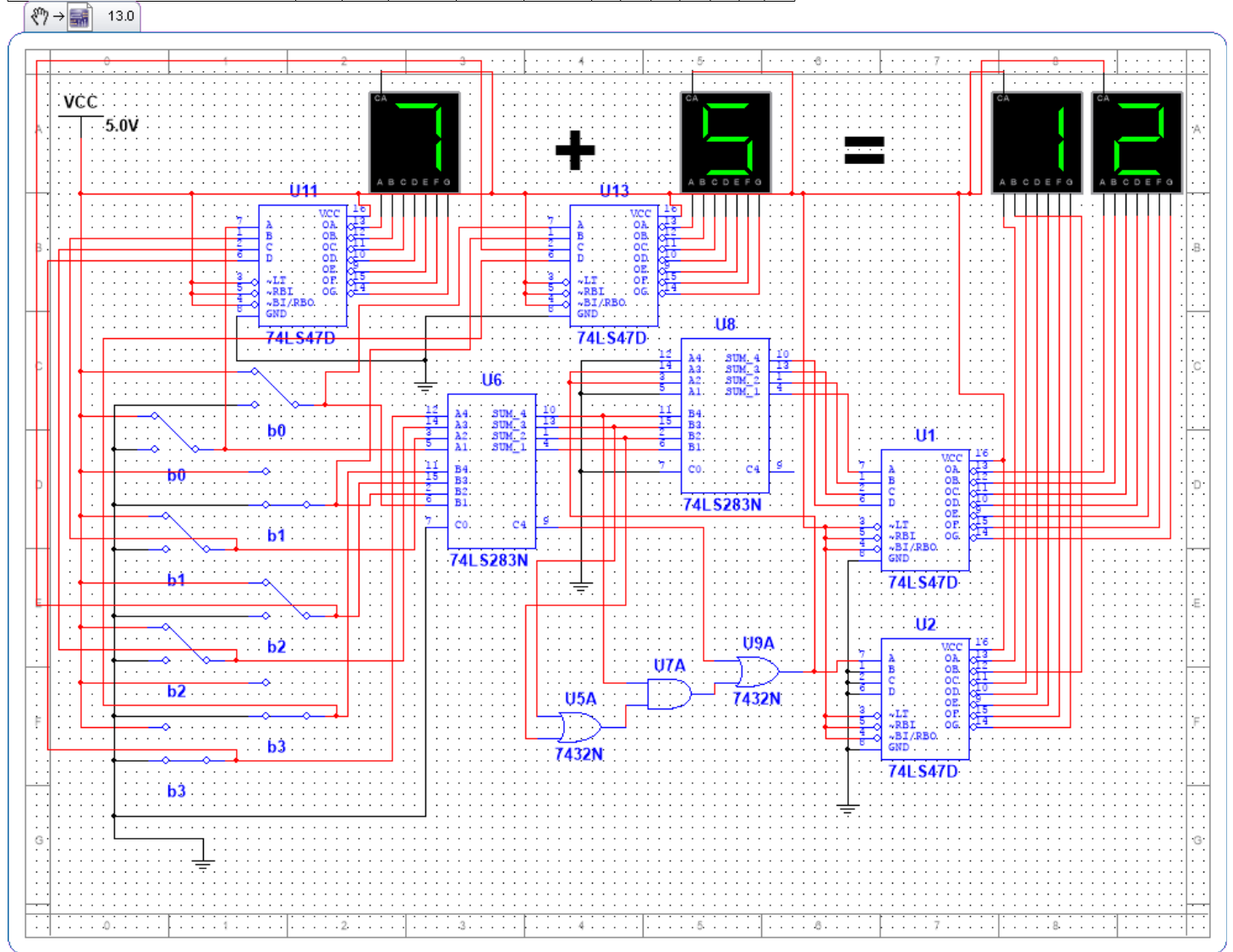


Εναλλακτικός τρόπος επίλυσης

	I0	I1	I2	I3
Z'	0	2	4	6
Z	1	3	5	7
	Z	Z	1	0

A2.
 α)
 AEM:211026

A	B	C	SUM	b3	b2	b1	b0		a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	0
0	0	1	6	0	0	0	1	1	0	1	0	0	0	0	0
0	1	0	2	0	0	1	0	2	1	1	1	1	1	0	1
0	1	1	8	0	0	1	1	3	1	1	1	1	0	0	1
1	0	0	0	0	1	0	0	4	0	1	0	0	0	1	1
1	0	1	6	0	1	0	1	5	1	0	1	1	0	1	1
1	1	0	2	0	1	1	0	6	1	0	1	1	1	1	1
1	1	1	8	0	1	1	1	7	1	1	0	0	0	0	0
				1	0	0	0	8	1	1	1	1	1	1	1
				1	0	0	1	9	1	1	1	1	0	1	1



B.

Για την έξοδο X ο χάρτης Karnaugh είναι:

D0D1\D2D3	00	01	11	10
00	X	1	1	1
01				
11				
10				

$$X = D0'D1'(D2 + D3)$$

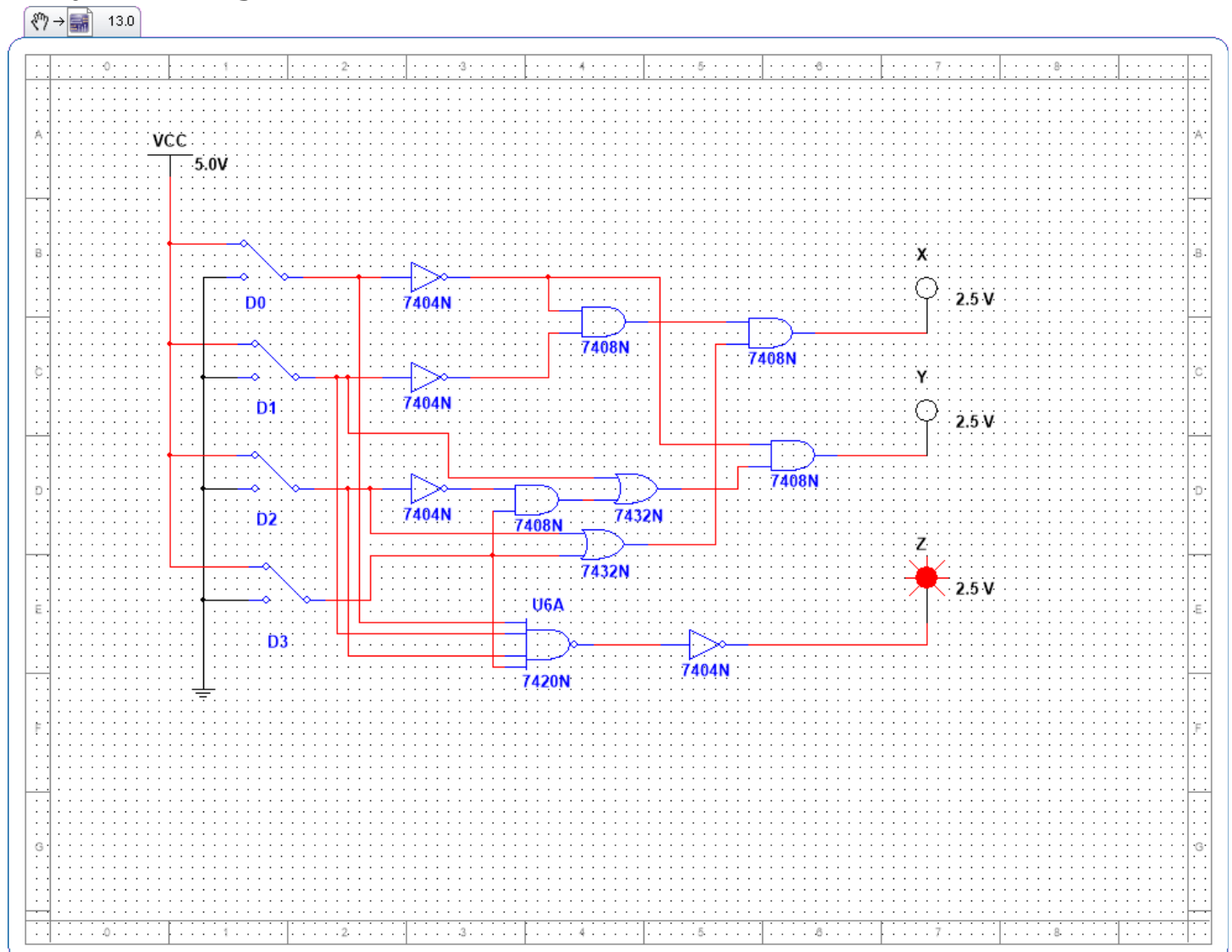
Για την έξοδο Y ο χάρτης Karnaugh είναι:

D0D1\D2D3	00	01	11	10
00	X	1		
01	1	1	1	1
11				
10				

$$Y = D0'(D1 + D2'D3)$$

Για την έξοδο Z είναι η συνάρτηση OR όλων των μεταβλητών,

$$Z = D0 + D1 + D2 + D3$$



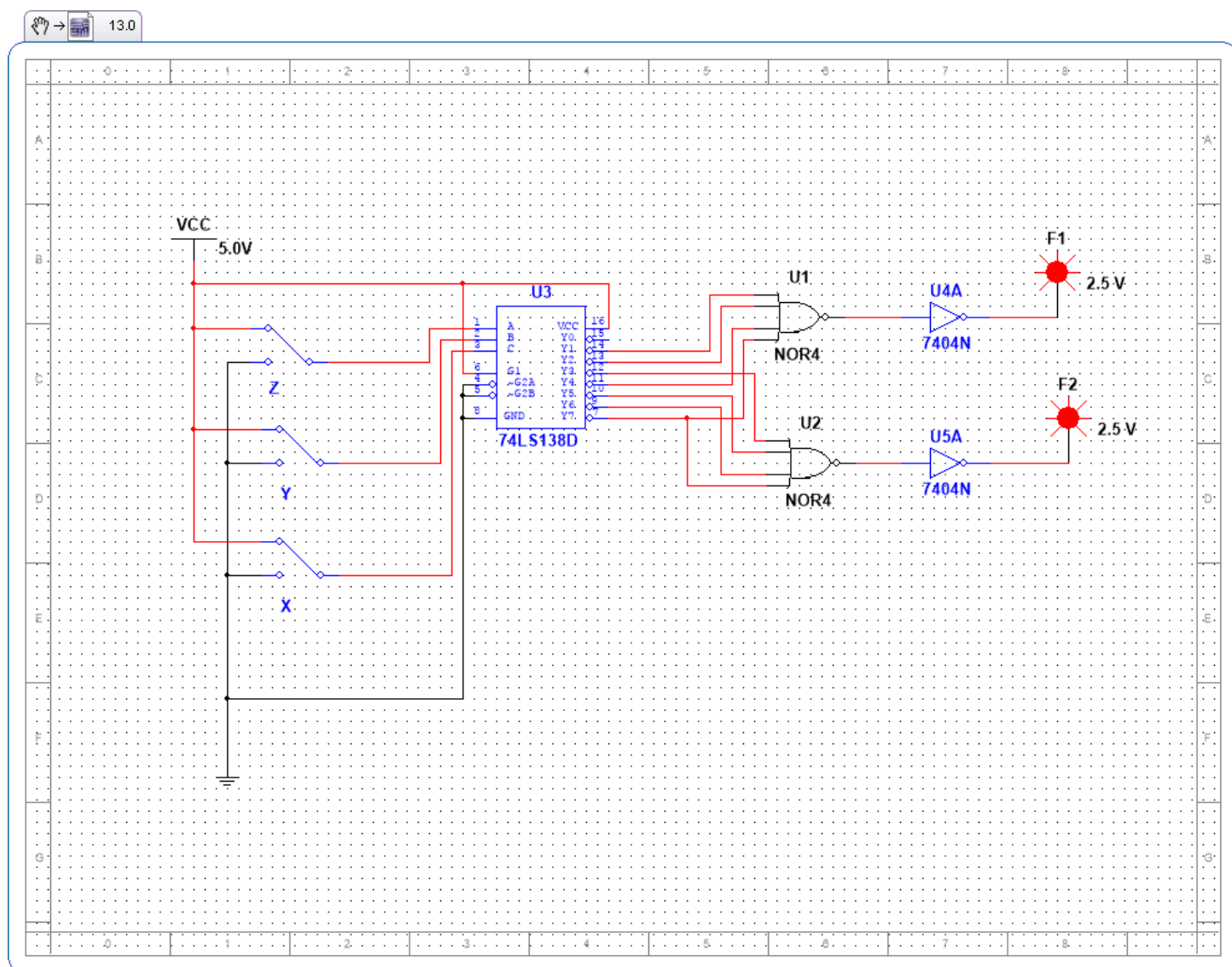
C.
1a)

Πληρη αθροιστή με έναν αποκωδικοποιητή και 2 πύλες `H`

A	B	Cin	S	Co	
0	0	0	0	0	I0
0	0	1	1	0	I1
0	1	0	1	0	I2
0	1	1	0	1	I3
1	0	0	1	0	I4
1	0	1	0	1	I5
1	1	0	0	1	I6
1	1	1	1	1	I7

$$F_s = \Sigma(I1, I2, I4, I7) = A'B'Cin + A'BC'in + AB'C'in + ABCin$$

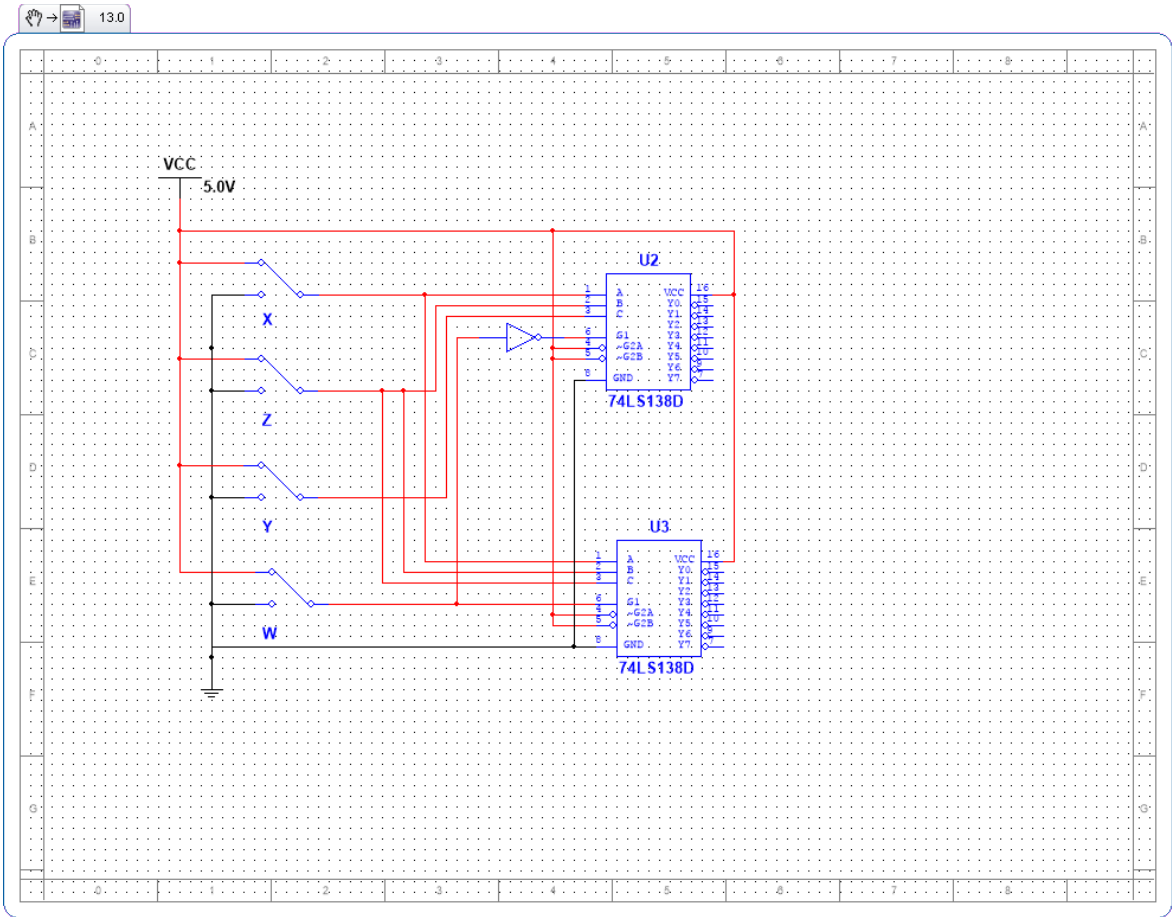
$$F_{co} = \Sigma(I3, I5, I6, I7) = A'Bcin + AB'Cin + ABC'in + ABCin$$



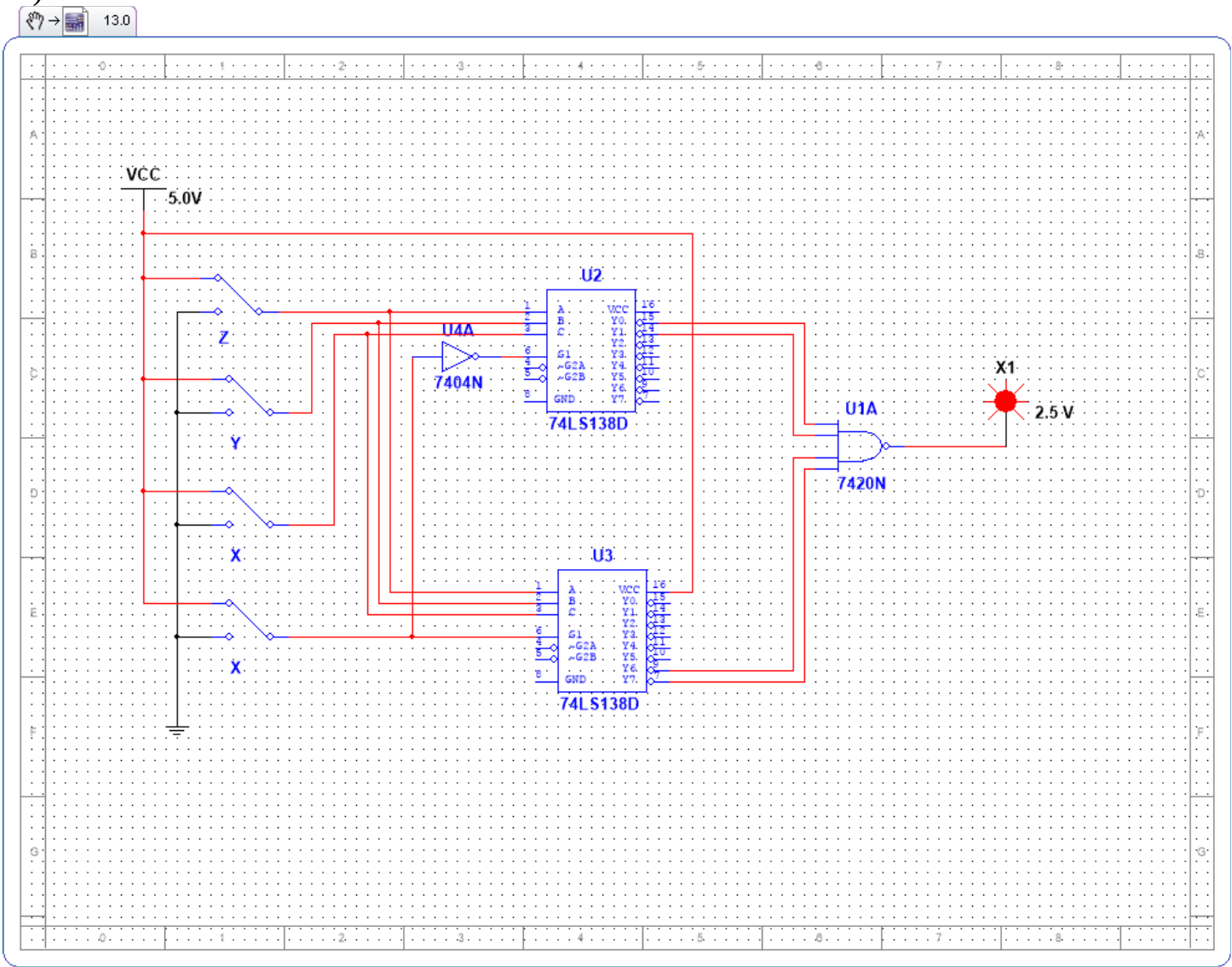
C1.
b)

Αποκωδικοποιητής 4X16 με χρήση 3X8 αποκ/των (ο.κ 74138)

Είσοδοι				Δεκ αρ	Έξοδοι															
W	X	Y	Z		D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15
0	0	0	0	0	0															
0	0	0	1	1		0														
0	0	1	0	2			0													
0	0	1	1	3				0												
0	1	0	0	4					0											
0	1	0	1	5						0										
0	1	1	0	6							0									
0	1	1	1	7								0								
1	0	0	0	8									0							
1	0	0	1	9										0						
1	0	1	0	10											0					
1	0	1	1	11												0				
1	1	0	0	12													0			
1	1	0	1	13														0		
1	1	1	0	14															0	
1	1	1	1	15																0



C1.
c)



C2.

Οι συναρτήσεις εξόδου μπορούν να πάρουν την αρχική τους μορφή, δηλαδή πριν την απλοποίηση και να γραφτούν ως εξής:

$$F1 = xy + x'y'z' = xyz + xyz' + x'y'z'$$

$$F2 = x'y + xy'z = x'yz + x'yz' + xy'z$$

$$F3 = y'z + x'yz = xy'z + x'y'z + x'yz$$

	x	y	z	F1	F2	F3
0	0	0	0	1	0	0
1	0	0	1	0	0	1
2	0	1	0	0	1	0
3	0	1	1	0	1	1
4	1	0	0	0	0	0
5	1	0	1	0	1	1
6	1	1	0	1	0	0
7	1	1	1	1	0	0

Επομένως, για να υλοποιηθεί η έξοδος F1 θα οδηγήσουμε τις εξόδους 0,6 και 7 του αποκωδικοποιητή σε μια πύλη NAND.

Για να υλοποιηθεί η έξοδος F2 θα οδηγήσουμε τις εξόδους 2,3 και 5 του αποκωδικοποιητή σε μια πύλη NAND.

Για να υλοποιηθεί η έξοδος F3 θα οδηγήσουμε τις εξόδους 1,3 και 5 του αποκωδικοποιητή σε μια πύλη NAND.

