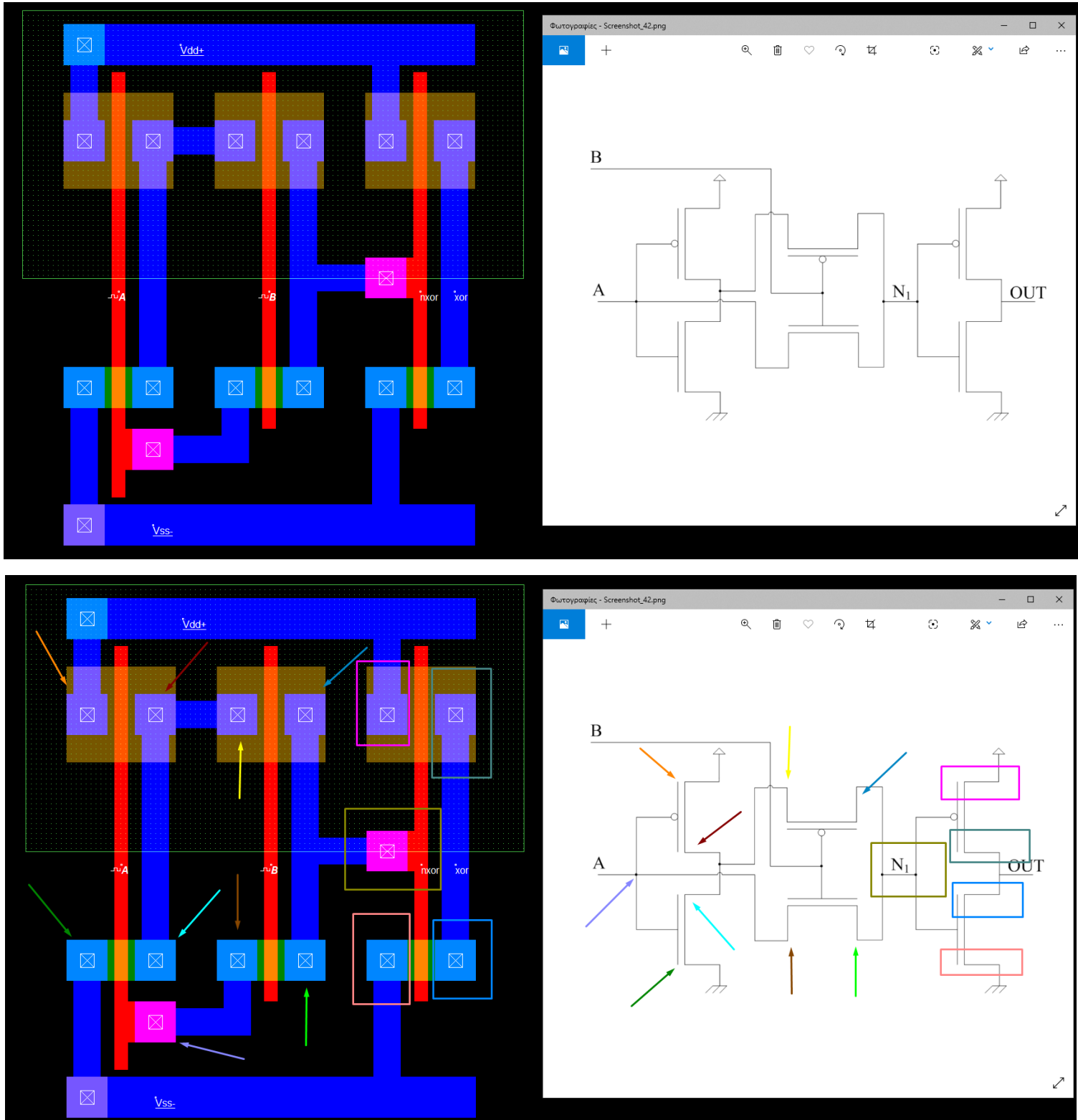


# 4η Εργαστηριακή Άσκηση

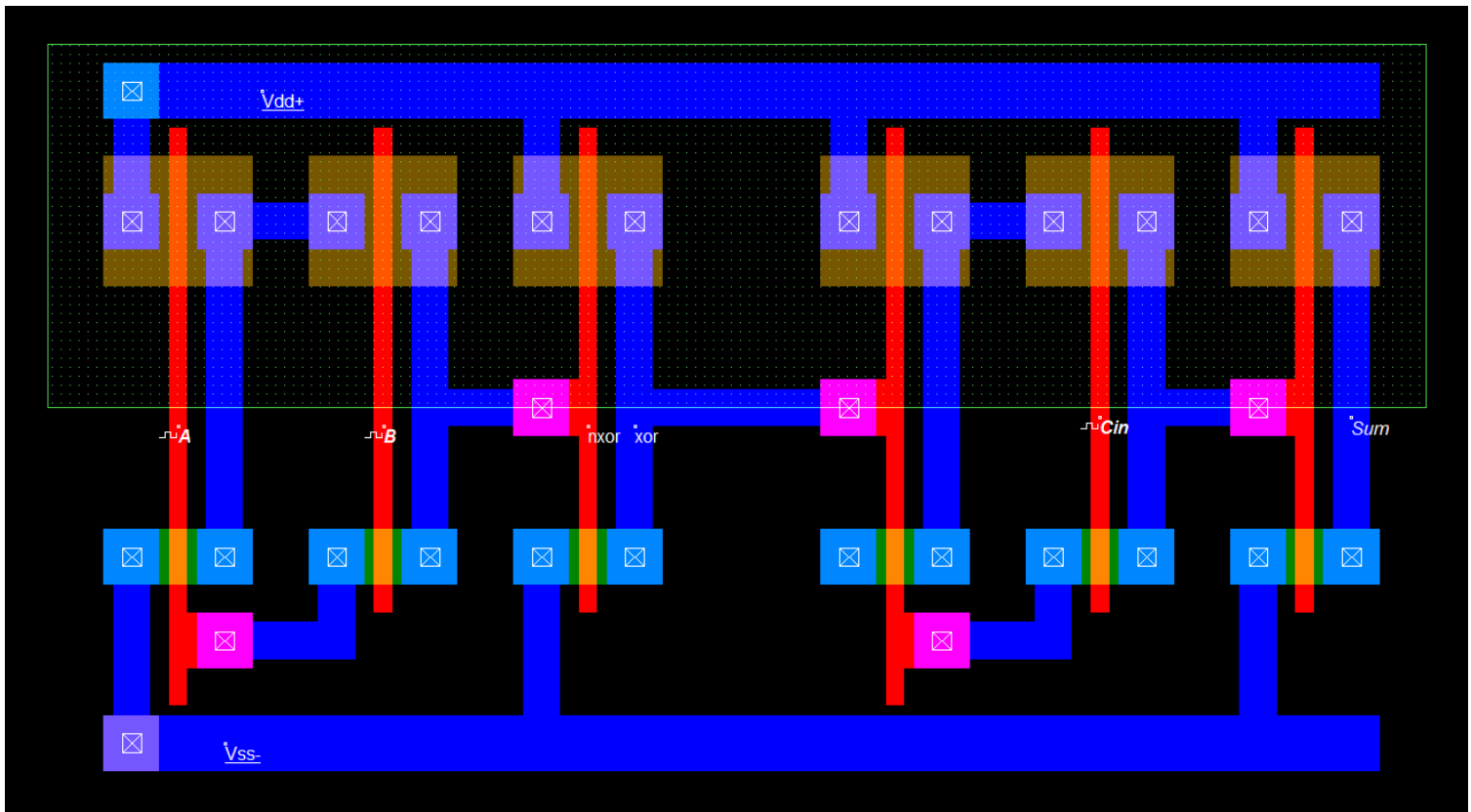
## Σχεδιασμός Πολύπλοκων Κυκλωμάτων CMOS και Μελέτη της Καθυστέρησης Εξόδου (Critical Path Delay)

### 3 Πειραματική Μελέτη Καθυστέρησης Πυλών CMOS

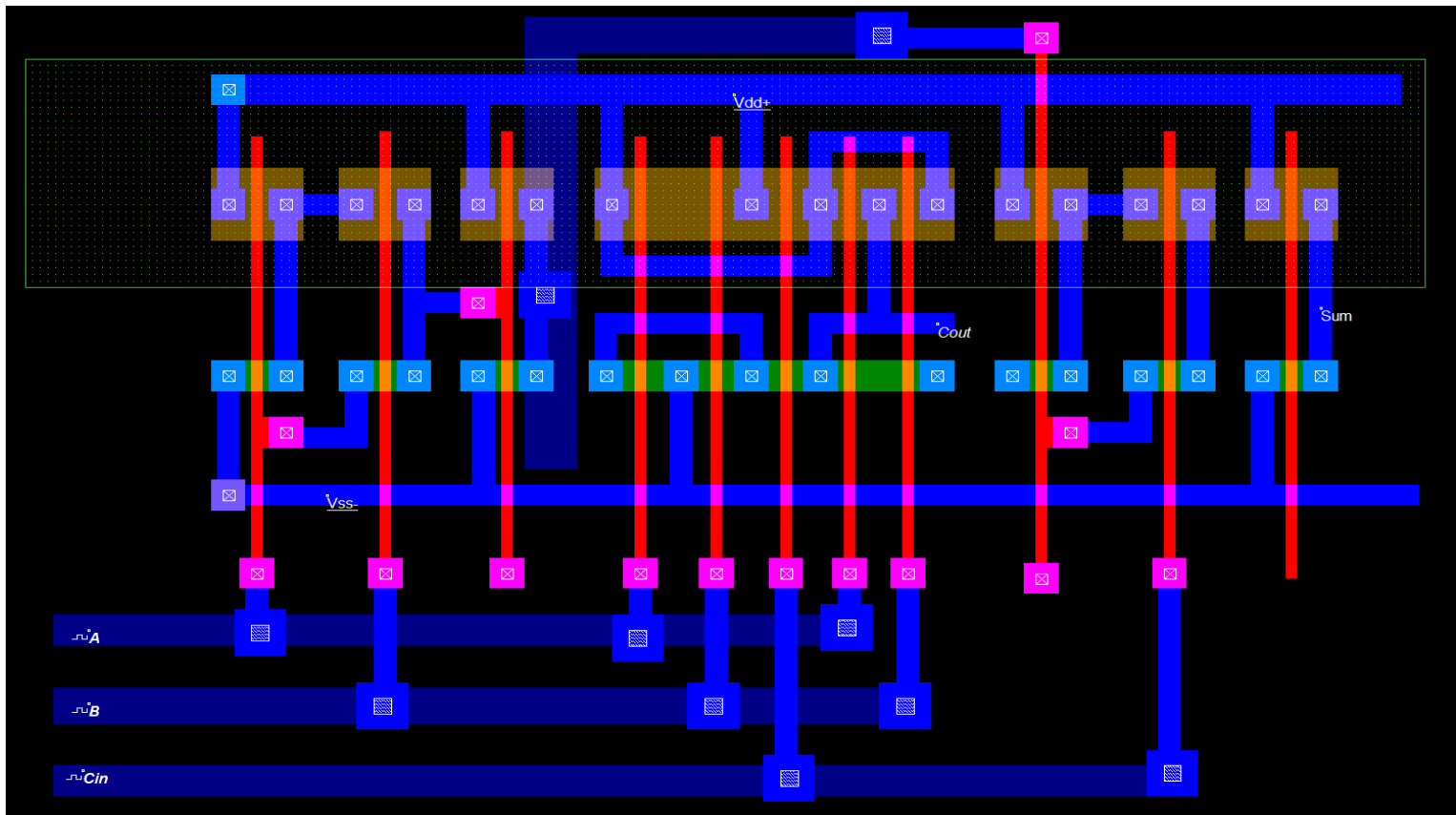
a) Σχεδιάστε μία πύλη XOR χρησιμοποιώντας την προτεινόμενη σχεδίαση του Σχ. 5 με τα εξής χαρακτηριστικά  $L_n = L_p = 1,2 \mu\text{m}$ ,  $W_n = 3,6 \mu\text{m}$ ,  $W_p = 8,4 \mu\text{m}$ , πλάτος λωρίδων τροφοδοσίας και γείωσης  $3,6 \mu\text{m}$  και πλάτος διασυνδέσεων  $2,4 \mu\text{m}$ .

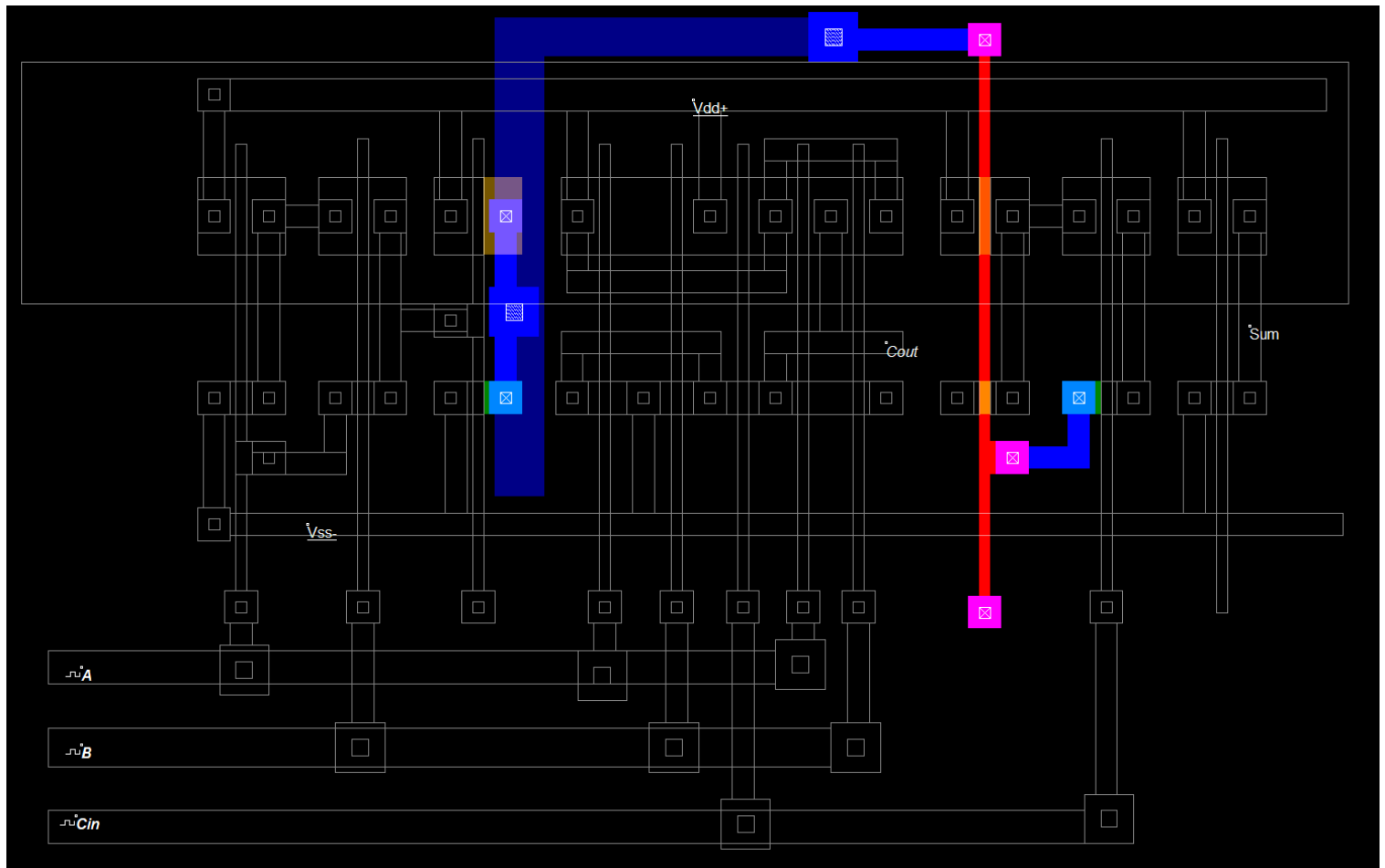


b) Συνδυάζοντας δύο πύλες XOR σχεδιάστε το κύκλωμα υπολογισμού αθροίσματος του Σχ. 4.



c) Χρησιμοποιώντας τον σχεδιασμό της προηγούμενης εργαστηριακής άσκησης σχεδιάστε ένα μπλοκ πλήρη αθροιστή (full adder cell)





d) Συνδυάζοντας 4 μπλοκ πλήρηαθροιστήσε σειρά δημιουργήστε έναν πλήρη αθροιστή εύρους 4 bit. Αυτό μπορείτε να το επιτύχετε χρησιμοποιώντας την εντολή “Duplicate XY” από την καρτέλα “Edit”. Στη συνέχεια χρειάζεται να επιλέξετε την περιοχή που θέλετε να αντιγραφεί με το ποντίκι. Τότε εμφανίζεται το παράθυρο του Σχ. 7, μέσω του οποίου μπορεί να ρυθμιστεί ο παράγοντας αντιγραφής στους άξονες X και Y καθώς και η απόσταση των νέων μπλοκ. Από προεπιλογή τα μπλοκ κεφάλαιονται μεταξύ τους.

