

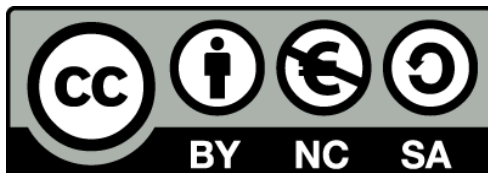
Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων VLSI I

4^η Εργαστηριακή Άσκηση

**Σχεδιασμός Πολύπλοκων Κυκλωμάτων CMOS
και Μελέτη της Καθυστερήσης Εξόδου
(Critical Path Delay)**

Άδειες Χρήσης

- Το παρόν υλικό διατίθεται με τους όρους της άδειας χρήσης Creative Commons Αναφορά, Μη Εμπορική Χρήση Παρόμοια Διανομή 4.0 ή μεταγενέστερη, Διεθνής Έκδοση. Εξαιρούνται τα αυτοτελή έργα τρίτων π.χ. φωτογραφίες, διαγράμματα κ.λ.π., τα οποία εμπεριέχονται σε αυτό και τα οποία αναφέρονται μαζί με τους όρους χρήσης τους στο «Σημείωμα Χρήσης Έργων Τρίτων».
- Για εκπαιδευτικό υλικό, όπως εικόνες, που υπόκειται σε άλλου τύπου άδειας χρήσης, η άδεια χρήσης αναφέρεται ρητώς.



Ως **Μη Εμπορική** ορίζεται η χρήση:

- που δεν περιλαμβάνει άμεσο ή έμμεσο οικονομικό όφελος από την χρήση του έργου, για το διανομέα του έργου και αδειοδόχο
- που δεν περιλαμβάνει οικονομική συναλλαγή ως προϋπόθεση για τη χρήση ή πρόσβαση στο έργο
- που δεν προσπορίζει στο διανομέα του έργου και αδειοδόχο έμμεσο οικονομικό όφελος (π.χ. διαφημίσεις) από την προβολή του έργου σε διαδικτυακό τόπο

Διατήρηση Σημειωμάτων

Οποιαδήποτε αναπαραγωγή ή διασκευή του υλικού θα πρέπει να συμπεριλαμβάνει:

- το Σημείωμα Αναφοράς
- το Σημείωμα Αδειοδότησης
- τη Δήλωση Διατήρησης Σημειωμάτων
- το Σημείωμα Χρήσης Έργων Τρίτων (εφόσον υπάρχει)

μαζί με τους συνοδευόμενους υπερσυνδέσμους.

Ανάπτυξη

Το παρόν εκπαιδευτικό υλικό αναπτύχθηκε στο Τμήμα Ηλεκτρολόγων Μηχανικών και Τεχνολογίας Υπολογιστών του Πανεπιστημίου Πατρών.



Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης

1 Εισαγωγή

Αντικείμενο της άσκησης είναι η σχεδίαση πολύπλοκων κυκλωμάτων CMOS με τη βοήθεια του εργαλείου Microwind. Μελετάται η καθυστέρηση των πολύπλοκων αυτών κυκλωμάτων τεχνολογίας CMOS μέσω της χρησιμοποίησης των απλουστευμένων μοντέλων καθυστέρησης για κυκλώματα CMOS πολύπλοκης λογικής. Η μέθοδος σχεδιασμού που θα χρησιμοποιηθεί κατά τη σχεδίαση είναι των μονοπατιών Euler που μελετήθηκαν στην προηγούμενη άσκηση.

2 Χαρακτηριστικά Μεταγωγής Κυκλωμάτων CMOS

Σε πολλές λογικές σχεδιάσεις υπάρχουν αρκετά λογικά μονοπάτια τα οποία δεν απαιτούν καθόλου ιδιαίτερη μελέτη χρονισμού. Εντούτοις, υπάρχει ένας αριθμός μονοπατιών, που καλούνται κρίσιμα μονοπάτια (critical paths), τα οποία απαιτούν προσοχή σε θέματα χρονισμών. Τα μονοπάτια αυτά μπορεί να ανγνωριστούν από τη σχεδιαστική εμπειρία ή την προσομοίωση χρονισμών, αν και οι περισσότεροι σχεδιαστές χρησιμοποιούν αναλυτή χρονισμών. Ο αναλυτής είναι ένα εργαλείο σχεδίασης που μπορεί να βρίσκει αυτόματα τα πιο αργά μονοπάτια σε μία λογική σχεδίαση. Τα κρίσιμα μονοπάτια μπορούν να βρεθούν σε τέσσερα επίπεδα:

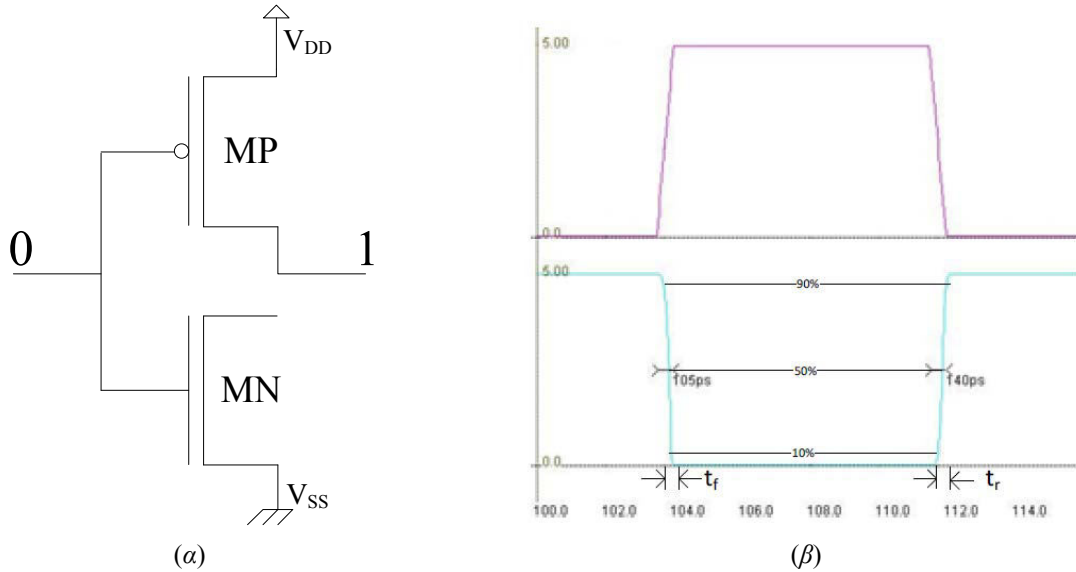
- Στο επίπεδο αρχιτεκτονικής
- Στο επίπεδο RTL/λογικών πυλών
- Στο επίπεδο κυκλώματος (transistor)
- Στο επίπεδο φυσικής σχεδίασης (layout)

Στην ενότητα αυτή αναπτύσσονται αναλυτικά και εμπειρικά μοντέλα τα οποία περιγράφουν τα χαρακτηριστικά μεταγωγής ενός αντιστροφέα CMOS. Τα μοντέλα αυτά χρησιμοποιούνται για την κατανόηση των παραμέτρων που επηρεάζουν τις καθυστερήσεις των κυκλωμάτων τεχνολογίας CMOS. Συνήθως για την πρόβλεψη της απόδοσης των σημερινών τεχνολογιών απαιτείται έντονη ανάλυση ή προσομοίωση.

Η ταχύτητα μεταγωγής μιας πύλης CMOS περιορίζεται από τον χρόνο που απαιτείται για την φόρτιση και την εκφόρτιση της χωρητικότητας φορτίου, C_L . Μία μεταβολή της εισόδου καταλήγει σε μία μεταβολή της εξόδου, το οποίο και σημαίνει ότι ο πυκνωτής C_L φορτίζεται στην τιμή V_{DD} ή εκφορτίζεται στην τιμή V_{SS} .

Όμως, πριν αρχίσει η ανάλυση των χαρακτηριστικών μεταγωγής είναι αναγκαίο να δοθούν κάποιοι ορισμοί. Με αναφορά το Σχ. 1 έχουμε:

- Χρόνος ανόδου (rise time) t_r : ο χρόνος για να ανέλθει μια κυματομορφή από το 10% στο 90% της τιμής της στην μόνιμη κατάσταση.
- Χρόνος καθόδου (fall time) t_f : ο χρόνος για να κατέλθει μία κυματομορφή από το 90% στο 10% της τιμής της στην μόνιμη κατάσταση.
- Χρόνος καθυστέρησης (delay time) t_d : η διαφορά χρόνου μεταξύ της μεταβολής της εισόδου (50%) και του 50% της στάθμης εξόδου. (Αυτή η χρονική διαφορά αντιστοιχεί στον χρόνο που απαιτείται σε μία λογική μεταβολή να περάσει από την είσοδο στην έξοδο).



Σχ. 1 α) Αντιστροφέας CMOS, β) Απόκριση αντιστροφέα CMOS

Επιπλέον γίνεται διαφοροποίηση μεταξύ του χρόνου t_{df} που είναι η καθυστέρηση για μετάβαση από την υψηλή στάθμη στην χαμηλή (άνοδος εισόδου) και του χρόνου t_{dr} που είναι η καθυστέρηση για μετάβαση από την χαμηλή στάθμη στην υψηλή (κάθοδος εισόδου).

Αρχικά, δίνονται τα απλά αναλυτικά μοντέλα για τις καθυστερήσεις ανόδου και καθόδου ενός αντιστροφέα CMOS, ενώ στη συνέχεια εξετάζονται τα εμπειρικά μοντέλα που βοηθούν στον υπολογισμό των εν λόγω καθυστερήσεων καθώς και της συνολικής καθυστέρησης μίας πύλης.

2.1 Αναλυτικά Μοντέλα Καθυστέρησης

Για τον υπολογισμό των χρόνων ανόδου και καθόδου ενός αντιστροφέα οι τύποι που προκύπτουν από τα αναλυτικά μοντέλα καθυστέρησης είναι:

1. Χρόνος Καθόδου

$$t_f = 2 \frac{C_L}{\beta_n V_{DD}(1-n)} \left[\frac{n-0.1}{1-n} + \frac{1}{2} \ln(19-20n) \right]$$

$$\text{για } n = V_{tn}/V_{DD}$$

2. Χρόνος Ανόδου (λόγω συμμετρίας)

$$t_r = 2 \frac{C_L}{\beta_p V_{DD}(1-n)} \left[\frac{p-0.1}{1-p} + \frac{1}{2} \ln(19-20p) \right]$$

$$\text{για } p = |V_{tp}|/V_{DD}$$

Οι παραπάνω εξισώσεις μπορούν να προσεγγισθούν από τις απλουστευμένες εκφράσεις για τις καθυστερήσεις καθόδου και ανόδου αντίστοιχα ενός κυκλώματος αντιστροφέα, όπου $k = 3$ έως 4 για τις τιμές $V_{DD} = 3 \text{ V}$ έως 5 V και $V_{in} = 0.5 \text{ V}$ έως 1 V .

$$t_r = k \frac{C_L}{\beta_p V_{DD}} \quad t_f = k \frac{C_L}{\beta_n V_{DD}}$$

Τα β_n και β_p δίνονται από τον παρακάτω τύπο όπου K_P είναι ο συντελεστής κέρδους επεξεργασίας ή συντελεστής διαγωγιμότητας.

$$\beta_{n,p} = \frac{\mu \cdot \varepsilon}{t_{ox}} \cdot \frac{W}{L} = K_P \frac{W}{L}$$

Από τις παραπάνω απλουστευμένες εκφράσεις για τις καθυστερήσεις ανόδου και καθόδου φαίνεται ότι αυτές είναι ευθέως ανάλογες με τη χωρητικότητα του φορτίου. Επομένως, για να επιτευχθεί μια σχεδίαση υψηλής ταχύτητας θα πρέπει να ελαχιστοποιήσει το χωρητικό φορτίο στην έξοδο μίας πύλης. Επίσης, η καθυστέρηση είναι αντιστρόφως ανάλογη της τάσης τροφοδοσίας, το οποίο σημαίνει ότι όσο αυξάνεται η τάση τόσο μειώνεται η καθυστέρηση. Συνεπώς, μειώνοντας την τάση τροφοδοσίας του κυκλώματος θα μειωθεί και η ταχύτητα των πυλών. Τέλος, η καθυστέρηση είναι αντιστρόφως ανάλογη με το β του τρανζίστορ, με αποτέλεσμα να μειώνεται η καθυστέρηση ενός τρανζίστορ όσο αυξάνεται το πλάτος ή μειώνεται το μήκος του καναλιού του. Η βελτιστοποίηση της ταχύτητας των λογικών πυλών CMOS από έναν σχεδιαστή καθορίζεται από τα παραπάνω τρία χαρακτηριστικά. Η στατική κατανάλωση, η οποία είναι μικρή σε σχέση με τις υπόλοιπες δύο συνιστώσες, προκαλείται κυρίως λόγω των διαρροών της αντίστροφης πόλωσης μεταξύ των περιοχών διάχυσης και υποστρώματος.

Για τρανζίστορ τύπου N και P με ίσα μεγέθη, όπου $\beta_n = 2,5\beta_p$, οι χρόνοι ανόδου και καθόδου συνδέονται με την ακόλουθη σχέση

$$t_f = \frac{t_r}{2,5}$$

Ο χρόνος καθόδου είναι μικρότερος από τον χρόνο ανόδου κυρίως λόγω της διαφοράς στην κινητικότητα των φορέων των N και P στοιχείων (δηλ. $\mu_n=2,5\mu_p$). Συνεπώς, αν είναι επιθυμητό ο χρόνος ανόδου ενός αντιστροφέα να είναι κατά προσέγγιση ίδιος με τον χρόνο καθόδου θα πρέπει

$$\frac{\beta_n}{\beta_p} = 1$$

Η σχέση αυτή υπονοεί ότι το πλάτος καναλιού του στοιχείου τύπου P θα πρέπει να αυξηθεί περίπου δύο με τρεις φορές συγκρινόμενο με το στοιχείο τύπου N

$$W_p = (2\sim 3)W_n$$

Για να προσδιοριστεί με ακρίβεια ο απαιτούμενος λόγος πλατών για ίσους χρόνους ανόδου και καθόδου, θα πρέπει να είναι γνωστός ο λόγος των β_n και β_p .

1. Χρόνος Καθυστέρησης

Στα περισσότερα κυκλώματα CMOS η καθυστέρηση μιας πύλης καθορίζεται από τον χρόνο ανόδου και καθόδου της εξόδου, τα οποία δίνονται κατά προσέγγιση από τους παρακάτω τύπους:

$$t_{dr} = \frac{t_r}{2} \quad t_{df} = \frac{t_f}{2}$$

Η μέση καθυστέρηση πύλης για τις μεταβολές ανόδου και καθόδου είναι

$$t_{av} = \frac{t_{df} + t_{dr}}{2}$$

2.2 Εμπειρικά Μοντέλα Καθυστέρησης

Θεωρώντας τις παραμέτρους $V_m = 0,767 \text{ V}$, $V_p = -0,938 \text{ V}$, $\beta_n = 4,04 \times 10^{-4}$, $\beta_p = 3,48 \times 10^{-4}$, $V_{DD} = 5 \text{ V}$ και $C_L = 0,5 \text{ pF}$ λαμβάνονται οι τιμές για τα εμπειρικά μοντέλα τα οποία προκύπτουν από την χρησιμοποίηση ενός εξομοιωτή για την λειτουργία ενός κυκλώματος (όπως είναι το PSpice). Έτσι,

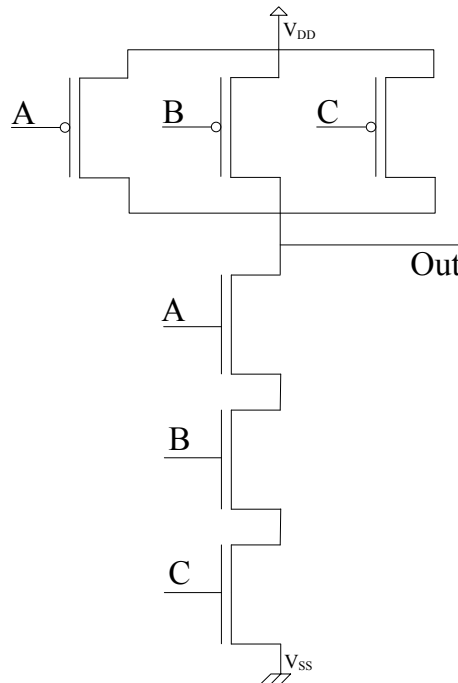
θεωρώντας ότι οι πύλες που χρησιμοποιούμε έχουν μήκος καναλιού $W_p = 2W_n$ με βάση τις παραπάνω σχέσεις προκύπτει ότι:

$$t_{dr} = 0,36 \frac{C_L}{\beta_p} \quad t_{df} = 0,36 \frac{C_L}{\beta_n}$$

Οι παραπάνω εξισώσεις δίνουν εμπειρικά τον συντελεστή k , ενώ μπορούν να εκφραστούν και ως συναρτήσεις του πλάτους των τρανζίστορ των πυλών. Οι εξισώσεις αυτές αντιπροσωπεύουν την καθυστέρηση σε όρους RC όπου η ενεργή αντίσταση του τρανζίστορ είναι $0.36/\beta$.

2.3 Καθυστέρηση Πυλών

Η καθυστέρηση απλών πυλών μπορεί να προσεγγιστεί από την κατασκευή ενός *ισοδύναμου* αντιστροφέα. Τα μεγέθη των τρανζίστορ τύπου N και P του αντιστροφέα αυτού αντικατοπτρίζουν τα δικτύωματα τύπου N και P, αντίστοιχα, της αρχικής πύλης. Έστω μία πύλη NAND τριών εισόδων με πλάτη $W_p = W_n$ για κάθε τρανζίστορ, όπως φαίνεται στο Σχ. 2.



Σχ. 2 Πύλη NAND τριών εισόδων

Για να άγει το N δικτύωμα, πρέπει να άγουν όλα τα τρανζίστορ τύπου N. Το ενεργό β των n-τρανζίστορ δίνεται από τη σχέση

$$\beta_{n_{eff}} = \frac{1}{\frac{1}{\beta_{n_1}} + \frac{1}{\beta_{n_2}} + \frac{1}{\beta_{n_3}}}$$

Για $\beta_{n_1} = \beta_{n_2} = \beta_{n_3}$ προκύπτει ότι:

$$\beta_{n_{eff}} = \frac{\beta_n}{3}$$

Στο τμήμα του οδηγού “πανω” για να ανέλθει η στάθμη εξόδου αρκεί να άγει ένα μόνο p-τρανζίστορ. Συνεπώς:

$$\beta_{p_{eff}} = \beta_p$$

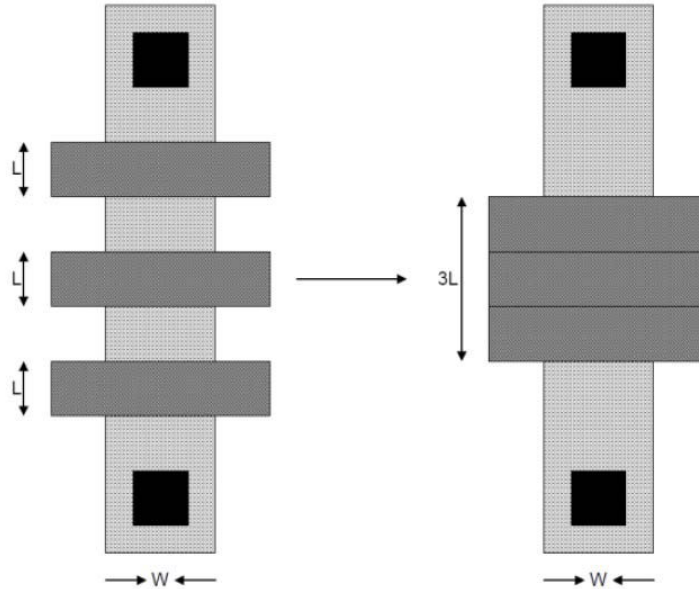
Για $\beta_p = 0,3\beta_n$ προκύπτει ότι:

$$t_r = k \frac{C_L}{0,3\beta_n V_{DD}} \quad t_f = k \frac{C_L}{\frac{\beta_n}{3} V_{DD}}$$

Συνεπώς

$$\frac{t_r}{t_f} \approx 1$$

Η εν σειρά σύνδεση των τρανζίστορ επεξηγείται με γραφικό τρόπο στο Σχ. 3.



Σχ. 3 Σύνδεση σε σειρά τριών τρανζίστορ

Έστω τρία τρανζίστορ σε σειρά με πύλες ίδου πλάτους και μήκους. Αν οι περιοχές των πυλών έρθουν πολύ κοντά έτσι ώστε να εφάπτονται (στην πράξη αυτό δεν συμβαίνει αλλά γίνεται για λόγους καλύτερης επεξήγησης), το τρανζίστορ που προκύπτει έχει μήκος $3L$. Συνεπώς

$$\beta_{series} = \frac{\beta_n}{3}$$

άρα

$$t_{series} = k \frac{C_L}{\frac{\beta_n}{3} V_{DD}}$$

η οποία είναι τριπλάσια της καθυστέρησης ενός τρανζίστορ. Γενικά, για m εν σειρά τρανζίστορ τύπου N, ο χρόνος καθόδου t_f ισούται με $m \cdot t_f$.

Παρόμοια, για k εν σειρά τρανζίστορ τύπου P, ο χρόνος ανόδου t_r ισούται με $k \cdot t_r$. Αντίθετα, για m τρανζίστορ τύπου N σε παράλληλη σύνδεση και ταυτόχρονη αγωγή όλων των τρανζίστορ, ο χρόνος καθόδου t_f ισούται με t_f/m . Επίσης, για k τρανζίστορ τύπου P συνδεδεμένα παράλληλα, ο χρόνος ανόδου t_r είναι t_r/k , εφόσον όλα τα τρανζίστορ άγουν ταυτόχρονα. Οι χρόνοι αυτοί είναι σημαντικοί στην περίπτωση που πρέπει να εκτιμηθεί πολύ γρήγορα η καθυστέρηση μίας πύλης

2.4 Βαθμός Εισόδου και Βαθμός Οδήγησης Εξόδου

Βαθμός εισόδου (*fan-in*) μίας λογικής πύλης είναι ο αριθμός των εισόδων μίας πύλης στο λογικό μονοπάτι που εξετάζεται.

Βαθμός οδήγησης εξόδου (*fan-out*) μίας λογικής πύλης είναι ο συνολικός αριθμός εισόδων των πυλών που οδηγούνται από την έξοδο μίας πύλης.

Λόγος βαθμίδας (*stage ratio*) είναι η αύξηση του μεγέθους του τρανζίστορ σε διαδοχικές λογικές βαθμίδες. Η επιλογή του κατάλληλου λόγου μπορεί να επηρεάσει σημαντικά το χρονισμό σε διαδοχικές λογικές βαθμίδες.

Ο βαθμός εισόδου μίας πύλης επηρεάζει την ταχύτητα της πύλης. Αν συνδεθούν σε σειρά δύο ταυτόσημα τρανζίστορ, ο χρόνος ανόδου (ή καθόδου) κατά προσέγγιση θα διπλασιαστεί σε σχέση με το ένα τρανζίστορ και για το ίδιο φορτίο χωρητικότητας.

Για το χειρότερο χρόνο καθυστέρησης ανόδου για μία πύλη NAND m εισόδων δίνεται από την παρακάτω σχέση

$$t_{dr} = \frac{R_p}{n} (mnC_d + C_r + C_g)$$

όπου R_p η ενεργή αντίσταση του στοιχείου τύπου P του αντιστροφέα ελαχίστου μεγέθους, n πολλαπλάσιο του πλάτους για τα στοιχεία τύπου P της πύλης, k ο βαθμός οδήγησης (αριθμός εισόδων που συνδέονται στην έξοδο της πύλης σε μονάδες αντιστροφέα ελαχίστου μεγέθους), m ο βαθμός εισόδου της πύλης, C_g η χωρητικότητα πύλης αντιστροφέα ελαχίστου μεγέθους, C_d η χωρητικότητα πηγής/υποδοχής ενός αντιστροφέα ελαχίστου μεγέθους για τη μοντελοποίηση της επίδρασης των εσωτερικών περιοχών διάχυσης στο φορτίο της πύλης καθώς και των διαχύσεων που είναι συδεδεμένες στην έξοδο, C_r η χωρητικότητα διασυνδέσεων.

Η παραπάνω εξίσωση μπορεί να μετατραπεί στην ακόλουθη μορφή:

$$t_{dr} = t_{internal_r} + k \cdot t_{output_r}$$

όπου

$$\begin{aligned} t_{internal_r} &= R_p C_g m r \\ t_{output_r} &= \frac{R_p C_g}{n} \left(1 + \frac{q(k)}{k} \right) \\ r &= \frac{C_d}{C_g} \end{aligned}$$

Η ποσότητα r αποτελεί τον λόγο της ενδογενούς χωρητικότητας της υποδοχής ενός αντιστροφέα προς την χωρητικότητα της πύλης, ενώ $q(k)$ είναι μία συνάρτηση του βαθμού οδήγησης που αντιπροσωπεύει τη χωρητικότητα διασυνδέσεων ως πολλαπλάσια της χωρητικότητας της πύλης.

Παρόμοια, ο χρόνος καθυστέρησης πύλης μας δίνεται από τους εξής τύπους:

$$t_{df} = t_{internal_f} + k \cdot t_{output_f}$$

όπου

$$\begin{aligned} t_{internal_f} &= R_n C_g m^2 r \\ t_{output_f} &= \frac{R_n C_g}{n} \left(1 + \frac{q(k)}{k} \right) \end{aligned}$$

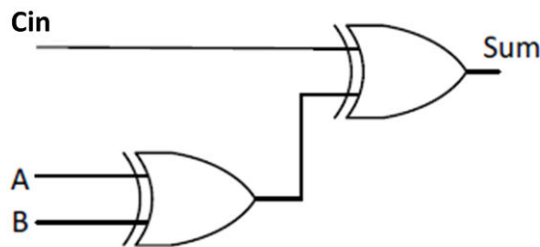
με R_n να είναι η ενεργή αντίσταση ενός στοιχείου τύπου N σε έναν αντιστροφέα ελαχίστου μεγέθους.

Στον παρακάτω πίνακα παρατίθενται οι καθυστερήσεις ανόδου και καθόδου για τυπικές πύλες μετρημένες με τη βοήθεια του PSpice.

Πύλη	$t_{internal_r}$	t_{output_r}	$t_{internal_f}$	t_{output_f}
INV	0,08	2,1	0,08	1,7
NAND2	0,15	2,1	0,2	3,1
NAND3	0,2	2,1	0,41	4,4
NAND4	0,25	2,1	0,68	5,7
NAND8	0,38	2,1	2,44	10,98
NOR2	0,25	4,1	0,135	1,75
NOR3	0,52	6,2	0,14	1,83
NOR4	0,9	8,2	0,145	1,88
NOR8	3,35	16,4	0,19	1,8

3 Πειραματική Μελέτη Καθυστερήσης Πυλών CMOS

Στο Σχ. 4 δίνεται το διάγραμμα σε επίπεδο λογικών πυλών του κυκλώματος που παράγει το άθροισμα σε έναν πλήρη αθροιστή.



Σχ. 4 Κύκλωμα υπολογισμού αθροίσματος ενός πλήρη αθροιστή

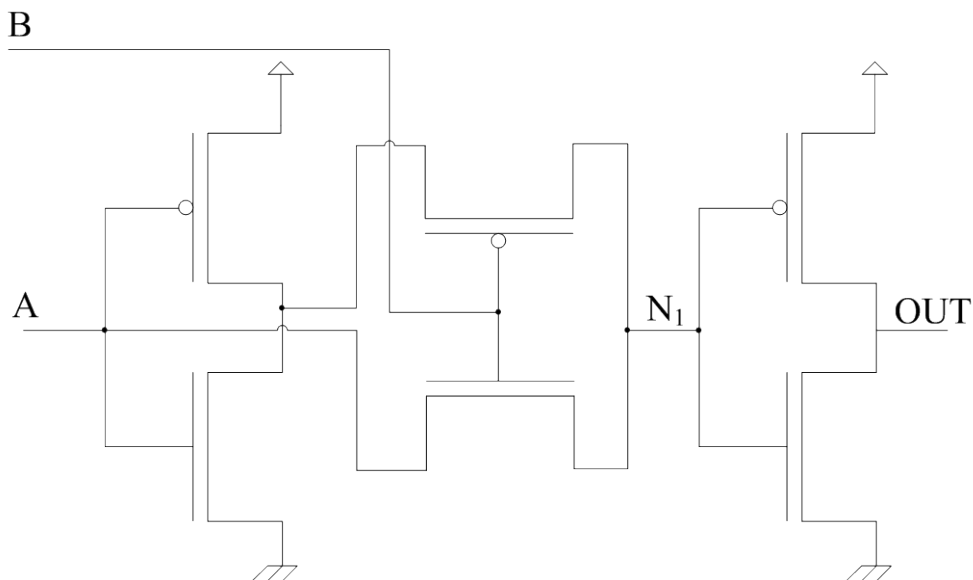
Η λιγότερο αποδοτική σχεδίαση για μία τέτοια πύλη, αλλά η πιο κατανοητή στην υλοποίηση της, είναι η δημιουργία της XOR πύλης κατευθείαν από την Boolean αναπαράστασή της $XOR = AB' + A'B$. Για την υλοποίηση αυτή χρειάζονται 2 αντιστροφείς, 2 πύλες AND και μία πύλη OR. Αυτή η υλοποίηση οδηγεί σε έναν σχεδιασμό με 22 τρανζίστορ.

Η προτεινόμενη σχεδίαση αποτελείται από μία πύλη μετάβασης (transmission gate) για τον τελεστή XOR. Ο πίνακας αληθείας για την XOR πύλη μπορεί να διαβαστεί ως ακολούθως:

IF $B=0$, $OUT = A$,

IF $B=1$, $OUT = A'$.

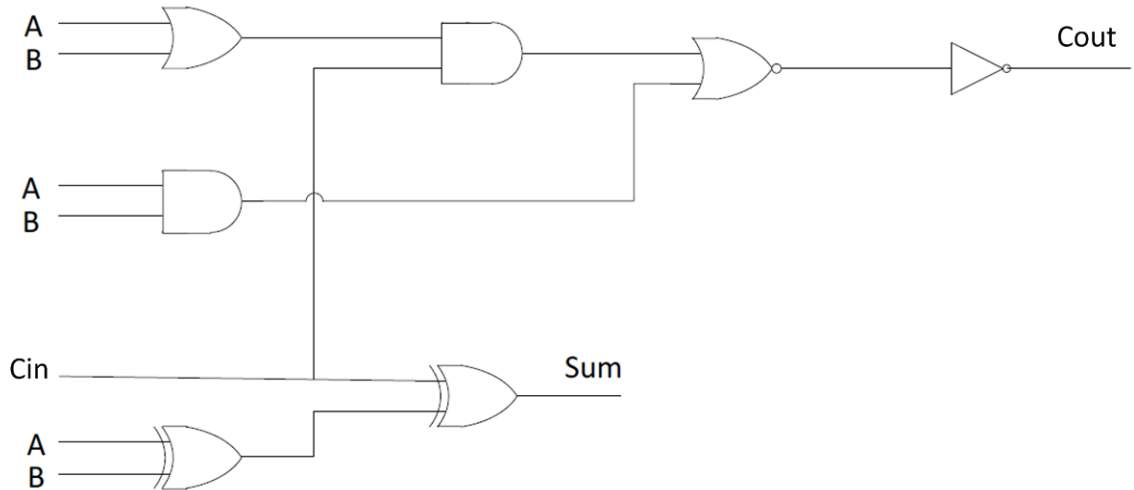
Η βασική αρχή του κυκλώματος που παρατίθεται στο Σχ. 5 είναι να επιτραπεί στο σήμα A να μεταβεί στον κόμβο N_1 εάν $B=1$ και να επιτραπεί στο σήμα A' να μεταβεί στον κόμβο N_1 εάν $B=0$. Ο κόμβος εξόδου OUT αντιστρέφει τον σήμα του κόμβου N_1 , έτσι ώστε να πάρουμε τον τελεστή XOR.



Σχ. 5 Σχεδίαση πύλης XOR βασισμένη σε πύλη μετάβασης

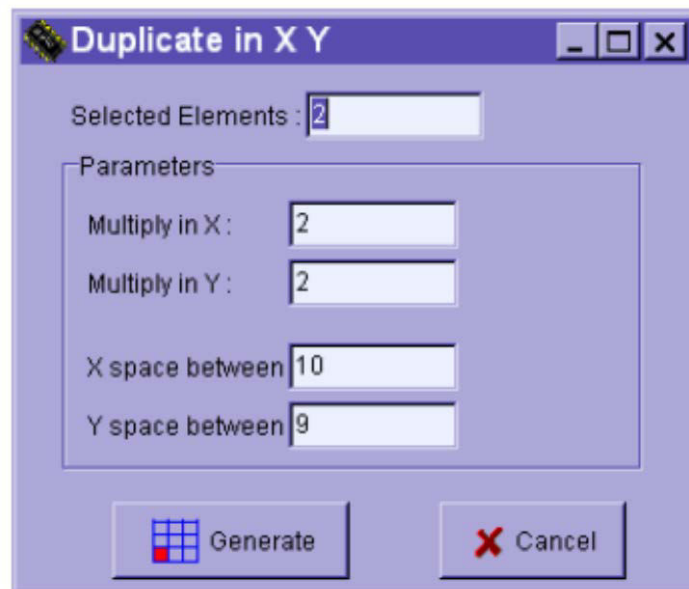
- a) Σχεδιάστε μία πύλη XOR χρησιμοποιώντας την προτεινόμενη σχεδίαση του Σχ. 5 με τα εξής χαρακτηριστικά $L_n = L_p = 1,2 \mu m$, $W_n = 3,6 \mu m$, $W_p = 8,4 \mu m$, πλάτος λωρίδων τροφοδοσίας και γείωσης $3,6 \mu m$ και πλάτος διασυνδέσεων $2,4 \mu m$.

- b) Συνδυάζοντας δύο πύλες XOR σχεδιάστε το κύκλωμα υπολογισμού αθροίσματος του Σχ. 4.
- c) Χρησιμοποιώντας τον σχεδιασμό της προηγούμενης εργαστηριακής άσκησης σχεδιάστε ένα μπλοκ πλήρη αθροιστή (full adder cell), όπως φαίνεται στο



Σχ. 6 Μπλοκ πλήρη αθροιστή

- d) Συνδυάζοντας 4 μπλοκ πλήρη αθροιστή σε σειρά δημιουργήστε έναν πλήρη αθροιστή εύρους 4 bit. Αυτό μπορείτε να το επιτύχετε χρησιμοποιώντας την εντολή “Duplicate XY” από την καρτέλα “Edit”. Στη συνέχεια χρειάζεται να επιλέξετε την περιοχή που θέλετε να αντιγραφεί με το ποντίκι. Τότε εμφανίζεται το παράθυρο του Σχ. 7, μέσω του οποίου μπορεί να ρυθμιστεί ο παράγοντας αντιγραφής στους άξονες X και Y καθώς και η απόσταση των νέων μπλοκ. Από προεπιλογή τα μπλοκ εφάπτονται μεταξύ τους.



Σχ. 7 Αντιγραφή κυκλώματος

- e) Βρείτε το κρίσιμο μονοπάτι του αθροιστή 4 bit και μετρείστε την καθυστέρηση σε αυτό.
Ποιά είναι η μέγιστη συχνότητα λειτουργίας του κυκλώματος που σχεδιάσατε;

4 Ερωτήσεις

4.1 Μελέτη Καθυστέρησης Κυκλωμάτων CMOS

- a) Βάσει του πίνακα με τις τυπικές καθυστερήσεις των βασικών πυλών τεχνολογίας CMOS υπολογίστε τη μέγιστη καθυστέρηση του κυκλώματος του πλήρη αθροιστή 4 bit και τη θεωρητική συχνότητα λειτουργίας του. Υπολογίστε τη διαφορά επί τοις εκατό ανάμεσα στα μεγέθη που υπολογίσατε και σε εκείνα που μετρήσατε και σχολιάστε τα αποτελέσματα.
- b) Αντικαταστήστε το κύκλωμα του υπολογισμού του αθροίσματος στον πλήρη αθροιστή 1 bit με εκείνο που σχεδιάσατε στην προηγούμενη εργαστηριακή άσκηση με τη βοήθεια των μονοπατιών Euler. Υπολογίστε τη διαφορά επί τοις εκατό της καθυστέρησης και της κάλυψης επιφάνειας σε σχέση με την προηγούμενη σχεδίαση και σχολιάστε τα αποτελέσματα.
- c) Σχεδιάστε το κύκλωμα υπολογισμού κρατουμένου χρησιμοποιώντας διακριτές πύλες AND και OR. Μετρείστε την καθυστέρηση και συγκρίνετέ την με τη θεωρητική τιμή που υπολογίσατε στο ερώτημα a. Σχολιάστε το αποτέλεσμα.
- d) Υπολογίστε τη διαφορά επί τοις εκατό στην καθυστέρηση και την κάλυψη επιφάνειας ανάμεσα στις περιπτώσεις όπου το κύκλωμα παραγωγής κρατουμένου έχει σχεδιαστεί με συμβατική σχεδίαση (διακριτές πύλες) και με την μέθοδο των μονοπατιών Euler. Συγκρίνετε τις δύο μεθόδους και σχολιάστε τις παρατηρήσεις σας.

Σημείωμα Αναφοράς

Χρηματοδότηση

- Το παρόν εκπαιδευτικό υλικό έχει αναπτυχθεί στα πλαίσια του εκπαιδευτικού έργου του διδάσκοντα.
- Το έργο «Ανοικτά Ακαδημαϊκά Μαθήματα στο Πανεπιστήμιο Πατρών» έχει χρηματοδοτήσει μόνο τη αναδιαμόρφωση του εκπαιδευτικού υλικού.
- Το έργο υλοποιείται στο πλαίσιο του Επιχειρησιακού Προγράμματος «Εκπαίδευση και Δια Βίου Μάθηση» και συγχρηματοδοτείται από την Ευρωπαϊκή Ένωση (Ευρωπαϊκό Κοινωνικό Ταμείο) και από εθνικούς πόρους.



Ευρωπαϊκή Ένωση
Ευρωπαϊκό Κοινωνικό Ταμείο



ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ & ΘΡΗΣΚΕΥΜΑΤΩΝ, ΠΟΛΙΤΙΣΜΟΥ & ΑΘΛΗΤΙΣΜΟΥ
ΕΙΔΙΚΗ ΥΠΗΡΕΣΙΑ ΔΙΑΧΕΙΡΙΣΗΣ

Με τη συγχρηματοδότηση της Ελλάδας και της Ευρωπαϊκής Ένωσης



ΕΥΡΩΠΑΪΚΟ ΚΟΙΝΩΝΙΚΟ ΤΑΜΕΙΟ