

插卡式设备 (Cx00) 需求

武汉普赛斯仪表技术有限公司

声明：本文件所有权和解释权归武汉普赛斯仪表技术有限公司所有，未经武汉普赛斯仪表技术有限公司书面许可，不得复制或向第三方公开。

修订历史记录

版次	发布日期	AMD	修订者	说明
v1.0	2021.06.09	首次发行	彭鹏	

(A-添加, M-修改, D-删除)

目录

1. 概述.....	5
2. 整机结构	5
3. 背板.....	6
3.1 高速 LVDS	6
3.1.1 三插卡	6
3.1.2 十插卡	7
3.2 触发.....	8
3.2.1 总线触发	8
3.2.2 星型触发	9
3.3 外围.....	10
3.3.1 在位信号	10
3.3.2 时钟	10
3.3.3 类型/配置/加密	10
4. 控制板.....	11
4.1 控制板转接 FPGA.....	12
5. 功能子板	13
6. 电路模型	14
6.1 直流.....	14
6.2 脉冲.....	14
6.3 单卡 4 通道方案.....	15
6.4 量程与校准.....	15
6.5 子板总线	16
7. 时序模型	17
7.1 概念描述	17
7.2 功能.....	18
7.2.1 SDM 模式	18
7.2.2 SDM 参数	18
7.2.3 NPLC 与滤波.....	18
7.2.4 触发.....	19
8. 岗位分工	21
8.1 岗位职责	21
8.2 工作结果输出.....	21
8.3 业务细分	22
9. 基本功能	23
9.1 实时测量	23
9.2 快速模式	23
9.2.1 数字万用表.....	23
9.2.2 可编程电源.....	23

9.3	扫描	24
9.3.1	时域	24
9.3.2	V/I	24
9.4	职责划分	24
10.	辅助功能	25
10.1	2/4 线	25
10.2	电阻补偿	25
10.3	提醒与保护	25
10.4	职责划分	25
11.	配套功能	26
11.1	生产配套	26
11.1.1	烧录	26
11.1.2	校准	26
11.2	系统功能	26
11.2.1	通信设置	26
11.2.2	在线升级	26
11.2.3	恢复出厂设置	26
11.2.4	调试诊断	26
11.2.5	定期锁定	26
11.3	职责划分	26

1. 概述

为明确台式插卡式(Cx00)系列产品需求,帮助研发同事明确工作重点,特制定本文档。

Cx00 的规格,请参考《插卡式设备(Cx00)规格书》;

从 SCPI 指令集的角度介绍 Cx00,请参考《插卡式设备(Cx00)编程手册》;

从触屏前面板的角度介绍 Cx00,请参考《插卡式设备(Cx00)使用手册》;

从 PC 上位机的角度介绍 Cx00,请参考《普赛斯仪表上位机工具手册》。

插卡式设备整机使用相同的背板,有 3 插卡和 10 插卡两种配置。背板实现控制板和功能子板的信息汇集与交换功能。不同的设备可以配置不同的控制板和功能子板。

2. 整机结构

Cx00 整机结构如图 1:

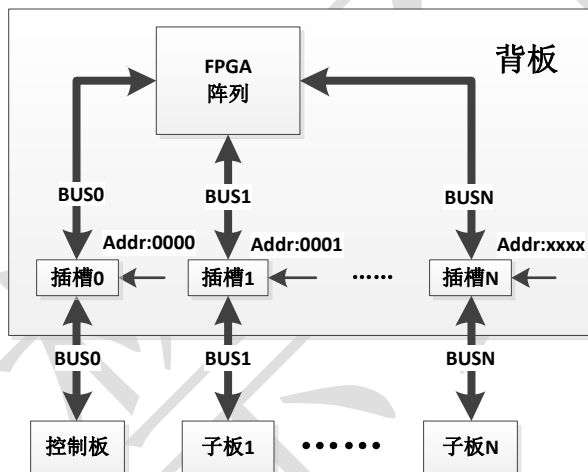


图 1 整机结构

图 1 中,所有子板通过插槽接入背板。背板通过 Addr 告知子板其所在的插槽地址,供控制板寻址。每个子板接入的信号为总线(BUS_x),每路总线包括高速 LVDS 数据线,触发线,辅助线。背板通过 FPGA 阵列完成信息汇集与交换功能。控制板固定插到插槽 0,实现整机控制,其他插槽插入功能子板,实现设备功能。

¹ 简称 Cx00

3. 背板

背板是整机的核心，它通过 FPGA 阵列实现高速 LVDS 通信、触发、外围(辅助)等功能。下面从高速 LVDS 通信链路开始描述需求。

3.1 高速 LVDS

高速 LVDS 通信实现了子板间的高速数据交互，目前 Cx00 系列分为 3 插卡和 10 插卡方案，下文从 3 插卡到 10 插卡逐步描述高速 LVDS 通信需求。

3.1.1 三插卡

3 插卡 LVDS 的 FPGA 阵列结构如图 2:

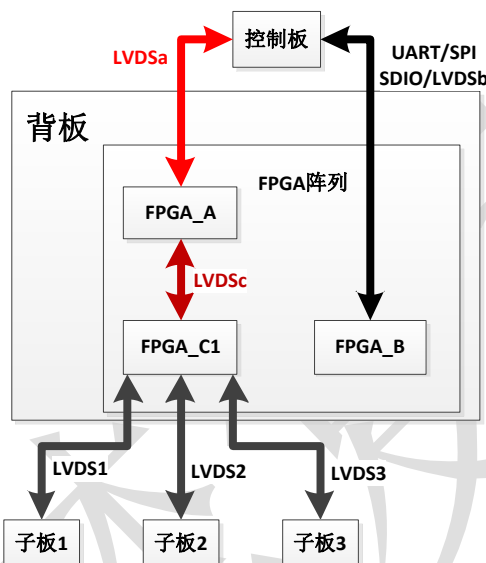


图 2 3 插卡 LVDS 的 FPGA 阵列

3 插卡背板 FPGA 阵列结构如图 2，由 FPGA_A、FPGA_B、FPGA_C1 组成。控制板通过 LVDS_a 接入到背板 FPGA_A，普通子板通过 LVDS_x 接入到 FPGA_C1，FPGA_C1 将普通子板的 LVDS 数据实现 3 转 1 后接入 FPGA_A，FPGA_A 实现 LVDS_c 和 LVDS_a 的互联。

FPGA_B 实现触发、在位检测、显示 LED 等功能，后文详述。设计 FPGA_A 使 3 插卡与 10 插卡设备具备兼容性，下面介绍 10 插卡 LVDS 的 FPGA 阵列。

3.1.2 十插卡

10 插卡 FPGA 阵列结构如图 3:

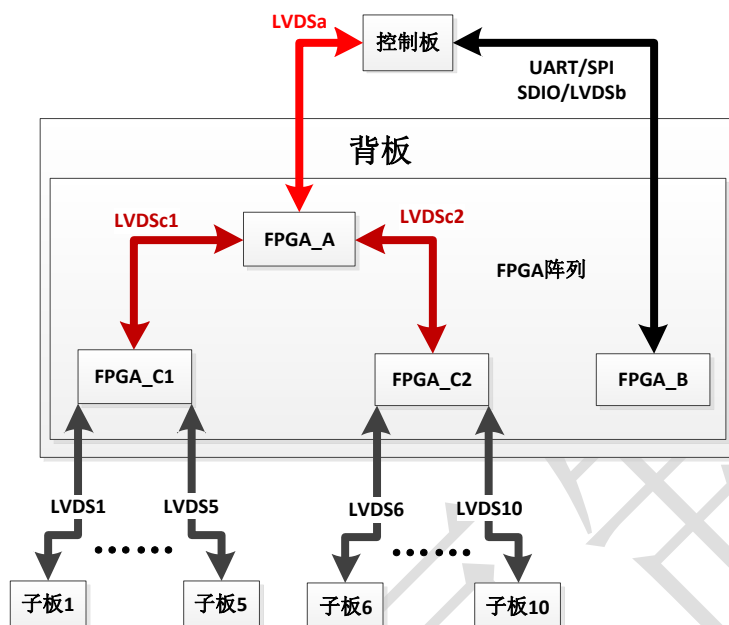


图 3 十插卡 FPGA 阵列

10 插卡背板 FPGA 阵列结构如图 3，由 FPGA_A、FPGA_B、FPGA_Cx 组成。控制板通过 LVDSa 接入到背板 FPGA_A，普通子板通过 LVDSx 接入到 FPGA_Cx，FPGA_Cx 将普通子板的 LVDS 数据实现 5 转 1 后接入 FPGA_A，FPGA_A 实现 LVDScx 和 LVDSa 的互联。

FPGA 阵列 LVDS 交换为树形结构，如需更多的子板接入，增加相应枝叶即可。因为 LVDS 是树形结构，所以 LVDS 的带宽瓶颈从树叶到树根依次增大，LVDSa 对带宽要求最高。背板实现高速 LVDS 通信外，还实现了触发拓扑，下面分析触发拓扑。

3.2 触发

Cx00 触发硬件拓扑如图 4:

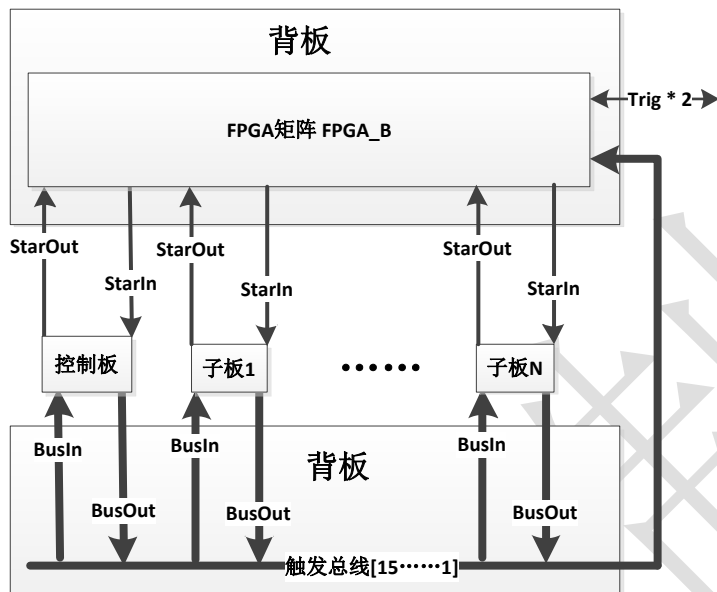


图 4 触发硬件拓扑

如图 4，触发硬件拓扑包括：星型触发、总线触发、整机触发。其中整机触发和触发总线接入到星型触发矩阵，从而实现所有触发信号的互联。现从总线触发开始分析触发的具体需求。

3.2.1 总线触发

每个子板(包括控制器)，有输入输出触发线各 16 根，连接为总线形式，结构框图如图 5:

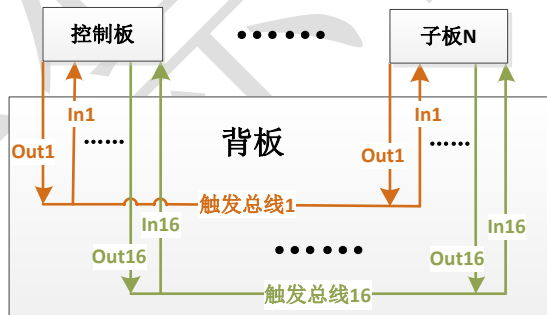


图 5 总线触发

如图 5，总线触发拓扑中，所有子板(包括控制器)相同编号的触发线电气短路(图中相同颜色)，等效于总线触发拓扑提供了最多 16 个可区分的触发源。

3.2.2 星型触发

所有子板(包括控制器)有输入输出各 4 条星型触发线接到背板 FPGA 阵列, FPGA 阵列中 FPGA_B 实现 $(4*11+16+1) \text{In} * (4*11+16+1) \text{Out}$ 的矩阵, FPGA_B 接收控制板转发的客户 SCPI 指令实现触发矩阵的配置。4*11 中的 11 表示 1(控制板)+10(功能子板), 16 表示触发总线, 1 表示整机触发线。

FPGA 矩阵实现的星型触发矩阵结构如图 6:

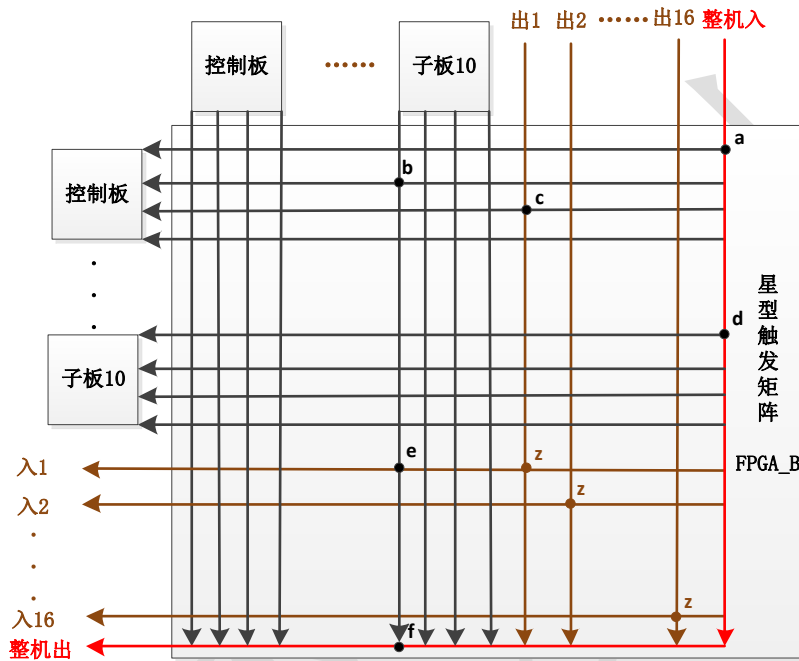


图 6 星型触发矩阵

如图 6, 纵向线表示输入到星型矩阵的触发信号, 横向表示星型矩阵输出的触发信号。黑色为子板的星型触发信号, 每子板 4 入 4 出, 共计 44 入 44 出; 棕色的为触发总线与星型矩阵的端口, 共计 16 入 16 出(编号相同的出入触发线电气短路); 红色的为整机触发输入输出信号。因为多信号驱动单信号会导致逻辑冲突, 故矩阵中每行至多有一个交叉点(总线触发线同编号外), 每列无此限制(单信号可驱动多信号)。

图 5 交叉点用实心圆点表示, 指示物理连接。现以图 5 配置为例, 描述当前配置的含义:

- | | |
|---------------------|---------------------|
| a. 整机触发输入 | ➔ 控制板 1 号星型输入; |
| b. 子板 9 的 1 号星型触发输出 | ➔ 控制板 2 号触发输入; |
| c. 1 号总线触发 | ➔ 控制板 3 号触发输入; |
| d. 整机触发输入 | ➔ 子板 9 的 1 号星型触发输入; |
| e. 子板 9 的 1 号星型触发输出 | ➔ 1 号总线触发; |
| f. 子板 9 的 1 号星型触发输出 | ➔ 整机触发输出; |
| z. 同编号触发总线, 电气短接。 | |

除 LVDS 和触发功能外, 背板 FPGA 阵列需要外围功能支撑, 下面描述外围功能需求。

4. 控制板

控制板使用 I.MX6DL + FPGA 方案, 它的结构框图如图 8:

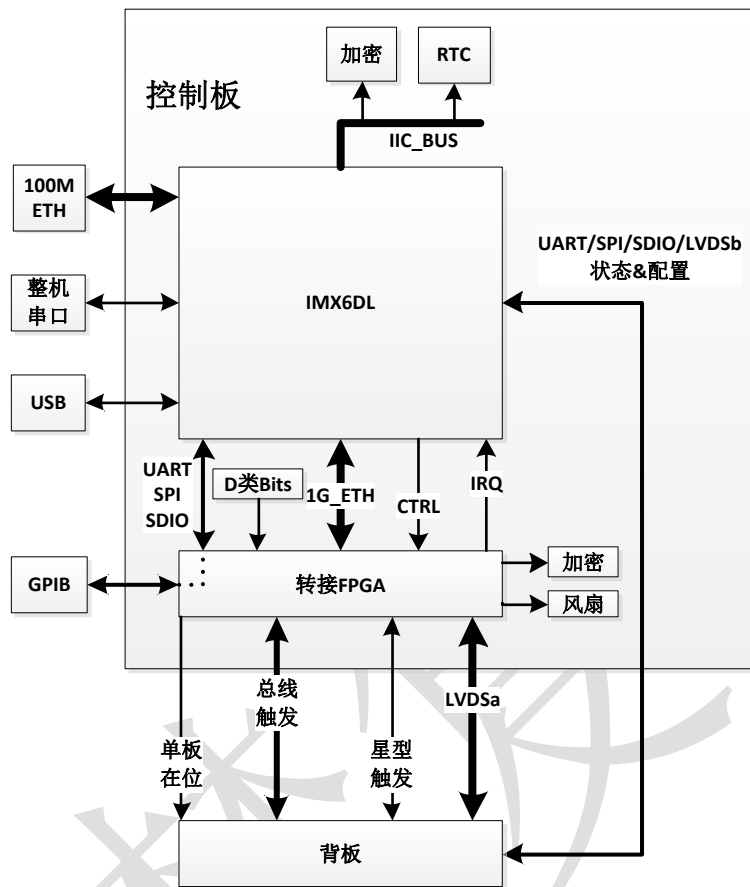


图 8 控制板结构框图

控制板的 2 颗控制芯片实现:

I.MX6DL 运行 Linux+Qt, 作为主芯片完成业务解析, 提供整机 SCPI 指令集抽象, PC 上位机通过 SCPI 指令集与整机交互。

转接 FPGA 实现:

- I.MX6DL 的千兆网对 LVDS 总线的转接
- GPIB 接口
- 触发
- 单板在位、温度控制等辅助功能

现介绍转接 FPGA 的具体结构。

4.1 控制板转接 FPGA

转接 FPGA 的结构如图 9：

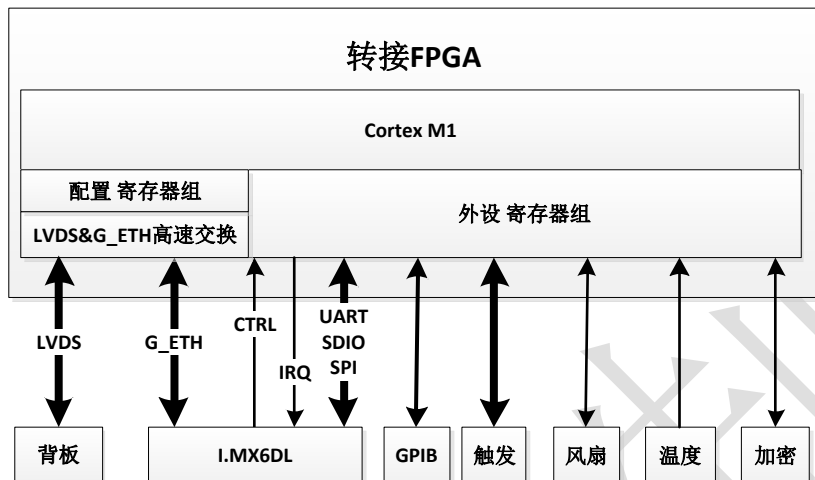


图 9 转接 FPGA

转接 FPGA 用于替换台式直流源表(Sx00)电源板业务。除此以外，它还实现控制板与背板 LVDS 网络的交互。其中 GPIOB 透传可以使用 UART/SPI/SDIO 或 1G_ETH 与 I.MX6DL 交互，GPIOB 接口的实现使用 FPGA 逻辑资源实现，替换 Sx00 的 TNT4882 方案。

5. 功能子板

模拟功能子板的结构框图如图 10:

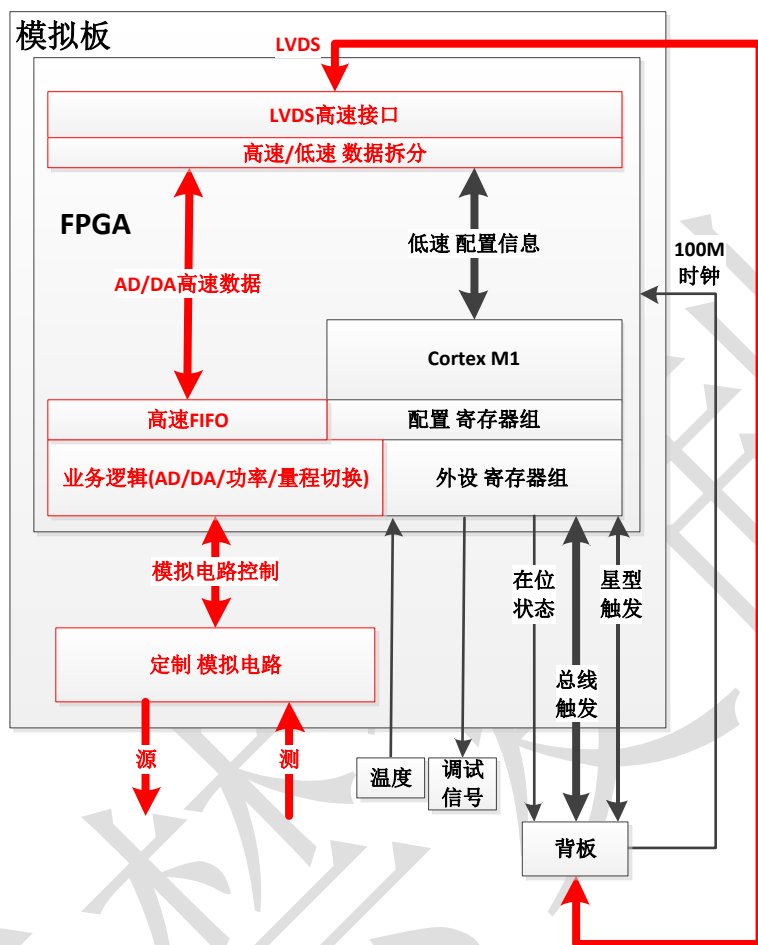


图 10 模拟功能子板框图

模拟功能子板结构框图如图 10，图中标红部分需要处理高速数据，由 Verilog(性能)+C(灵活性)配合实现。图中黑色部分是低速(配置)数据，不同的功能子板业务相近，由 M1 软核处理。

功能子板实现源表功能，下一章电路模型，详述这部分需求。

6. 电路模型

电路模型是模拟板(功能子板)电路的简化,用于描述设备的软硬件接口。

6.1 直流

直流源表的控制模型如图 11:

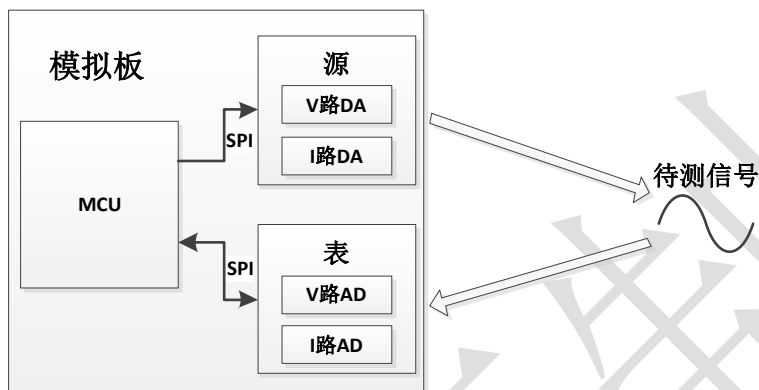


图 11 直流模型

图 11 是直流源表的控制模型。固件通过控制 V/I 路的 DA 实现源(输出)功能,通过控制 V/I 路的 AD 实现表(测量)功能。

因为直流源表 DA 和 AD 速度不高,所以 DA/AD 芯片的接口使用 SPI 足够。

6.2 脉冲

脉冲源表的控制模型如图 12:

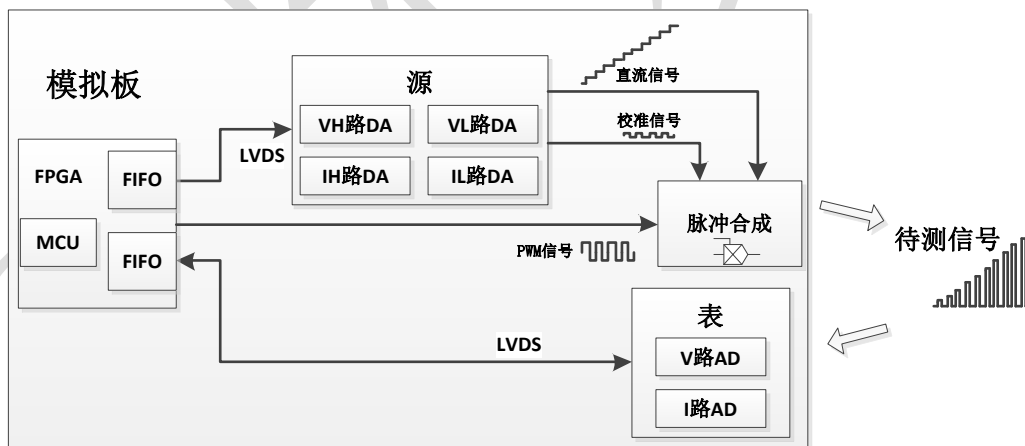


图 12 脉冲模型

图 12 是脉冲源表的控制模型。脉冲信号包括以下要素:高电平值、低电平(Off 态)值、脉宽、周期。其中,高电平由 V/I H 路 DA 芯片控制,低电平(Off 态)由 V/I L 路 DA 芯片控制;脉宽和周期由 PWM 信号控制。脉冲合成模块将 PWM 信号与直流信号做“与运算”,实现待测脉冲信号的生成。当 PWM 信号为直流高电平时,输出的待测信号就变为直流信号,故脉冲源表可以实现直流源表的功能。

相较与直流模型,脉冲模型中 AD/DA 改用高速芯片,所以需使用 FPGA 的 LVDS 接口与 AD/DA 芯片交互。

6.3 单卡 4 通道方案

单卡 4 通道模拟板的电路模型如图 13:

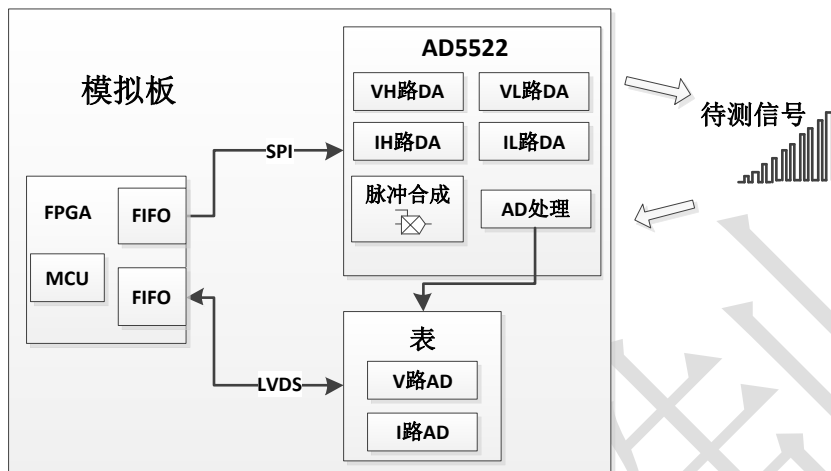


图 13 单卡 4 通道模型

图 13 是单卡 4 通道的电路模型。电路模型中的核心器件是 AD5522, 它实现了 V/I 源输出、脉冲合成、量程切换、AD 处理等功能, 外接 AD 即可实现源表功能。

6.4 量程与校准

因为 AD 芯片有位数限制², 所以源表的相对精度³固定。而绝对精度等于量程与相对精度之积, 所以大量程的绝对精度低, 小量程的测量范围小。为了解决测量范围与绝对精度的矛盾, 源表设计多个量程, 小量程提供高精度, 大量程提供大测量范围。

量程的功能模型如图 14:

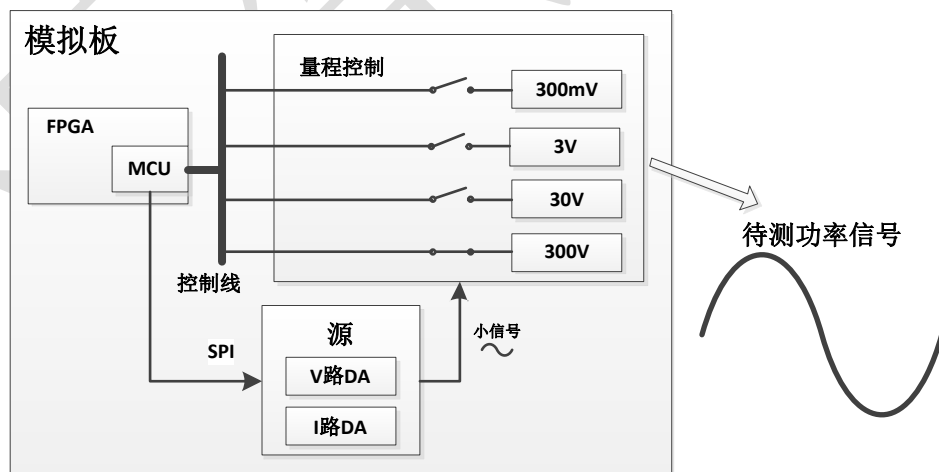


图 14 量程模型

如图 14, MCU 使用控制线控制量程电路, DA 输出的小信号通过量程电路后变换为功率信号, 给待测设备供电。量程的实现要点有两个:

- 过/欠冲

² 当前 AD/DA 为 16bit 或以下

³ 分辨率与精度类似, 精度由 AD 位数决定, 分辨率由 DA 位数决定

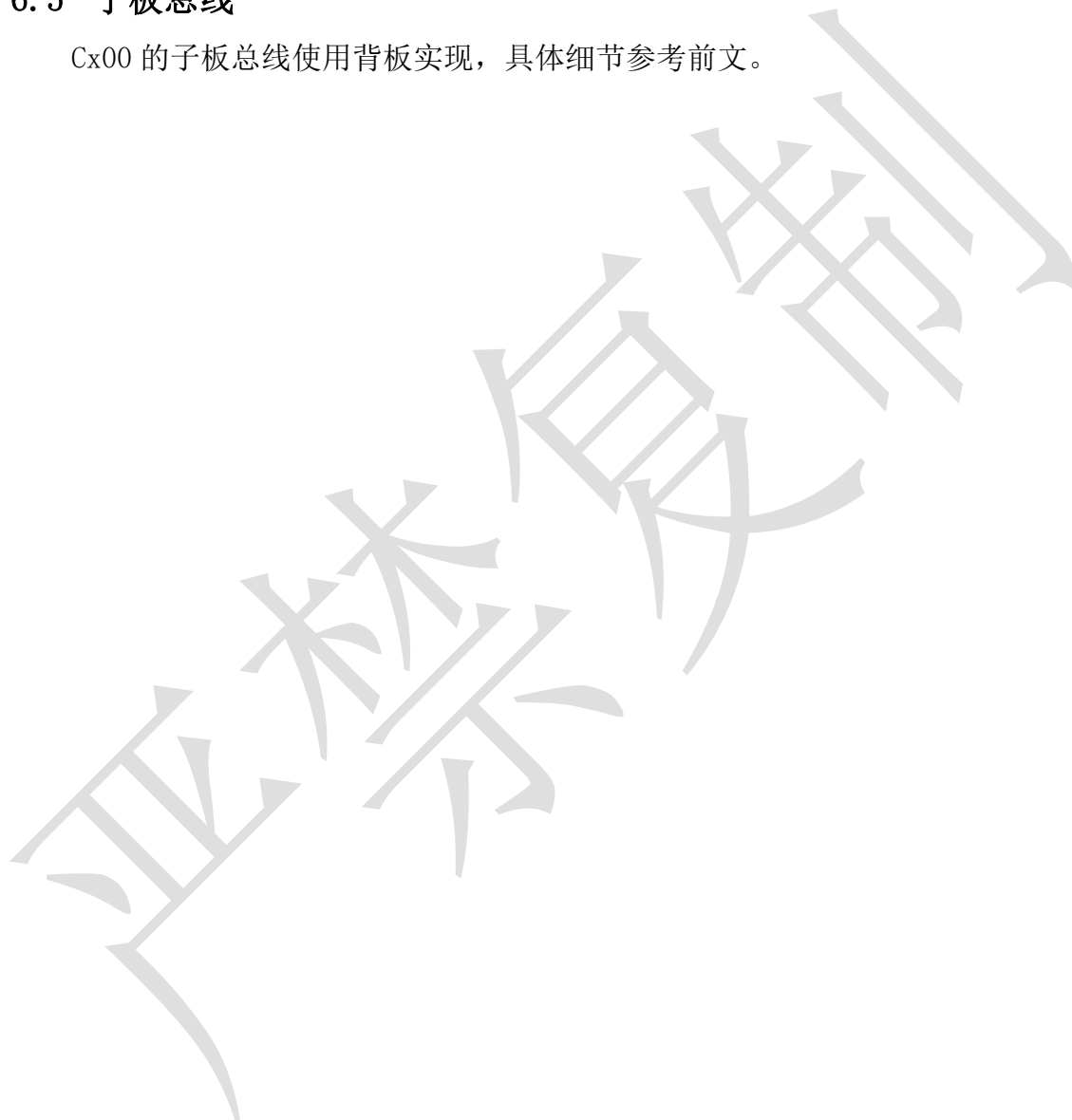
如图 2，因为量程控制电路中有继电器的存在，所以量程切换时输出的信号会有过/欠冲，这类过/欠冲会损毁敏感器件，为消除这些过欠冲，量程切换的固件需要控制 DA 和继电器的控制时序，尽量抵消过/欠冲幅度。

- 数据转换

DA/AD 能处理的模拟信号为 0 至 2.5V。不同量程的源、表数值有不同的转换关系。

6.5 子板总线

Cx00 的子板总线使用背板实现，具体细节参考前文。



7. 时序模型

时序模型包括以下 3 个步骤, 简称 SDM⁴: S(Source 源)、D(Delay 延迟)、M(Measure 测量):

- 源:
给测试电路脉冲供电
- 延迟:
等待测试电路稳定, 保证表(测量电压/电流)的精度
- 表:
测量电压/电流值

7.1 概念描述

Cx00 时序模型如图 15:

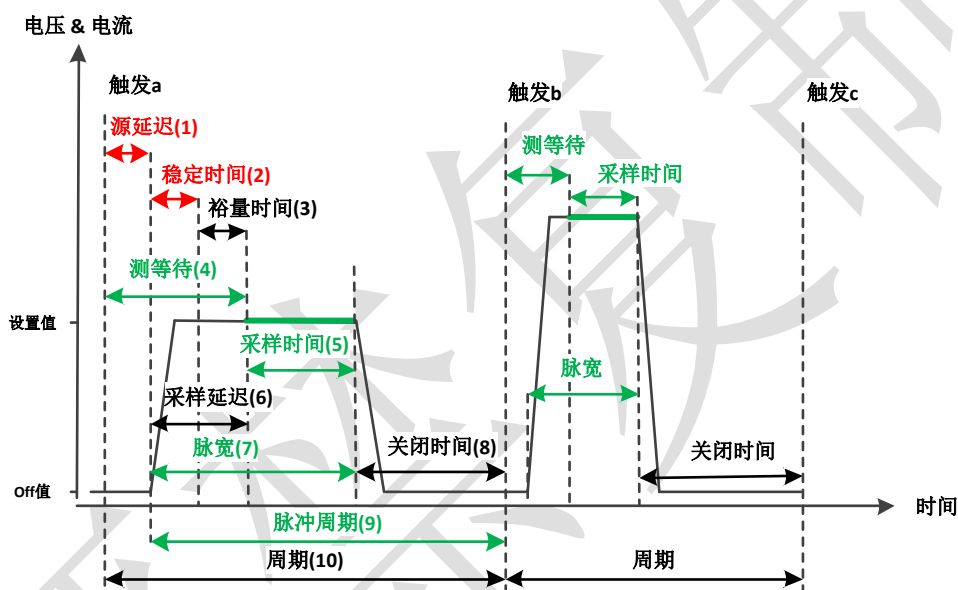


图 15 时序模型

下面先给出图 15 中各参数含义:

1. 源延迟: 触发时刻至模拟电路启动动作时刻间的间隔;
2. 稳定时间: 表示模拟电路开始动作时刻至测试电路稳定时刻间的间隔;
3. 裕量时间: 测试电路电气参数稳定时刻至开始测量采样时刻间的间隔;
4. 测等待: 触发时刻至开始测量采样的时刻。为保证测量准确, 必须大于源延迟与稳定时间之和(保证裕量时间大于 0);
5. 采样时间: AD 芯片的采样保持时间⁵, 即 NPLC;
6. 采样延迟: 电路启动时刻至开始采样时刻间的间隔;
7. 脉宽: 脉冲设置值⁶的持续时间;
8. 关闭时间: 脉冲 Off 态(一般为 0 电平)的持续时间。
9. 脉冲周期: 脉冲高低电平共计的持续时间。
10. 周期: 相邻触发信号间的间隔, 即 SDM 的周期;

⁴ 后文统一使用 SDM 术语

⁵ 即 NPLC, 后文统一称 NPLC

⁶ 设置值可以正可负, 所以未必是高电平

图 15 中源延迟和稳定时间标红，固件不能控制。源延迟与触发方式相关，稳定时间由模拟电路和待测电路共同决定。

用户可以设置测等待、NPLC、脉宽、脉冲周期 6 个参数。测等待用于等待电路进入稳定状态、即 NPLC 用于 AD 芯片采样待测数据、脉冲周期控制 SDM 周期。

SDM 配置信息可来源与客户，也可以使用固件提供的默认值。默认值方便新手用户快速使用，默认值的具体参数值由测出的时序模型参数分析对比后确定。对高级用户，固件提供 SDM 配置接口，让客户有平衡源表的精度和速度的手段。客户设置 SDM 配置时，信息的传递流程为：上位机(或 SCPI 指令集)将 SDM 的参数信息传递给固件、固件将参数信息传递给 FPGA⁷、FPGA 将它们设置到模拟电路实现配置，完成 SDM 配置后，触发信号启动 SDM。图 1 绘制了连续两次 SDM 的时序图。

7.2 功能

Cx00 功能子板时序模型中，SDM 是最小功能单元，子板所有功能都以时序模型为基础。

7.2.1 SDM 模式

图 4 是标准的时序模型。为优化性能，SDM 周期中的 S、D、M 过程都可以独立使能。SDM 有 SMD、SD、M 三种模式：

- SDM 模式：脉冲源表，输出和测量功能并存；
- SD 模式：脉冲源，仅有脉冲输出和延迟，延迟用于等待电路稳定；
- M 模式：表，仅有测量功能，由触发输入启动测量。

7.2.2 SDM 参数

SDM 参数需要实现默认值 and 用户接口。结合图 4，脉冲源表中每一个 SDM 周期有一个脉冲，SDM 参数有 8 个：

- 脉冲 V 路设置值：由 DA 芯片 VH 通道控制
- 脉冲 I 路设置值：由 DA 芯片 IH 通道控制
- 脉冲 V 路 Off 态：由 DA 芯片 VL 通道控制
- 脉冲 I 路 Off 态：由 DA 芯片 IL 通道控制
- 测等待：用户可配，设备提供默认值简化使用
- NPLC：用户可配，设备提供默认值简化使用
- 脉宽：用户可配，设备提供默认值简化使用
- 脉冲周期：用户可配，设备提供默认值简化使用

7.2.3 NPLC 与滤波

Cx00 需给用户设置 NPLC 的接口，权衡精度和速度。设备有两种思路实现 NPLC 功能：

- a. 将 NPLC 设置写入 AD 芯片，使用 AD 芯片内置的滤波算法实现滤波；
- b. 将 AD 芯片的采样率设置为最高，由模拟板软件或者 FPGA 实现滤波算法。

两种方法各有优缺点，样机和调试阶段可以采用方法 a，快速验证业务。实际出货时建议采用方法 b，增加 Cx00 的灵活性。

⁷ 无 FPGA 的设备直接与模拟电路交互

7.2.4 触发

触发功能的结构如图 16，包括触发输入和触发输出两类：

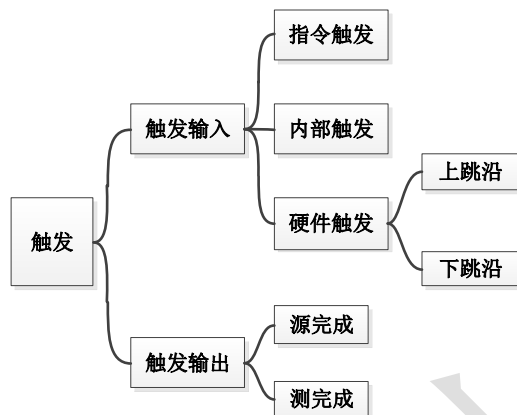


图 16 触发

下面结合图 16 分析触发功能：

- 触发输入

图 4 中的触发是触发输入，用于启动 SDM。触发输入按照触发源分为三种：指令触发、内部触发、硬件触发。

指令触发通过 SCPI 指令启动 SDM，由于指令需经过通信链路(串口、GPIB、网口)传递，所以其源延迟较大且与通信链路相关(不稳定)。但指令触发可编程，灵活性强。

内部触发由 Cx00 内部自己生成。一般当源表执行扫描时使用。完成前一个 SDM 后，设备自动生成触发信号，启动下一 SDM。

硬件触发由引入的物理线实现。硬件触发方式有能力使源延迟保证在纳秒级别，通常用于多台设备间的精确同步。其他厂家仪表的硬件触发信号不固定。为扩大 Cx00 应用场景，能与更多仪表相互触发，需要实现触发方式的设置并提供接口，主要包括上跳沿和下跳沿两种方式可设置。

- 触发输出

触发输出配合下级仪表的硬件触发(触发输入)，可以实现多台仪表(或多通道)之间的精确同步。触发输出的关键是输出触发信号时刻的定义，目前 Cx00 使用 2 个触发输出时刻：

源(输出)完成：测试电路供电稳定时刻，通常是 DA 输出后延迟一段时间的时刻；

表(测量)完成：测量采样完成时刻，通常在本次 SDM 的测量完成时刻。

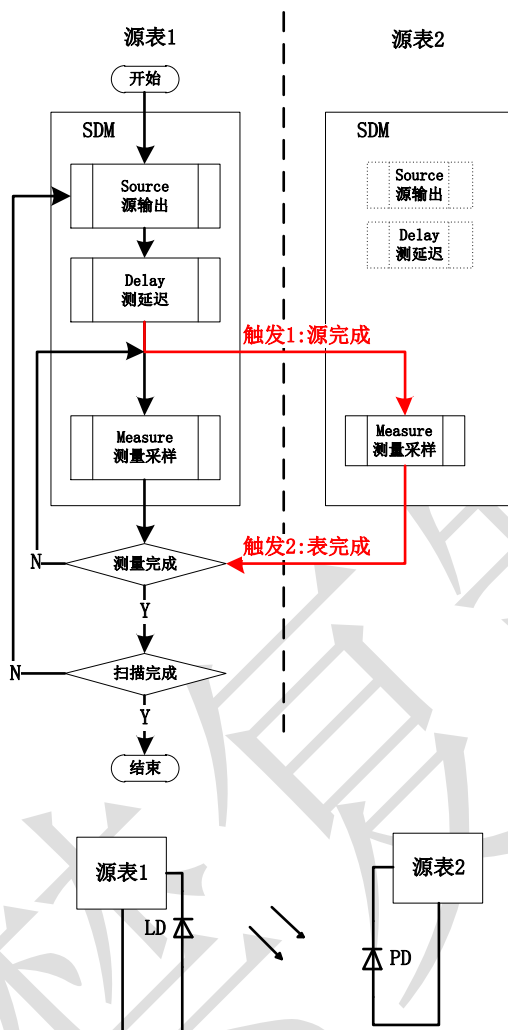
图 17 以双通道 LIV 扫描为例⁸，描述触发输出功能：

图 17 触发输出(LIV)例子

如图 17，实现 LIV 扫描需要两个通道，通道 1 对 LD 提供脉冲电流激励且测试 LD 压降，通道 2 对 PD 提供固定偏压并同步(每个电流激励稳定后)测量 PD 的电流。根据得到的 I (LD 激励电流)、 V (LD 压降)、 L (PD 电流表示前光功率)可以绘制 LIV 曲线。

LIV 测试用到了两种触发输出，触发 1(源完成)由通道 1 通知通道 2 电路稳定，可以开始测量；触发 2(表完成)由通道 2 通知通道 1 光功率测量完成，可以启动下一 SDM。

⁸ 可以参考本文中 VI 扫描相关章节

8. 岗位分工

本章分析岗位职责与其对应的工作分工：

8.1 岗位职责

各岗位职责定义如下：

- 控制板软件：SCPI 指令集、千兆以太网(LVDS 链路)、内部总线扩展与维护、Linux 平台维护；
- 模拟板软件：实现对硬件和 FPGA 部分的低速控制业务，配合定义寄存器接口、模拟板软件平台维护；
- FPGA：实现硬件(AD/DA/PWM/LVDS)高速控制业务、实现高速 LVDS 链路、负责定义寄存器接口
- 硬件：硬件电路设计与调试
- 测试：依据研发(软件、FPGA、硬件)出具的测试方法，测出相应性能数据；执行出厂测试和滚动测试

8.2 工作结果输出

各岗位输出如下：

- 控制板软件：
 - a. 软件版本(镜像、功能说明)
 - b. 单元自测报告
 - c. 集成联调报告(控制板+模拟板+FPGA+硬件)
- 模拟板软件：
 - a. 软件版本
 - b. 模拟板联调报告(模拟板+FPGA+硬件)
- FPGA：
 - a. FPGA 比特文件版本
 - b. 寄存器接口文档
 - c. 后仿真报告(FPGA+硬件)
- 硬件：
 - a. 原理图、PCB、BOM、研发调试样机
 - b. 硬件性能测试报告
- 测试：
 - a. 出厂终测
 - b. 镜像(软件+FPGA 的版本)的滚动(以周为粒度)测试

8.3 业务细分

控制板软件：

1. 实现 SCPI 指令集：可配 SDM 参数，与 2400/2450 保持兼容
2. 实现与模拟板交互 SDM 参数

模拟板软件：

1. 设计并实现 SDM 参数测试方案
2. 设计并实现模拟板业务。模拟板软件先实现，因为性能原因无法实现，给出数据和理论分析，组织评审是否划分到 FPGA
3. 实现与 FPGA 和控制板交互

FPGA：

1. 定义并实现软件无法实现的高速业务，包括：SDM 时序参数、NPLC 滤波算法、AD/DA 量程系数转换等。
2. 实现子板间高速 LVDS 总线链路

硬件：

1. 电路设计与调试
2. SDM 中源延迟、稳定时间、量程切换过充/欠冲的测试方案；

测试：

依据研发的测试方案，执行测试，给出测试数据。

9. 基本功能

Cx00 主要有实时测量、快速模式、扫描 3 大基本功能。

9.1 实时测量

Cx00 的实时测量功能与 Sx00(台式直流源表)类似，为客户体现功能。Cx00 使用内部触发，循环执行 SDM，将 M 测出的数据通过 SCPI 输出给客户。

9.2 快速模式

快速模式是源表产品最简单的使用方式，使用这些功能可以进行快速测量，主要有 2 类：数字万用表、可编程电源。下面依次介绍：

9.2.1 数字万用表

数字万用表有三种子功能：数字电压表，数字电流表，数字欧姆表

- 数字电压表

首先将源表设置为以下模式：电流源、最小电流量程、输出电流 0。

执行实时(电压)测量，这时为了加快速度，SDM 中可以禁用 S(输出)和 D(延迟)，电流路的 M(测量)也可以禁用。Cx00 依据电压的实时测量值，切换为包含待测电压的最小量程后给出测量电压。

- 数字电流表

首先将源表设置为以下模式：电压源、最小电压量程、输出电压 0。

执行实时(电流)测量，这时为了加快速度，SDM 中可以禁用 S(输出)和 D(延迟)，电压路的 M(测量)也可以禁用。Cx00 依据电流的实时测量值，切换为包含待测电流的最小量程后给出测量电流。

- 数字欧姆表

模拟板数字欧姆表功能，具体的算法步骤参考 2400 手册第 4 章 2 小结，章节名为“ohms measurement methods”

9.2.2 可编程电源

可编程电源有两种：可编程电压源、可编程电流源。

- 可编程电压源

源表设置为电压源输出，SDM 周期中关闭 M 测量功能。

- 可编程电流源

源表设置为电压源输出，SDM 周期中关闭 M 测量功能。

9.3 扫描

扫描功能是源表产品最常用的使用方式，分为时域扫描和 V/I 扫描。

9.3.1 时域

Cx00 使用内部触发，循环执行 SDM 即可测得待测电路 V/I 随时间变化得曲线，也即目前称为数据记录仪表的功能。当前这个功能 Cx00 内部仅实现了 SCPI 指令集，支持上位机实现时域扫描。下一步 **Cx00 需要将上位机的时域扫描功能移植到 Cx00 内部**，实现不依赖于 PC 上位机的数据记录仪，提升整机性能。

另外，在实现时域扫描时需循环执行 SDM，为了优化性能可以采用优化手段，提升采样率。循环启动的首次 SDM 包含完整的 SDM 过程，循环非首次的 SDM 仅执行 M 步骤，理论上可以将采样率提升至最高理论值，即 NPLC 的倒数。

9.3.2 V/I

Cx00 可执行电压或电流扫描，支持多种扫描模式，如图 18：

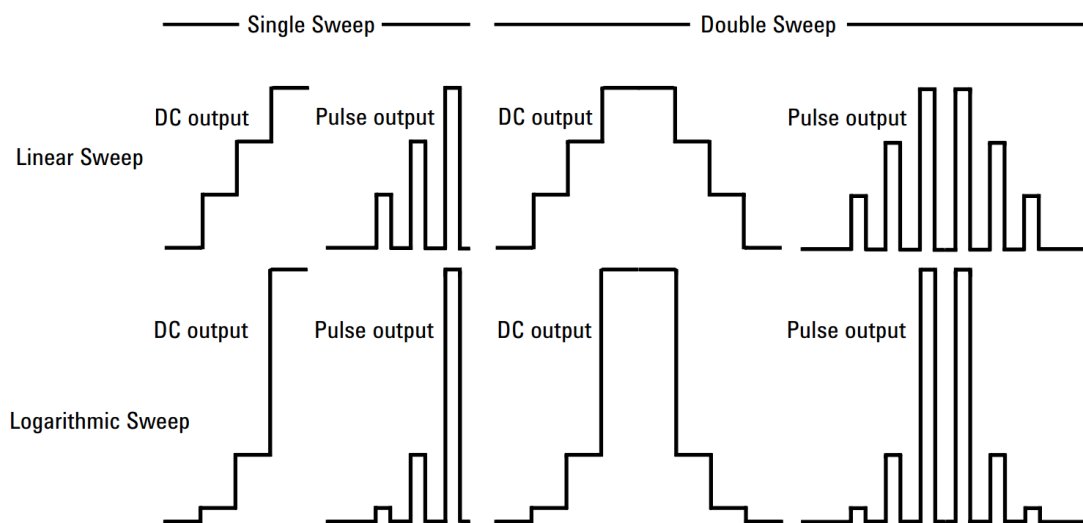


图 18 扫描模式

各扫描模式的定义为：

1. 线性
每个源电压(或电流)点之间步长线性相等；
2. 对数
每个源电压(或电流)点之间步长对数关系；
3. 单向
源电压(或电流)从起点扫描到终点后结束；
4. 双向
源电压(或电流)从起点扫描到终点，然后从终点扫描回起点。
5. 定制扫描

当以上四种扫描配置无法满足扫描要求，可以使用 AWG 功能执行列表扫描，完成任意波形生成。当前 V/I 扫描功能已实现，不再赘述。

9.4 职责划分

实时测量功能由控制板软件负责实现，对接模拟板提供的 SDM 接口；快速模式功能由控制板软件负责实现；扫描先由控制板软件负责实现，给出性能测试数据并组织评审分析；若有必要交由模拟板软件实现，给出性能测试数据并组织评

审分析；若有必要最终可交由 FPGA 实现。

10. 辅助功能

辅助功能可以提升 Px00 的性能，扩大其应用范围，主要包括 2/4 线、电阻补偿、提醒与保护功能。

10.1 2/4 线

若待测阻抗小，与引线阻抗在同一量级，使用 2 线测量，引线阻抗的分压将导致测出电压不准，使用 4 线测量可以解决该问题。2/4 线的接线如图 19：

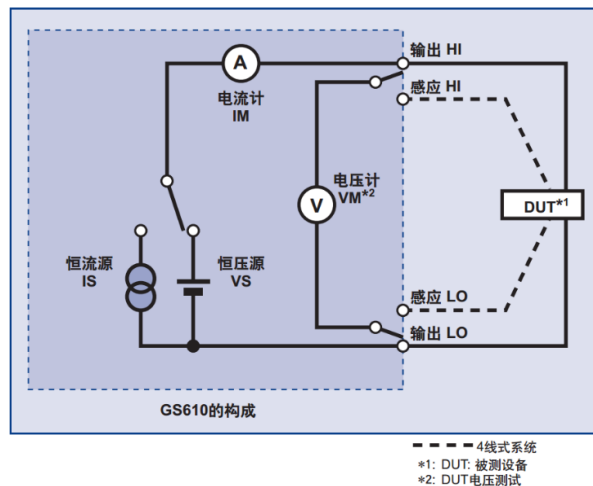


图 19 2/4 线测试接线图

这种情况下如图 19 接线，执行 4 线测量可消除引线误差。4 线测量时，电压表的阻抗无穷大，故流过引线的电流为零，电压表测出的电压值为准确 DUT 电压值，电流测试值不变，故测得阻抗精确值。

10.2 电阻补偿

为了减小热 EMF，可以开启电阻补偿功能。电阻补偿可有效而精确的执行小电阻测量，电阻补偿的原理为：对待测电路执行两次测量，并由式 1，式 2 算出的补偿值补偿 DUT 的测量结果。

$$R_{Compen} = \frac{V_2 - V_1}{I_2 - I_1} \quad \text{式 1}$$

$$R_{DUT} = R_{Test} - R_{Compen} \quad \text{式 2}$$

式 1 中的 V_1 和 I_1 通常为电流源输出 0A 时的 V/I 测量值。

10.3 提醒与保护

客户在执行有风险的操作时，触屏软件和 SCPI 指令集给出提醒信息，避免客户的错误操作。例如以下场景：

1. 客户行 4 线测量，提醒先备好 4 线测量的接线；
2. 客户欲高压输出时，提醒客户保护好自己，避免触电。

10.4 职责划分

硬件负责实现：2/4 线测量、联锁高压 (42V) 保护，其他功能都有控制板软件

负责实现。

11. 配套功能

配套功能主要用来帮助研发调试、生产、售后维护等职能同事工作开展，包括：生产配套和系统功能两部分。

11.1 生产配套

生产配套功能包括烧录和校准功能。

11.1.1 烧录

当前 Cx00 的版本烧录由软件提供文档，指导测试组同事烧录初始镜像，然后使用在线升级功能将设备内部软件升级到对应出货版本。上位机软件适时切入，争取能实现自动化烧录和数据库记录功能。

11.1.2 校准

生产烧录完成后，软件同事提供校准程序，实现每台机器的生产校准保证精度。上位机软件适时切入，争取能实现校准数据库记录功能。

11.2 系统功能

系统功能包括通信接口设置，在线升级，恢复出厂设置，调试诊断功能。

11.2.1 通信设置

Cx00 对外提供 SCPI 接口可以使用：串口、GPIB、网口三种物理链路。通信设置功能未用户提供通信链路参数的设计功能，主要包括：串口波特率、GPIB 地址、网口 IP 地址、网关、掩码等。

11.2.2 在线升级

为了减小工程维护开销，Cx00 需实现在线升级功能，使出货后的设备(在客户处)有新增功能和修复问题的能力。当前 Cx00 已经实现控制板软件和模拟板软件的在线升级功能，下一步需实现 FPGA 比特文件的在线升级。

11.2.3 恢复出厂设置

客户使用 Cx00 的过程中，可能会将 Cx00 的工作模式配乱，而自己也不记得。恢复出厂功能可以将 Cx00 一键设置回出厂模式，保证客户可以将设备恢复到一个已知状态。

11.2.4 调试诊断

客户的应用行业和场景十分丰富，部分使用方式或隐藏缺陷在研发阶段无法完全预知。调试诊断功能用于帮助处理售后问题时，有一个“黑匣子”可以查阅监控。该功能主要包括时间、日志、版本信息记录等三个子功能。

- 日志：显示异常时，Cx00 的运行记录
- 版本信息：显示异常的 Cx00 软硬件版本

11.2.5 定期锁定

部分客户有先发货，后付款的要求。为了避免此类客户由各种原因，出现发货后不付款的情况，Cx00 实现了定期(60 天)自动禁用的功能。

11.3 职责划分

生产烧录功能由上位机同事负责，系统功能由控制板软件同事负责。