

**Universidad Nacional de Ingeniería
Facultad de Ciencias**

Arquitectura de computadores

Timers/Contadores

Prof.: Lic. César Martín Cruz S.
ccruz@uni.edu.pe

2012 - II

Timer/Contador

El 8051 tiene 2 timer/contadores de 16 bits cada uno, llamados **Timer 0** y el **Timer 1** respectivamente. Ambos pueden ser configurados para operar como temporizadores (*timers*) o como contadores (*counters*). El 8052 y el AT89S52 tienen cada uno un tercer timer, el **Timer 2**.

Cuando se trabaja como “**contador**”, el registro interno del contador, es incrementado cada vez que existe una transición negativa (de 1 a 0) por la línea de entrada correspondiente a **T0** (P3.4) ó **T1** (P3.5). En cambio, cuando funciona como temporizador “**Timer**”, el registro es incrementado cada 12 periodos de oscilación es decir su frecuencia de conteo es 1/12 de la frecuencia del oscilador (reloj del sistema).

Cuando los bits del registro (*se refiere a los registros pares según el timer que se esté usando TH0, TL0, TH1, TL1, TH2 y TL2 respectivamente*) del contador pasan de todos 1's a todos 0's, se activa la línea de interrupción interna correspondiente a **TF0** o **TF1**, generándose, (si ha sido permitida) una interrupción.

Registro de control del timer/contador (TCON)

El registro de control del Timer/Contador (su dirección interna en la RAM es 88h) es direccionable por Bit, para activar o desactivar cada una de sus banderas.

Para el **Timer 0** y el **Timer 1** es:

TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
------------	------------	------------	------------	------------	------------	------------	------------

Para el **Timer 2** es:

T2CON	0	0	0	0	0	0	0	Value after reset
	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2	CP/RL2
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0

Registro de Control timer.....

SÍMBOLO	BIT	FUNCIÓN
TF1	TCON.7	Bandera de sobreflujo (overflow) del registro del Timer 1 . Activada por hardware (TF1=1) cuando el registro que guarda la cuenta del timer/contador 1, incrementa su contenido pasando todos sus bits de 1's a 0's. Es limpiado por hardware cuando es atendida la interrupción causada por ésta bandera.
TR1	TCON.6	Bit de control de activación del Timer 1 . Habilitado/Deshabilitado (TR1=1/TR1=0) por software para colocar el Timer/Contador en encendido/apagado.
TF0	TCON.5	Bandera de sobreflujo (overflow) del registro del Timer 0 . Activada por hardware cuando el registro que guarda la cuenta del timer/contador 0, incrementa su contenido pasando todos sus bits de 1's a 0's. Esta opera exactamente igual que la bandera TF1.

Registro de Control timer.....

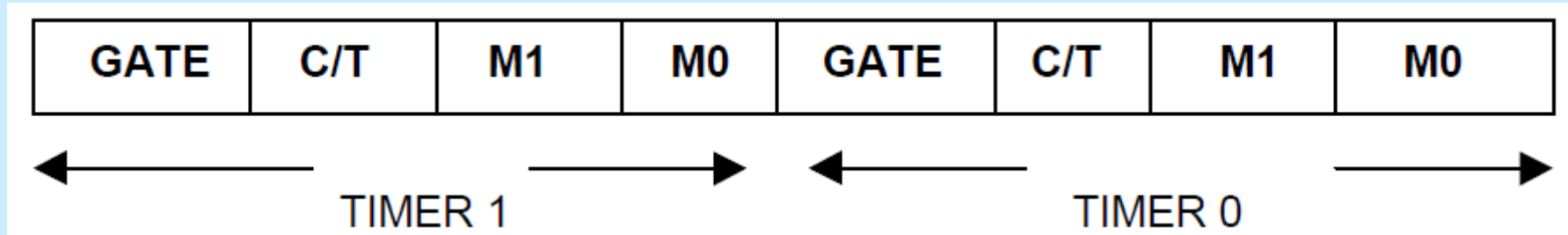
SÍMBOLO	BIT	FUNCIÓN
TR0	TCON.4	Bit de control de activación del Timer 0 . Habilitado/Deshabilitado (TR0=1/TR0=0) por software para colocar el Timer/Contador en Encendido/Apagado.
IE1	TCON.3	Bandera de transición de la <i>interrupción externa 1</i> . Activada por hardware, cuando es detectada una transición de 1 a 0 en el pin correspondiente a dicha interrupción (Pin P3.5). Limpiada por hardware cuando la interrupción es atendida (solamente se acciona, si dicha interrupción es habilitada: ET1=1).
IT1	TCON.2	BIT de control de interrupción 1. Activado y limpiado por software. Este BIT programa el tipo de transición que activará la <i>interrupción externa 1</i> . IT1=0 la interrupción se activará al detectar un nivel bajo en el pin correspondiente; IT1=1 la interrupción se activará al detectar un flanco de bajada.

Registro de Control timer.....

SÍMBOLO	BIT	FUNCIÓN
IE0	TCON.1	Bandera de transición de la <i>interrupción externa 0</i> . Opera exactamente igual que IE1, siendo activo si ET0=1 . (Entiéndase por IE: registro de habilitación de interrupciones).
IT0	TCON.0	BIT de control de interrupción 0. Aplica lo descrito para IT1.

Registro de Modo de control del timer/contador (TMOD)

Este registro permite especificar si se van a trabajar como temporizadores (timers) o como contadores (counters), los denominados **Timer 0** y **Timer 1**. Existen 4 modos de trabajo, los cuales son definidos por la escritura en los bits **M1** y **M0** de TMOD, el registro **TMOD** se muestra a continuación.



SÍMBOLO	BIT	FUNCIÓN
Gate	TMOD.7	Cuando GATE=1, no es suficiente activar TR1 (en TCON) para que el Timer/Counter 1 funcione, si no que es necesario que la línea de interrupción externa INT1 (P3.3) esté en posición alta (control por hardware). Cuando GATE=0, el funcionamiento del Timer/Counter 1 solamente dependerá de la activación de TR1 (control por software).
C/T	TMOD.6	Selector de función: Temporizador o Contador. C/T=0 activa la función de Temporizador (contabiliza pulsos del reloj del sistema interno).C/T=1 activa la función de Contador (contabiliza pulsos en la entrada externa T1).
M1	TMOD.5	BIT selector del modo del Timer 1.
M0	TMOD.4	BIT selector del modo del Timer 1.
Gate	TMOD.3	Aplica lo descrito para el GATE del TIMER 1 sólo que ahora al hablar de TR1 e INT1, entiéndase que se trata de TR0 e INT0 respectivamente.
C/T	TMOD.2	Selector de función: Temporizador o Contador. Igual que para C/T en TIMER 1 sólo cambiar T1 por T0.
M1	TMOD.1	BIT selector del modo del Timer 0.
M0	TMOD.0	BIT selector del modo del Timer 0.

Tabla que muestra las diferentes combinaciones de los bits selectores de modo.

M1	M0	MODO	DESCRIPCION
0	0	0	Timer/Contador de 13 bits.
0	1	1	Timer/Contador de 16 bits.
1	0	2	Timer/Contador de 8 bits recargables.
1	1	3	Timer 0, TL0 Timer/Contador de 8 bits, controlado por los bits de control del Timer 0, TH0 Timer de 8 bits controlado por los bits de control del timer1. El Timer 1 no se utiliza.

Modo 0. En este modo cualquiera de los 2 timers, 0 y 1, se configuran como registros de 13 bits, que consisten en los 8 bits del registro de TH (TH1 o TH0) y los 5 bits menos significativos del registro TL (TL1 o TL0). Los 3 bits más significativos de TL no son utilizados en este modo.

Modo 1. Este modo es utilizado por cualquiera de los dos timers, y los configura como Timer/Contador de 16 bits.

Modo 2. Este modo también puede llegar a ser utilizado por los dos timers, y los configura para un conteo de 8 bits (TLx) con recarga automática. Al ser sobrepasada la capacidad de TL, éste es recargado automáticamente, con el contenido de TH y a su vez es activada (TF=1) la bandera de sobreflujo.

Modo 3. El Timer 1, en el modo 3 mantiene su cuenta, es decir, tiene el mismo efecto que cuando se establece la bandera TR1=0.

El Timer 0, en éste modo, establece TL0 y TH0 como de contadores separados. TL0 utiliza los bits de control (C/T, GATE, TR0, INT0) del Timer 0. TH0 es bloqueado como temporizador “Timer”, el cual emplea las señales de control del Timer 1, TR1 y TF1.

Ejemplo 1:

Desarrolle una programa que genere una señal de 4khz en el pin P1.4 utilizando el timer 0.

Sol.

Se utilizará el timer 0 en modo 2.
Entonces en el registro TMOD se tiene:

	Bit	Valor	Nota
Timer Uno	7	0	Como no usamos el timer 1 ponemos estos bits a 0
	6	0	
	5	0	
	4	0	
Timer Cero	3	0	Gate puede ser puesto a 1 cuando usas interrupciones, de otro modo se pone a 0
	2	0	C/T, es 0 porque timer 0 va ser un timer
	1	1	Se pone “1 0” porque se selecciona el
	0	0	modo 2 (8 bits con auto-recarga)

$$\text{TMOD} = 0000\ 0010b = 2$$

Para calcular una frecuencia de 4kilohertz, considerando un reloj del sistema de 12Mhz (incremento del registro cada $f/12$, es decir cada 1 microsegundo):

Periodo= $1 / 4000 \text{ hertz} = 0.00025 \text{ segundos} = 250 \text{ microsegundos}$

El pin P1.4 se encuentra en estado 1 o 0 : $250/2 = 125 \text{ microsegundos}$. Necesito un desbordamiento después de 125 microsegundos. El valor de auto-recarga será: $256 - 125 = 131$.

El programa será:

;Generación de una señal de 4khz en el pin P1.4
;utilizando el timer 0

```
org 0000h
mov TMOD,#02h    ;configura el timer 0 en modo 2
                  ; como un temporizador de 8 bits con auto recarga
mov TH0,#131     ;valor de recarga
setb TR0         ;inicia el timer 0
espera_desborde:
jnb TF0,$        ;esto se repite mientras TF0 es cero y no hay
                  ;desbordamiento
cpl P1.4         ;complementa el pin 5 en el Puerto 1
clr TF0          ;este flag de desbordamiento se pone a 1 por hardware,
                  ;este flag debe ser puesto a 0 por software
sjmp espera_desborde
end
```

Ejemplo 2:

Desarrolle una programa que genere una señal de 1khz en el pin P1.4 utilizando el timer 0.

Sol.

Para calcular una frecuencia de 1kilohertz:

Periodo= $1 / 1000 \text{ hertz} = 0.001 \text{ segundos} = 1000 \text{ microsegundos}$

El pin P1.4 se encuentra en estado 1 o 0 un tiempo de: $1000/2 = 500$ microsegundos. Necesito dos desbordamientos de 250 microsegundos cada uno. El valor de auto-recarga será: $256 - 250 = 6$.

El programa será:

```
;Generación de una señal de 1khz en el pin P1.4  
;utilizando el timer 0
```

```

org 0000h
mov TMOD,#02h    ;configura el timer 0 en modo 2
                  ; como un temporizador de 8 bits con auto recarga
mov TH0,#6        ;valor de recarga
setb TR0          ;inicia el timer 0
mov R7,#0         ;R7 usado para contador
espera_desborde:
jnb TF0,$         ;esto se repite mientras TF0 es cero y no hay
                  ;desbordamiento
inc R7            ;incrementa el contador
clr TF0           ;este flag de desbordamiento se pone a 1 por hardware,
                  ;este flag debe ser puesto a 0 por software
cjne R7,#2,espera_desborde    ;si R7 no es 2 va a espera_desborde, de otro
                              ; modo continua a la siguiente instrucción
mov R7,#0         ;R7 es reiniciado a 0
cpl P1.4          ;complementa el pin 5 del Puerto 1
sjmp espera_desborde
end

```

Ejercicio 1:

Desarrolle una programa que genere una señal de 4khz en el pin P1.4 utilizando el timer 0, considerando una frecuencia de reloj del sistema de 11.0592Mhz.