

# Projekt indywidualny 1 – Warian 6

**SCK – 2022Z**

**Prowadzący:** Bartosz Dec (bartosz.dec@pw.edu.pl)

## Cel projektu

Celem projektu jest zaimplementowanie jednostki wykonawczej **exe\_unit\_w6** realizującej operacje arytmetyczne, logiczne i inne na liczbach całkowitych zapisanych w kodzie **ZNAK-MODUŁ**.

W skład realizacji projektu wchodzi:

- Implementacja modelu **ext\_unit\_w6**
- Synteza logiczna **exe\_unit\_w6** przy użyciu programu **yosys**
- Realizacja modułu testbench i weryfikacja poprawności działania **exe\_unit\_w6** na drodze symulacji logicznej w **icarus verilog** zarówno modelu (przed syntezą logiczną) jak i modułu uzyskanego po syntezie logicznej. (wyniki symulacji powinny być identyczne)
- Napisanie specyfikacji projektu zrealizowanego układu wraz z raportem zawierającym wyniki realizacji projektu.

## Realizowane operacje

Jednostka **exe\_unit\_w6** ma realizować następujące operacje na danych wejściowych (operacje i punktacje za poprawną implementację, syntezę i weryfikację na drodze symulacji logicznej):

- Odejmowanie liczby B od liczby A
- Zamiana w liczbie A bitu na pozycji B na wartość 1. Jeżeli liczba B jest ujemna lub większa od liczby bitów, należy zgłosić błąd.
- Porównanie liczb  $A \geq B$ . Jeżeli warunek jest spełniony, należy zwrócić liczbę dodatnią, w przeciwnym wypadku zero.
- Przesunięcie liczby A o B bitów w lewo z zachowaniem znaku. Jeżeli liczba B jest ujemna, należy zgłosić błąd.

## Wejścia i wyjścia

Rodzaj wykonywanej operacji jest określony przez **n-bitowe** wejście sterujące **i\_op**. Dane **m-bitowe**, na których wykonywane są operacje z dwóch wejść **in\_arg\_A** oraz **in\_arg\_B**, wynik operacji wystawiany jest na wyjście **m-bitowe** - **out\_result**.

- **in\_op** – wejście **n-bitowe** sterujące kombinacyjne określające rodzaj wykonywanej operacji
- **in\_arg\_A** – **m-bitowe** wejście argumentu A

- **in\_arg\_B** – m-bitowe wejście argumentu B
- **in\_clock** – wejście zegara (aktywne zbocze narastające)
- **in\_reset** – wejście resetujące moduł, synchroniczne. (reset poziomem niskim)
- **out\_result** – wyjście synchroniczne wystawiające wynik operacji
- **out\_status** – dodatkowe wyjście 4-bitowe określające status wyniku operacji.

**Status operacji** na wyjściu **out\_status** w zależności od wyniku operacji:

- **ERROR** – operacja nie została wykonana poprawnie, wartość **out\_result** ma być nieokreślona
- **EVEN** – liczba zer w wyniku jest parzysta.
- **OVERFLOW** – w wyniku operacji nastąpiło przepełnienie (wynik operacji wychodzi poza zakres bitowy wyjścia)
- **SINGLE** – flaga informująca, że w wyniku jest tylko jedno zero.

### Wymagania i punktacja

Synteza logiczna całego modułu **exe\_unit\_w6** wraz ze wszystkimi plikami musi przebiegać poprawnie i nie może zawierać zatrząsków.

- Działanie układu (wyniki symulacji logicznej) modelu układu przed i po syntezie musi być identyczne
- Wszystkie pliki projektu i dokumenty muszą być umieszczone w repozytorium [gitlab-stud.elka.pw.edu.pl](https://gitlab-stud.elka.pw.edu.pl) w odpowiednich katalogach - warunek konieczny
- W repozytorium musi być widoczny systematyczny rozwój i praca nad projektem w postaci historii poszczególnych operacji commit na projekcie – warunek konieczny
- Specyfikacji zrealizowanego układu wraz z raportem zawierającym wyniki realizacji projektu zawierającą:
  - listę wejść i wyjść, parametrów jednostki oraz zakresy ich wartości
  - listę realizowanych funkcji wraz z ich argumentami oraz kodem jaki należy podać na wejście **in\_op** aby wykonać zadaną funkcję
  - schemat blokowy struktury jednostki
  - specyfikacje sygnałów określających zaimplementowane flagi wraz z przykładowymi sytuacjami, kiedy dana flaga przyjmie wartość 0 i 1
  - przykładowe użycie modułu pokazującego jak go instancjonować
  - listę wszystkich plików **.sv** wraz z informacją jakie moduły są w nich zdefiniowane
  - raport z syntezy logicznej zawierający liczbę przerzutników, zatrząsków i bramek logicznych użytych do realizacji modelu po syntezy logicznej; w raporcie należy zawrzeć tabelę z wymienionymi elementami i ich liczbą
  - raport z przeprowadzonej symulacji układów zawierający przykładowe przebiegi sygnałów dla wszystkich zrealizowanych operacji

**Liczba punktów do zdobycia - 20 pkt w tym:**

- 8 pkt - za poprawną realizację, syntezę i weryfikację wszystkich operacji

- 8 pkt - za poprawną realizację, syntezę i weryfikację wszystkich znaczników
- 4 pkt - specyfikacja zrealizowanego modułu `exe_unit_w2` wraz z raportem z wynikami syntezy i symulacji