Adunarea a 2 numere reprezentate în Exces de 3

*Proiect FC*

Paul Arseni Ailoi

**Tutori:**

Larisa-Maria Szatmari

Mircea Vlăduțiu

**Timișoara**

<2020>

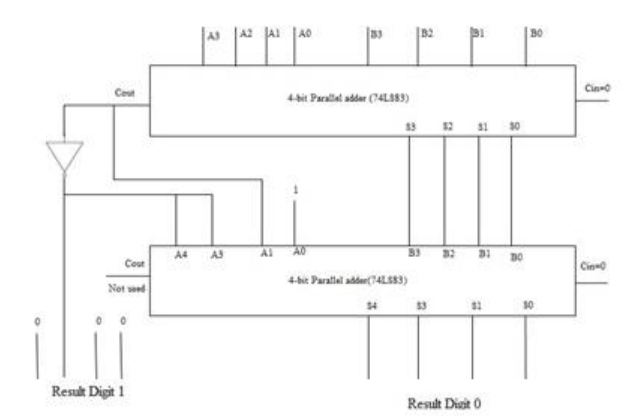
**Prezentarea generală a unui sumator E3**

Fig 1.1 Schema circuitului unui sumator E3

Potrivit schemei reprezante în figura 1.1, adunarea a două numere A și B, reprezentate în E3 are loc prin intermediul a două Parallel adders. Un Parallel Adder este un circuit digital capabil de găsirea a sumei aritmetice a două numere reprezentate în binar, oferind ca output suma acestora și un carry out.  
Schema circuitului unui Parallel Adder este reprezentat mai jos:

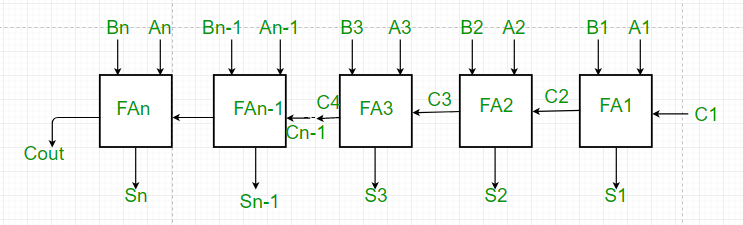


Fig 1.2 Schema circuitului unui Parallel Adder

În primul Parallel Adder reprezentat în fig 1.1 are loc adunarea numerelor A și B reprezentate în excess de 3, având la ieșire o sumă obținută și un carry out, în dependență de care, are loc corectarea valorii obținute.

Pentru a facilita adunarea a două numere, numerele reprezentate în exces de 3 sunt, de fapt, numere codificate BCD8421, cu un **exces-de-3** adunat. Adică în loc de 0000 (reprezentarea numărului 0 în BCD8421), acesta va fi reprezentat ca 0011(0+3). Astfel, la adunarea a două numere reprezentate în Excess-3, vom avea un exces total de 6, care trebuie corectat.

Această corecție are loc în al doilea Parallel Adder, care are ca intrări: suma obținută precedent (care trebuie corectată) și 3 sau 13 în dependență de valoarea carry-out-ului obținut din primul Adder.

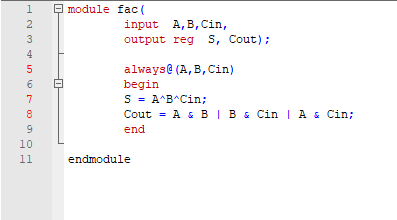
Deci la obținerea carry-outului 1, suma obținută se va aduna cu 0011(13), iar la obținerea carry-outului 0, suma obținută se va aduna cu 1101(13).

Adunarea cu 1101(13) va fi totuna cu scăderea cu 0011(3), întrucât 13 reprezintă complementul de 2 al lui 3, cum este reprezentat mai jos:

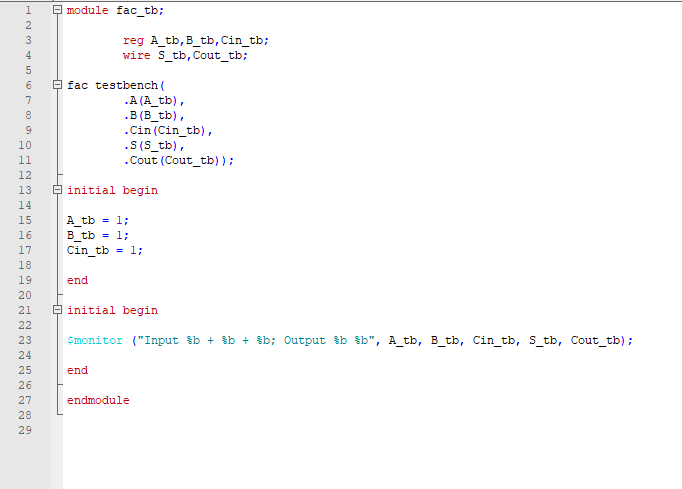
310 = 0011SM ===complement===> 1100C1 ====+1===>1101C2 = 1310

**Implementarea sumatorului în Verilog**

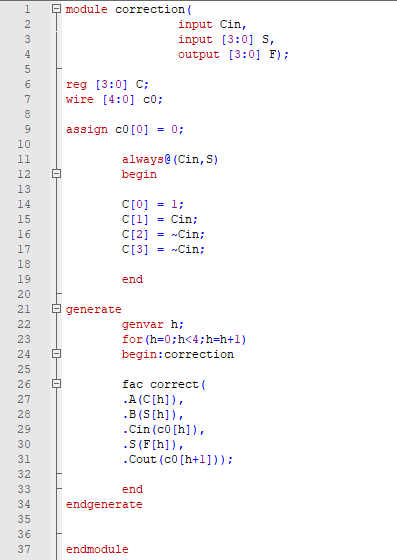
Implementarea mea a sumatorului Excess-3 în Verilog are la bază un modul de bază (E3\_Adder.v) și două module care se instanțiază în modului de bază. Aceste module sunt fac.v și correction.v. Fiecare dintre aceste module îndeplinesc o anumită funcție, pe care le prezint în continuare.

***1. fac.v***

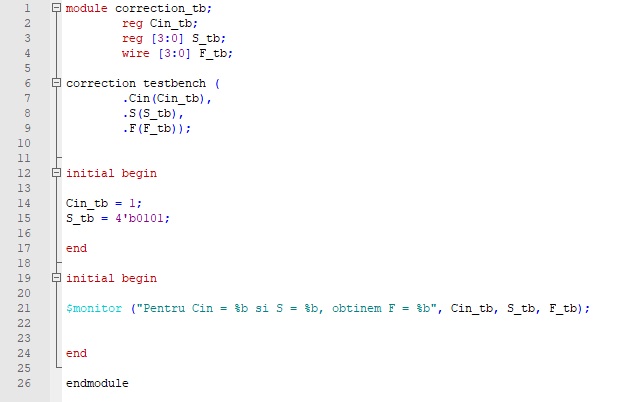
În fac.v găsim, de fapt, implementarea unui full-adder, care realizează adunarea a două cifre. A și B sunt input-urile, iar S și Cout output-uri. Mai jos este reprezentat testbench-ul acestui modul și output-ul său.



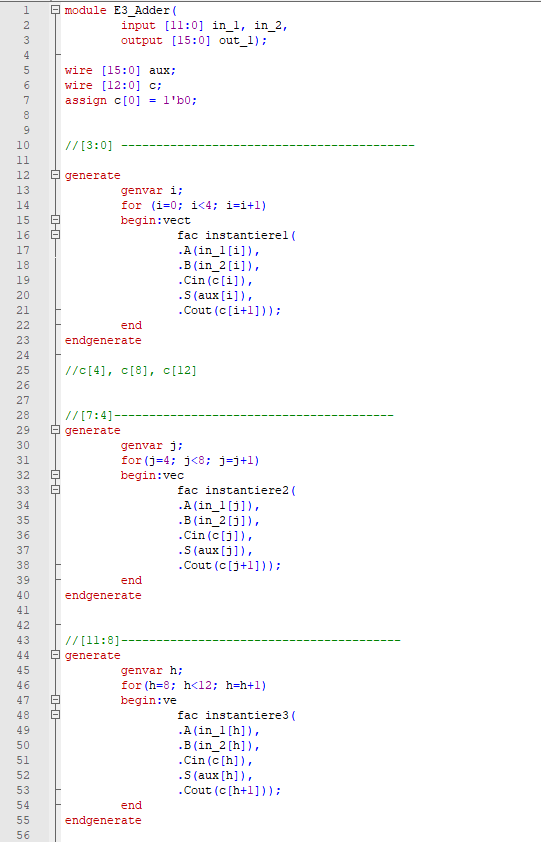


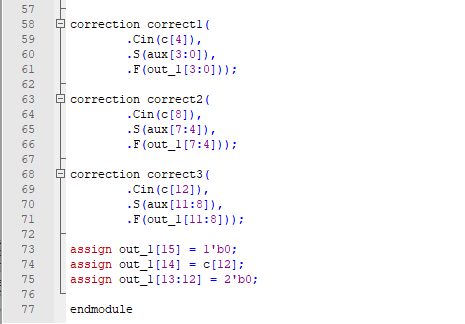
***2. correction.v***

Modulul correction.v are ca scop corectarea sumelor obținute din primul Parallel Adder. Are ca input-uri Cin(carry out-ul de la primul Parallel Adder),  
S(suma obținută), F(suma corectată). Mai jos este reprezentat testbench-u  
acestui modul și output-ul său:





***3. E3\_Adder.v***



Conform cerințelor proiectului, avem următoarele porturi:

1. in\_1 - intrare - 12 biți
2. in\_2 - intrare - 12 biți
3. out\_1 - iesire - 16 biți

Deoarece utilizez un full-adder în implementarea mea (fac.v), am “mimicat” Parallel Adderul prin intermediul blocurilor generate (genvar i,j,h). Am utilzat 3 blocuri generate pentru o structurare eficientă. Astfel, realizând acelaș proces de 4 ori prin blocurile generate, am realizat adunarea a două numere de o cifră reprezentate în E3.

Apoi, prin instantiere, modulul a facut apel la modulul corectie pentru corectarea sumei obtinute.

***Referințe interne:***

[1] Curs 1, Fundamentele calculatoarelor, <https://docs.google.com/presentation/d/1lVKTGeoJp9ZXn4Meldg0OjUUer1VEavU/edit#slide=id.p23>

[2] Lucrare Laborator 7, Fundamentele Calculatoarelor, <https://docs.google.com/presentation/d/1geqXIXr1JRyRVvJie6mgMP6Mbl9_ZO4-/edit#slide=id.p1>, slide 6-8

[4] Mircea Vlăduțiu:  “Computer Arithmetic. Algorithms and Hardware Implementations” Springer-Verlag, Heidelgerg, New York, Dordecht, London, 2012, ISBN 978-3-642-18314-0, ISBN 978-3-642-18315-7 (<http://www.springer.com/computer/hardware/book/978-3-642-18314-0>).

[5] Mircea Vlăduţiu: „Arhitectura şi organizarea calculatoarelor” Vol.1: Aritmetica sistemelor de calcul (monografie), Editura Politehnica Timişoara, 2008 (274pagini), ISBN 978-973-625-706-3 (general), ISBN 978-973-625-709-4 (vol. 1).

***Referințe externe:***

[3] Chaluvadi, P., Pranay, M., Sukesh, P., & Madhu, K. Design of Reversible Excess-3 Adder and Subtractor. <https://ijarcce.com/upload/2017/march-17/IJARCCE%20142.pdf>

<https://www.geeksforgeeks.org/parallel-adder-and-parallel-subtractor/>

<https://ijarcce.com/upload/2017/march-17/IJARCCE%20142.pdf>