



Universidad de Alcalá

ESCUELA POLITÉCNICA SUPERIOR

MÁSTER UNIVERSITARIO EN INGENIERÍA DE
TELECOMUNICACIÓN

PRÁCTICA ENTREGABLE 1
TRANSMISOR 16 QAM

Diseño de Circuitos Electrónicos para Comunicaciones

Autor:

Paula Bartolomé Mora

18 de noviembre de 2023

Índice general

1. Introducción	1
2. Captura XADC y memoria FIFO	2
2.1. Obtención de los datos convertidos del ADC	3
2.1.1. Configuración del XADC	3
2.1.2. Simulación de la señal de entrada	3
2.2. Lógica de control de lectura y escritura de los datos de la FIFO	4
2.2.1. Configuración del bloque FIFO	4
2.2.2. Comprobación del bloque FIFO	5
3. Modulador 16-QAM	6
4. Conclusiones	8

Capítulo 1

Introducción

El presente trabajo tiene como objetivo principal el desarrollo de un sistema de comunicaciones basado en 16-QAM (Modulación de Amplitud en Cuadratura de 16 niveles). Para ello, se propone el empleo en conjunto de los diferentes bloques electrónicos IP estudiados en la asignatura y se divide el desarrollo del entregable en una serie de fases de configuración:

- **Captura XADC y Memoria FIFO:** En esta primera etapa se realizará la captura de una señal triangular y se procederán a almacenar los datos de entrada en una memoria FIFO.
- **Modulador 16-QAM:**
 - **Mapeado QAM y Zero Padding:** Como siguiente paso a seguir, se generará el mapeado de 16-QAM y se implementará un Zero-Padding 1:32.
 - **Filtrado Root Raised Cosine:** Tras aplicar Zero Padding, se deberá generar y aplicar a cada rama I/Q el filtrado pulse shaping del “root raised cosine” (RRC).
 - **Mezclador DDS y Multiplicadores:** ————
 - **Sumador:** ————
 - **Rx:** ————

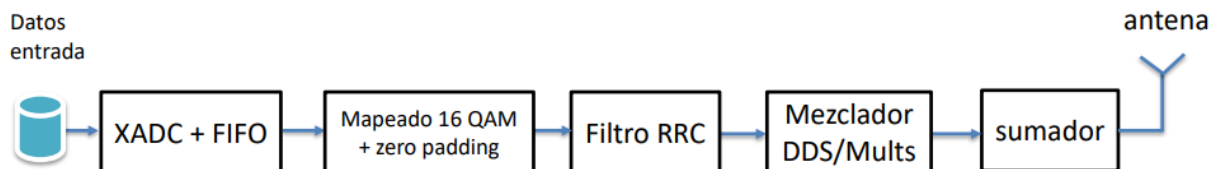


Figura 1.1: Distribución de bloques del sistema de comunicaciones

Para lograr tanto un correcto funcionamiento de cada bloque electrónico como la interoperabilidad entre ellos al integrarlos en el sistema, será preciso un estudio en profundidad de la documentación proporcionada por el fabricante y un análisis cuantitativo y cualitativo de cada uno de los resultados obtenidos en las simulaciones funcionales.

Capítulo 2

Captura XADC y memoria FIFO

Como se ha introducido anteriormente, en este capítulo se definirá el proceso de captura y conversión de una señal de entrada triangular y el posterior almacenamiento de la misma en una memoria FIFO. En la Figura 2.5 se muestra el diseño de los bloques necesarios para esta fase y la definición de sus correspondientes puertos de entrada y salida.

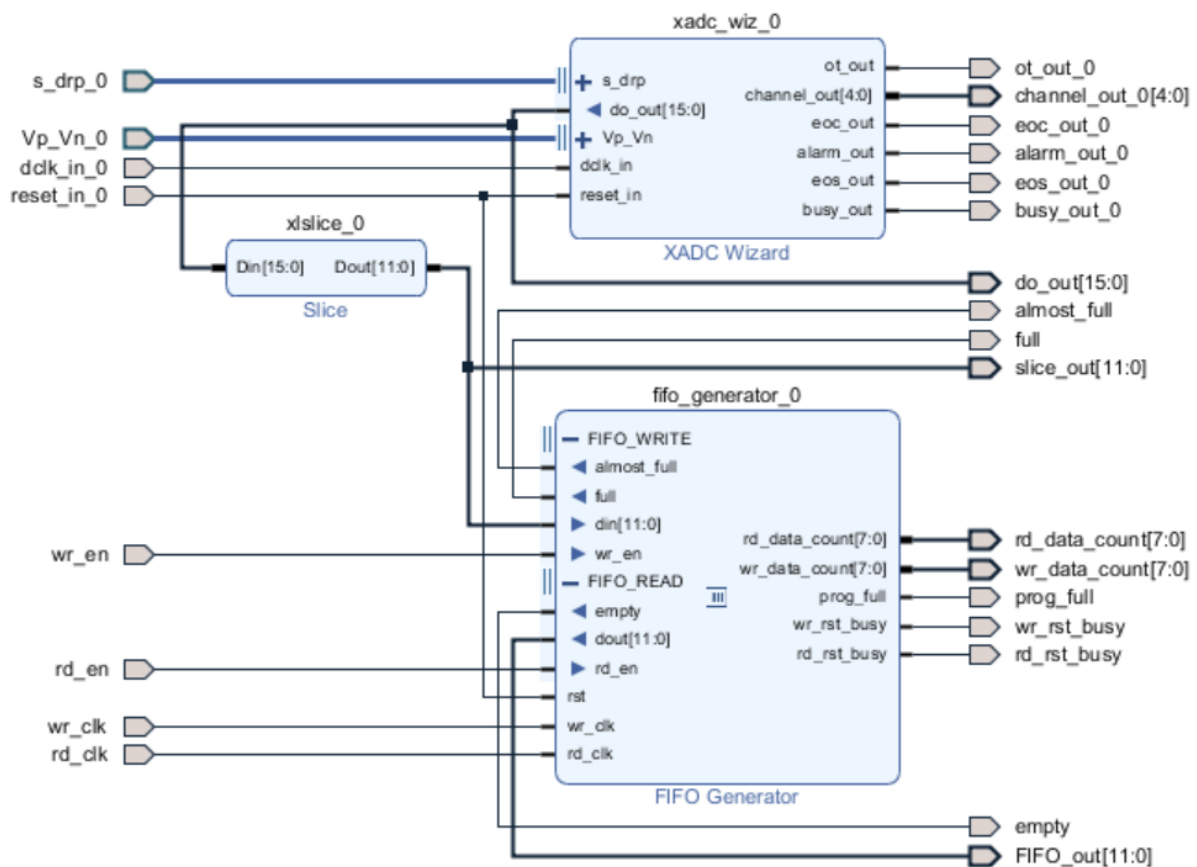


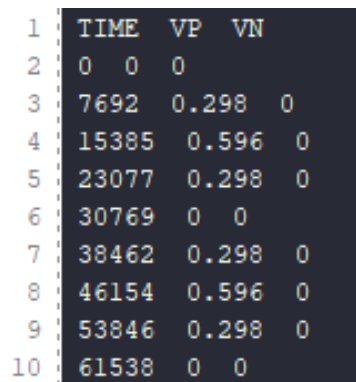
Figura 2.1: Diseño del bloque XADC+FIFO

2.1. Obtención de los datos convertidos del ADC

2.1.1. Configuración del XADC

En primer lugar, teniendo en cuenta que nuestro puesto de laboratorio es el 8, se debe generar a la entrada una señal triangular con un valor de frecuencia igual a 13KHz y que opere en un rango de valores de tensión entre 0 y 0.596 voltios. Los valores que toma en cada instante temporal serán definidos en el fichero `design.txt`, el cual tendrá que ser importado al proyecto para llevar a cabo la conversión.

Como se puede ver en la Figura 2.2 se definen valores de tensión para dos entradas (VP y VN), que corresponden a las entradas analógicas diferenciales del XADC. Por simplificación, se configura el valor absoluto de tensión para la entrada positiva (VP) y un valor nulo para la negativa (VN).



	TIME	VP	VN
1			
2	0	0	0
3	7692	0.298	0
4	15385	0.596	0
5	23077	0.298	0
6	30769	0	0
7	38462	0.298	0
8	46154	0.596	0
9	53846	0.298	0
10	61538	0	0

Figura 2.2: Valores de tensión (V) de la señal triangular extraídos de `design.txt`

El XADC se configura en modo continuo y con un único canal de entrada para capturar las muestras, por lo que se ha seleccionado el canal 3 para registrar el valor convertido de tensión (*s_drp_daddr*). La conversión se realizará a una velocidad de 1 MS/seg con un reloj de 52 MHz y se establecerá un tiempo de adquisición igual a 4 para que la señal de captura sea estable.

2.1.2. Simulación de la señal de entrada

Una vez configurado el bloque IP XADC se procede a simular la conversión de la señal de entrada. En la figura 2.3 se puede visualizar cómo se obtiene la salida digital de 16 bits por el puerto *do_out*.

Por otro lado, en la Figura 2.4 se aprecia de una forma más clara los valores que toman cada uno de los puertos del XADC en cada conversión. La señal de fin de conversión *eoc_out* se activa y como consecuencia, también lo hará la de enable del Puerto de Reconfiguración Dinámico (DRP) *eoc_out*. La operación de lectura se completa cuando la señal de dato

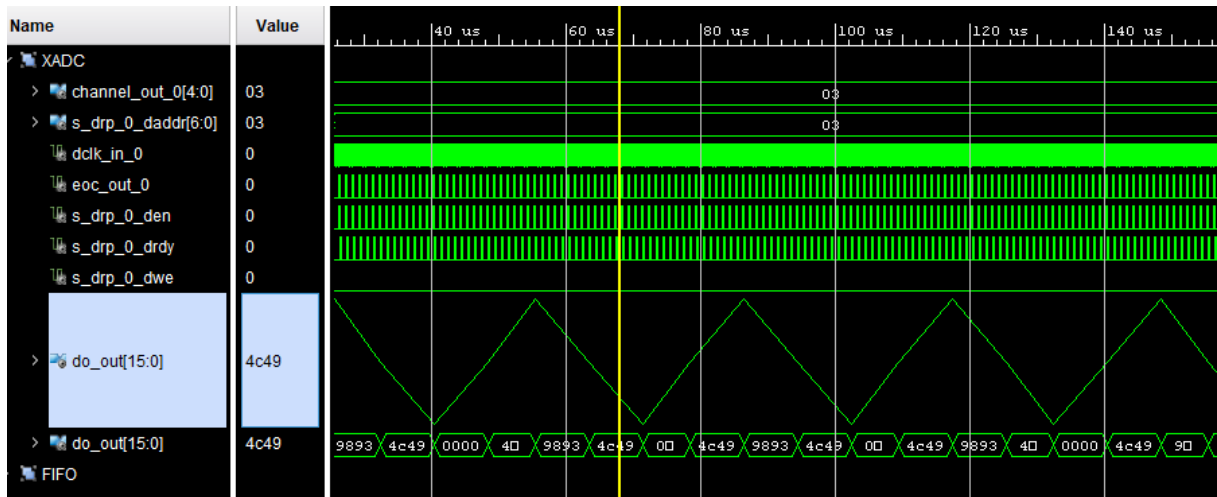


Figura 2.3: Conversión analógico-digital de la señal triangular de entrada (I)

ready se activa *s_drp_drdy*, indicando que se ha sacado el dato a la salida y que se puede proceder a convertir el siguiente.

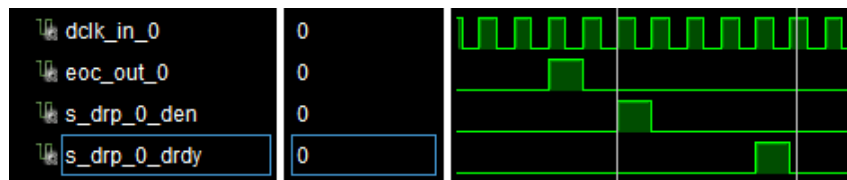


Figura 2.4: Fin de conversión y dato preparado (III)

2.2. Lógica de control de lectura y escritura de los datos de la FIFO

2.2.1. Configuración del bloque FIFO

El bloque de memoria FIFO almacenará cada uno de los datos capturados por el bloque XADC. Consta de una capacidad de 256 posiciones de 12 bits cada una, por lo que a la entrada del bloque FIFO será precisa la configuración de un bloque auxiliar Slice para transformar los 16 bits de la señal de salida del XADC en sus 12 bits de mayor peso. Además, esto es necesario porque el XADC en el fondo maneja una precisión de 12 bits a la salida.

Cada vez que exista un nuevo dato proporcionado por el XADC se escribirá en la memoria FIFO de forma continua a 1 MS/s y con un reloj de 52 MHz (*wr_clk*) hasta llegar a la capacidad máxima. Una vez la memoria FIFO está llena, comenzará el proceso de lectura de 200 datos a una frecuencia de lectura de 2MHz (*rd_clk*). En este caso, al desear leer un número de datos menor a la capacidad máxima (256), será necesario configurar una señal auxiliar programable (*programmable_full*).

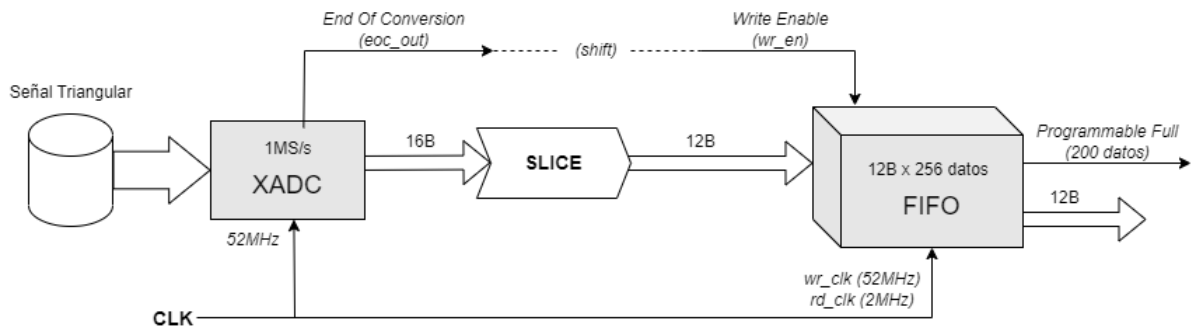


Figura 2.5: Diseño del bloque XADC+FIFO

2.2.2. Comprobación del bloque FIFO

Capítulo 3

Modulador 16-QAM

Mapeado 16-QAM

La codificación Gray es una técnica específica que garantiza que solo un bit cambie entre dos valores consecutivos. Para modulación QAM, las tablas Q e I se ajustan para seguir la codificación Gray y minimizar la posibilidad de errores debido a cambios de múltiples bits en la transmisión.

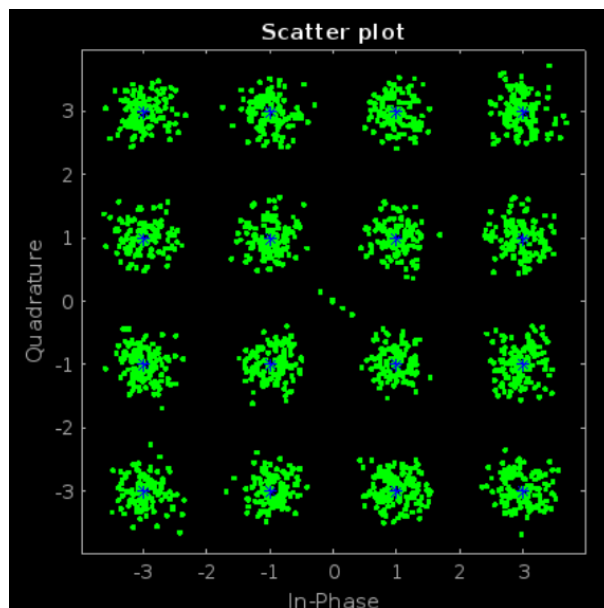


Figura 3.1

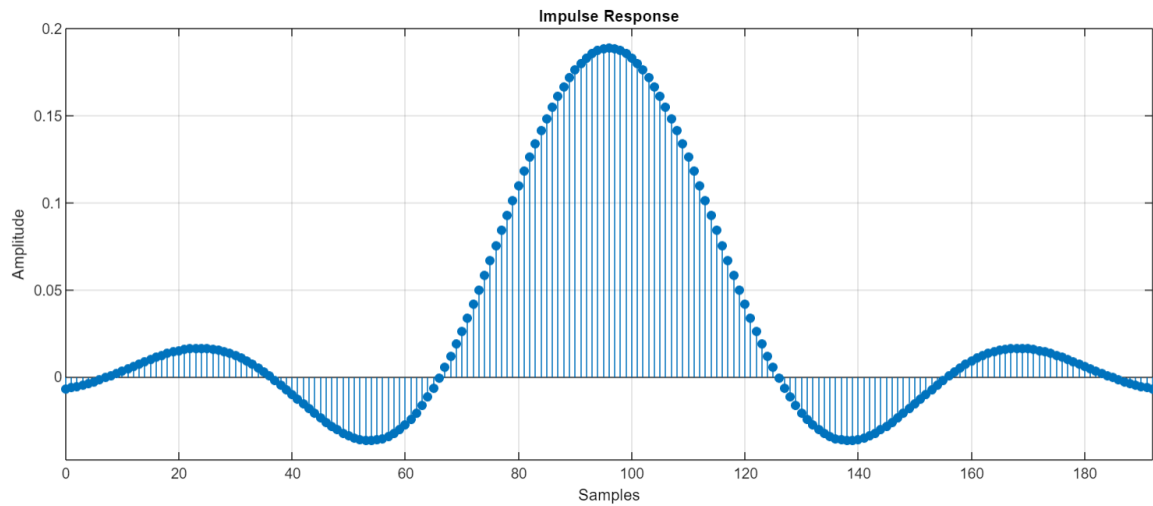


Figura 3.2

Zero Padding

Bloque de filtrado pulse shaping - RRC

**Generación de las sinusoides coseno/-seno mediante
bloque DDS a 576 MHz**

Capítulo 4

Conclusiones

Bibliografía