



Universidad de Alcalá

ESCUELA POLITÉCNICA SUPERIOR

**MÁSTER UNIVERSITARIO EN INGENIERÍA DE
TELECOMUNICACIÓN**

**PRÁCTICA ENTREGABLE 1
TRANSMISOR 16 QAM**

Diseño de Circuitos Electrónicos para Comunicaciones

Autor:

Paula Bartolomé Mora

11 de noviembre de 2023

Índice general

1. Introducción	1
2. Captura XADC y memoria FIFO	2
2.1. Obtención de los datos convertidos del ADC – simulación señal de entrada	3
2.2. Lógica de control de lectura/escritura de los datos de la FIFO. Comprobación del bloque FIFO	3
3. Conclusiones	4

Capítulo 1

Introducción

El presente trabajo tiene como objetivo principal el desarrollo de un sistema de comunicaciones basado en 16-QAM (Modulación de Amplitud en Cuadratura de 16 niveles). Para ello, se propone el empleo en conjunto de los diferentes bloques electrónicos IP estudiados en la asignatura y se divide el desarrollo del entregable en una serie de fases de configuración:

- **Captura XADC y Memoria FIFO:** En esta primera etapa se realizará la captura de una señal triangular y se procederán a almacenar los datos de entrada en una memoria FIFO.
- **Mapeado QAM y Zero Padding:** Como siguiente paso a seguir, se generará el mapeado de 16-QAM y se implementará un Zero-Padding 1:32.
- **Filtrado Root Raised Cosine:** Tras aplicar Zero Padding, se deberá generar y aplicar a cada rama I/Q el filtrado pulse shaping del “root raised cosine” (RRC).
- **Mezclador DDS y Multiplicadores:** ————
- **Sumador:** ————
- **Rx:** ————

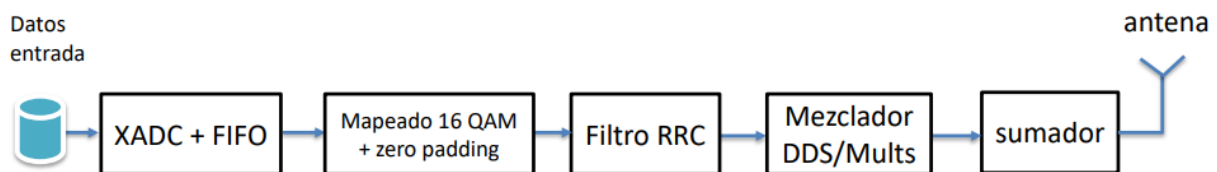


Figura 1.1: Distribución de bloques del sistema de comunicaciones

Para lograr tanto un correcto funcionamiento de cada bloque electrónico como la interoperabilidad entre ellos al integrarlos en el sistema, será preciso un estudio en profundidad de la documentación proporcionada por el fabricante y un análisis cuantitativo y cualitativo de cada uno de los resultados obtenidos en las simulaciones funcionales.

Capítulo 2

Captura XADC y memoria FIFO

Como se ha introducido anteriormente, en este capítulo se definirá el proceso de captura y conversión de una señal de entrada triangular y el posterior almacenamiento de la misma en una memoria FIFO. En la figura 2.1 se muestra el diseño de los bloques necesarios para esta fase y la definición de sus correspondientes puertos de entrada y salida.

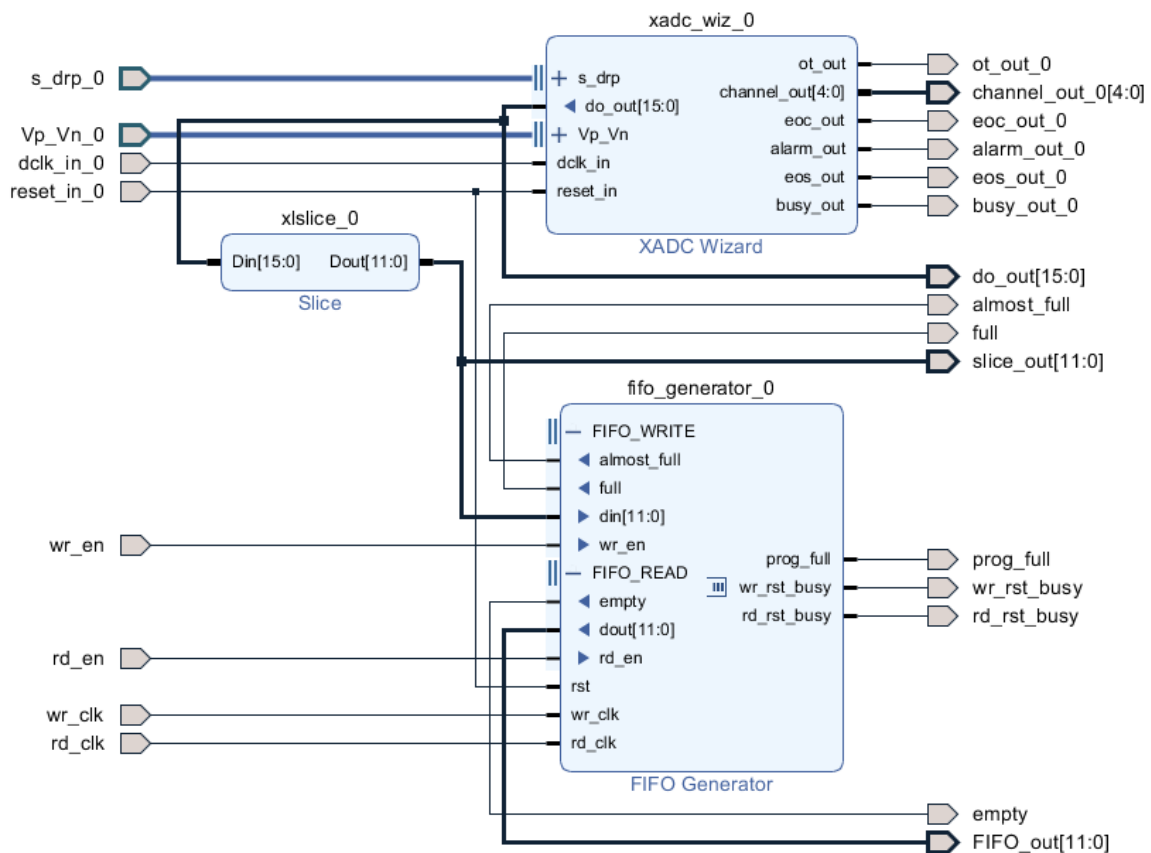


Figura 2.1: Diseño del bloque XADC+FIFO

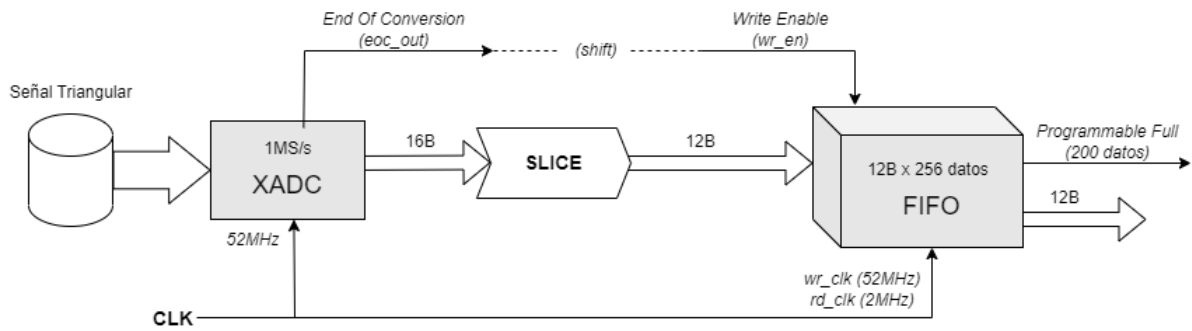


Figura 2.2: Diseño del bloque XADC+FIFO

- 2.1. Obtención de los datos convertidos del ADC – simulación señal de entrada
- 2.2. Lógica de control de lectura/escritura de los datos de la FIFO. Comprobación del bloque FIFO

Capítulo 3

Conclusiones

Bibliografía