

PLANO DE CURSO

IDENTIFICAÇÃO

DISCIPLINA: Arquitetura de Computadores **CÓDIGO:** COMP0415
C.H.: 60h **Nº DE CRÉDITOS:** 4 créditos
CARGA HORÁRIA TEÓRICA.: 2 créditos **CARGA HORÁRIA PRÁTICA:** 2 créditos
PRÉ-REQUISITO(S): COMP0334 **PRÉ-REQUISITO RECOMENDATIVO:** COMP0416 e COMP0419
TURMA: 03 **HORÁRIO:** Terça e Quinta, das 15h15 às 16:45 **PERÍODO:** 4
PROFESSOR: Calebe Conceição

CONTATOS:
Por e-mail: calebe@comp.ufs.br Use o prefixo [COMP0493] no assunto do e-mail. Ex. "[COMP0415] Dúvida sobre..."
Através do Telegram: @calebemicael. Por favor, identifique-se já na primeira mensagem. Seja direto. Evite áudio.

EMENTA

Representação de dados. Noções básicas de arquitetura e organização de computadores. Noções de linguagem de máquina. Sistemas de memória: principal e cache. Sistemas de interface e comunicação. Medidas de Desempenho. Técnica de pipeline, arquiteturas superescalares, multiprocessadores e arquiteturas paralelas.

OBJETIVOS

Geral Fornecer todos os conceitos para entendimento da organização e do funcionamento de computadores, através de conceitos teóricos dos principais paradigmas existentes e atividades práticas que vão permitir uma consolidação de todos os conhecimentos.

Específicos

- Apresentar conceitos de componentes de computadores, como memória, unidade central de processamento e operações de entrada e saída
- Detalhar aspectos de funcionamento básicos, como a linguagem de máquina e software básico
- Usar modelos de simulação de um computador clássico típico
- Analisar organizações de memória em cache e conceito de memória virtual
- Abordar o conceito de paralelismo e multiprocessamento.

CONTEÚDO PROGRAMADO (2H/AULA) - **EVENTUAIS MUDANÇAS SERÃO AVISADAS EM AULA**

Obs.: HA → Hora-Aula e HT → Hora-trabalho, segundo a Resolução 04/2024/CONEPE

Aula 01	HA:	Apresentação do professor e da disciplina. Apresentação da metodologia, definições, acordos sobre a forma de condução da disciplina. Visão geral sobre o conteúdo que será abordado, objetivos e expectativas de formação. Apresentação da plataforma de trabalho da disciplina.
	HT:	Buscar na biblioteca e nos meios digitais os livros texto da disciplina. Criar contas nos ambientes recomendados.
Aula 02	HA:	Representação de dados. Operações sobre os dados. Breve introdução à HDL Verilog.
	HT:	Exercícios de implementação em Verilog.
Aula 03	HA:	Noções básicas de arquitetura de computadores

	HT:	Leitura complementar: Capítulo 11 livro do Uyemura.
Aula 04	HA:	Noções básicas de arquitetura de computadores
	HT:	Leitura complementar: Capítulo 4: Hennessy & Patterson: H&S interface.
Aula 05	HA:	X SEMAC – Semana Acadêmico-Cultural da UFS
	HT:	Trabalho prático 1: ULA em Verilog.
Aula 06	HA:	X SEMAC – Semana Acadêmico-Cultural da UFS
	HT:	Trabalho prático 1: ULA em Verilog.
Aula 07	HA:	Assembly MIPS: aula 1. (Entrega do trabalho prático 1.)
	HT:	Exercícios de fixação.
Aula 08	HA:	Assembly MIPS: aula 2. Especificação do trabalho prático 2.
	HT:	Leitura complementar: Capítulo 3 – Hennessy & Patterson: H&S interface
Aula 09	HA:	Arquitetura do processador MIPS de ciclo único. Aula 1. (Entrega do trabalho prático 2)
	HT:	Exercício prático de fixação usando o simulador MARS
Aula 10	HA:	Arquitetura do processador MIPS de ciclo único. Aula 2.
	HT:	Leitura complementar: Capítulo 5 – Hennessy & Patterson: H&S interface
Aula 11	HA:	Arquitetura do processador MIPS de ciclo único. Aula 3. Especificação do trabalho prático 3.
	HT:	Leitura complementar: Capítulo 5 – Hennessy & Patterson: H&S interface
Aula 12	HA:	Melhorias na Arquitetura MIPS – Multiciclo.
	HT:	Leitura complementar: Capítulo 5 – Hennessy & Patterson: H&S interface
Aula 13	HA:	Melhorias na Arquitetura MIPS – Pipeline. Aula 1
	HT:	Leitura complementar: Capítulo 6 – Hennessy & Patterson: H&S interface
Aula 14	HA:	Melhorias na Arquitetura MIPS – Pipeline. Aula 2
	HT:	Leitura complementar: Capítulo 6 – Hennessy & Patterson: H&S interface
Aula 15	HA:	Prova 1. Entrega do trabalho prático 3
	HT:	Estudos de preparação para a prova.
Aula 16	HA:	Discussão RISC e CISC. Visão geral do Assembly x86
	HT:	Leitura complementar:
Aula 17	HA:	Hierarquia de Memória
	HT:	Leitura complementar:
Aula 18	HA:	Conceitos e Desempenho de Memórias Cache. Impacto de hierarquia de memória cache.
	HT:	Leitura complementar: Artigo sugerido
Aula 19	HA:	Unidade de Entrada e Saída. Barramentos e tipos de barramentos.
	HT:	Leitura complementar: Artigo sugerido
Aula 20	HA:	Introdução à computação paralela e de alto desempenho.
	HT:	Leitura complementar: Artigo sugerido
Aula 21	HA:	Técnicas de Avaliação. Ferramentas de Simulação. Simuladores em arquitetura de computadores. Benchmarks para Arquitetura de Computadores.
	HT:	Leitura complementar: Artigo sugerido
Aula 22	HA:	Seminário em equipes: Arquitetura do Microcontrolador PIC
	HT:	Realização e entrega dos exercícios propostos pela equipe.
Aula 23	HA:	Seminário em equipes: Arquitetura do Microcontrolador Arduino
	HT:	Realização e entrega dos exercícios propostos pela equipe.
Aula 24	HA:	Seminário em equipes: Arquitetura do Microcontrolador RISC-V
	HT:	Realização e entrega dos exercícios propostos pela equipe.
Aula 25	HA:	Seminário em equipes: Arquitetura de uma GPGPU
	HT:	Realização e entrega dos exercícios propostos pela equipe.
Aula 26	HA:	Seminário em equipes: Artigo relacionado de livre escolha nas bases indicadas.
	HT:	Realização e entrega dos exercícios propostos pela equipe.
Aula 27	HA:	Seminário em equipes: Artigo relacionado de livre escolha nas bases indicadas.
	HT:	Realização e entrega dos exercícios propostos pela equipe.
Aula 28	HA:	Prova 2. Entrega do trabalho prático 4
	HT:	Estudos de preparação para a prova.

Aula 29	HA:	Seminário em equipes: Artigo relacionado de livre escolha nas bases indicadas.
	HT:	Realização e entrega dos exercícios propostos pela equipe.
Aula 30	HA:	Encerramento e avaliação repositiva para os casos previstos
	HT:	Leitura de artigos recomendados.

Neste semestre, as datas previstas das aulas estão organizadas na tabela a seguir. Use-a como referência, mas atente-se às modificações que podem surgir. Elas serão comunicadas em aula.

Aula 01	Aula 02	Aula 03	Aula 04	Aula 05	Aula 06	Aula 07	Aula 08	Aula 09	Aula 10
26/11	28/11	03/12	05/12	10/12	12/12	17/12	19/12	14/01	16/01

Aula 11	Aula 12	Aula 13	Aula 14	Aula 15	Aula 16	Aula 17	Aula 18	Aula 19	Aula 20
21/01	23/01	28/01	30/01	04/02	06/02	11/02	13/02	18/02	20/02

Aula 21	Aula 22	Aula 23	Aula 24	Aula 25	Aula 26	Aula 27	Aula 28	Aula 29	Aula 30
25/02	27/02	11/03	13/03	18/03	20/03	25/03	27/03	01/04	03/04

METODOLOGIA

As aulas deverão mesclar a apresentação de conteúdos teóricos com a proposição de atividades práticas complementares, a serem desenvolvidas pelos estudantes nas hora-trabalho. A disciplina terá como foco apresentar em maiores detalhes o funcionamento do processador comercial MIPS, tendo-o como base para apresentação dos conceitos e técnicas discutidas em aula. Ficará a cargo do discente, por meio de leituras complementares indicadas e dos seminários realizados ao longo da disciplina, extrapolar a aplicação dos conceitos para outras arquiteturas.

As atividades práticas previstas para a disciplina são individuais em sua maioria, à exceção dos seminários finais. As aulas expositivas sempre versarão sobre uma visão geral sobre o tema escolhido, cabendo ao discente o devido aprofundamento por meio da leitura do material complementar indicado. Algumas aulas serão reservadas para realização de práticas assistidas em laboratório, mas espera-se da/do discente um certo grau de autonomia no desenvolvimento das tarefas recomendadas.

FORMA DE AVALIAÇÃO

Três instrumentos distintos foram planejados para a composição da avaliação nesta disciplina: Provas, trabalhos práticos, e seminários. A nota final será calculada como a média ponderada obtida no conjunto de atividades referentes a cada uma dessas categorias de instrumentos avaliativos, sendo PROVAS com peso 4, TRABALHOS práticos com peso 4 e SEMINÁRIO com peso 2.

Serão realizadas 2 (duas) provas escritas, individuais, predominantemente teóricas, versando sobre o conteúdo trabalhado em aula e presente nas leituras recomendadas. As provas têm o mesmo peso, e o componente PROVA será dado pela média aritmética simples entre as duas.

Os trabalhos práticos são em número de 4 (quatro), individuais, com respectivos pesos 1, 2, 3 e 2. Variações nas descrições de realização podem ser especificadas no sentido de desafiar a/o estudante, e discriminar uma maior ou menor pontuação a ser atribuída para o trabalho desenvolvido. A nota do componente TRABALHOS será calculada como a média ponderada das notas individuais de cada trabalho.

Os seminários serão realizados em grupo, e caberá ao grupo a condução da aula no dia agendado. Cabe aos estudantes do grupo determinar um conjunto de exercícios teóricos/práticos a serem realizados pelos demais colegas de turma para assim contabilizarem a nota de participação nos seminários. Os temas dos seminários estão

parcialmente definidos, e a distribuição será realizada por sorteio em momento oportuno. Parte da nota (a definir) do componente SEMINÁRIO será atribuída ao grupo, enquanto a outra parte será atribuída individualmente conforme a entrega dos exercícios especificados pelos demais grupos.

Nos casos respaldados por um dos motivos previstos em lei ou nos regulamentos institucionais, e somente nestes casos, a/o estudante que perder uma das provas poderá refazer uma prova repositiva na última aula do semestre, nos moldes das provas anteriores, porém versando sobre o conteúdo completo trabalhado na disciplina. A nota obtida na prova repositiva deverá substituir apenas a nota de uma das provas em que a/o discente não compareceu. Caso a/o discente tenha perdido mais de uma prova, a nota da prova repositiva substituirá apenas uma delas, permanecendo a outra com nota 0. A nota da prova repositiva aqui tratada não substitui a nota de trabalhos não entregues ou a nota do seminário não realizado.

RECURSOS DIDÁTICOS

Sala de aula com computador e projetor para exibição dos slides de aula, quadro branco e pincel para apoio às explicações. Acesso a um laboratório para uso dos simuladores. Simuladores MARS, Icarus Verilog, GTK-wave, além de softwares de desenvolvimento em linguagem C. Ambiente AVA Google Classroom.

BIBLIOGRAFIA

Básica

PATTERSON, D.; HENNESSY, J. Arquitetura de computadores: uma abordagem quantitativa. 5. ed. – Rio de Janeiro: Elsevier, 2014. ISBN 978-85-352-6122-6, p. 744

PATTERSON, D. A., HENNESSY, J. L. Computer Organization and Design: The Hardware/Software Interface, 3rd Edition, 2005

STALLINGS, W. Arquitetura e organização de computadores. 8. ed. — São Paulo: Pearson Prentice Hall, 2010. ISBN 978-85-7605-564-8, p. 643.

Bibliografia complementar:

TANENBAUM, A.S. Organização Estruturada de Computadores, 5. ed. – São Paulo: Pearson Prentice Hall, 2007.

WEBER, Raul Fernando. Fundamentos de arquitetura de computadores. Sagra Luzzatto, 2000.

UYEMURA, J. P., Sistemas Digitais: uma abordagem integrada. Editora Thompson-Pioneira, Brasil, 2008

Cidade Universitária “Prof. José Aloísio de Campos”, 25 de Novembro de 2024

CALEBE MICAEL DE OLIVEIRA CONCEIÇÃO
Professor da Disciplina