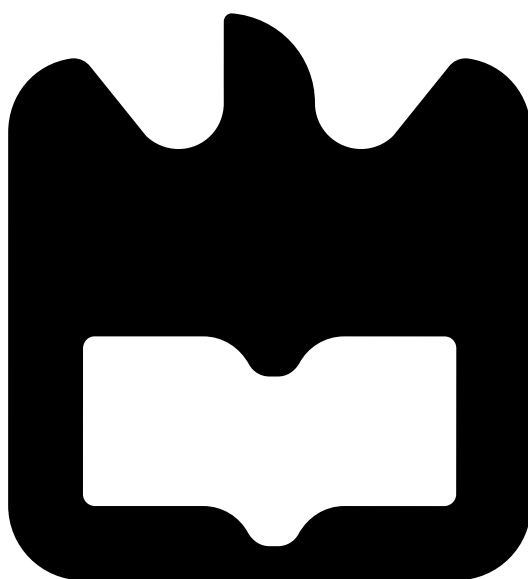


Testes de tempo de reacção: competição por menor tempo

Universidade de Aveiro

Miguel Mota, Paulo Lacerda



Testes de tempo de reacção: competição por menor tempo

Dept. de Electrónica, Telecomunicações e Informática

Universidade de Aveiro

Miguel Mota, Paulo Lacerda
(119934) mota.m@ua.pt, (120202) paulolacerda@ua.pt

4 de junho de 2024

Conteúdo

1	Introdução	1
1.1	Fase de Configuração	1
1.2	Fase de Competição	1
1.3	Fase de Conclusão	1
2	Manual de Utilização	2
2.1	Configuração	2
2.2	Competição	2
2.3	Conclusão	2
3	Arquitetura e Implementação	3
3.1	Debounceers	3
3.2	FSM	3
3.3	Gestão de Displays	4
4	Manual do Utilizador	5
4.1	Iniciar o Programa	5
5	Validações	6
6	Conclusões e Contribuições	7
6.1	Conclusão	7
6.2	Contribuições dos Autores	7

Lista de Figuras

3.1	Esquema da Máquina de Estados	4
4.1	Altera DE2-115	5

Capítulo 1

Introdução

Como projeto final da disciplina de Laboratório de Sistemas Digitais (LSD), foi-nos proposto desenvolver um sistema para avaliar a rapidez de reação física e motora de um utilizador a estímulos visuais. Este projeto será realizado utilizando o kit de desenvolvimento Altera DE2-115.

A principal funcionalidade do sistema é medir o tempo de reação, medido em milissegundos, desde a apresentação de um estímulo visual até à resposta física do utilizador, que consiste em pressionar uma tecla.

O desenvolvimento do sistema envolverá a utilização da linguagem de descrição de VHSIC Hardware Description Language (VHDL) para programar a Field-programmable gate array (FPGA), permitindo a simulação e a implementação das funcionalidades desejadas.

O projeto contém:

1.1 Fase de Configuração

- **Secção de Display:** Uma secção que exhibe a palavra 'ConF' nos displays HEX3-HEX0.
- **Secção de Ajuste de Ciclos:** Permite ajustar o número de ciclos de teste atribuído a cada jogador entre 2 e 9, exibido nos displays HEX7 e HEX6, que piscam a 1Hz.
- **Botões de Controle:**
 - **Botão de Confirmação:** Utilizado para confirmar a configuração do número de ciclos.
 - **Botão de Incremento:** Utilizado para aumentar o número de ciclos.

1.2 Fase de Competição

- **Secção de Display:**
 - Exibe 'tEst' nos displays HEX3-HEX0 no início da fase de competição.
 - Exibe o número de ciclos restantes para cada jogador nos displays HEX7 e HEX6.
 - Exibe o jogador ativo no display HEX5.
 - Após o primeiro teste, exhibe o tempo de reação mínimo registrado até ao momento nos displays HEX3-HEX0 e o número do jogador correspondente no display HEX4.
- **Botões de Controle:**
 - **Botão Start/Reaction:** Utilizado para iniciar o teste de reação e registrar a reação ao estímulo.
- **Indicação de Reação Prematura:** Se um jogador reagir prematuramente, os LEDs LEDR[7..0] acendem brevemente e o jogador é desqualificado, com o número de ciclos restantes definido a zero para o jogador faltoso.

1.3 Fase de Conclusão

- **Secção de Display:** Exhibe o tempo de reação mínimo nos displays HEX3-HEX0, piscando a 2Hz durante 6 segundos. O display HEX4 mostra o número do jogador vencedor, piscando à mesma frequência, ou alternando entre os números 1 e 2 a 1Hz em caso de empate.
- **Retorno à Configuração Inicial:** Após a conclusão, o sistema retorna à fase de configuração inicial.

Capítulo 2

Manual de Utilização

Neste capítulo, será apresentado um guia passo-a-passo sobre como utilizar o sistema de teste de tempo de reação.

2.1 Configuração

1. Ligue o sistema utilizando o botão de alimentação.
2. Utilize os botões de incremento e confirmação para ajustar o número de ciclos desejado para cada jogador. Os displays mostrarão o número de ciclos ajustado.
3. Pressione o botão de confirmação para iniciar a competição.

2.2 Competição

1. No início de cada teste, os displays mostrarão "tESt", indicando que o sistema está pronto.
2. O jogador 1 pressiona o botão de reação para iniciar o teste.
3. Após a reação, o sistema registra o tempo de reação e exibe o mínimo registrado até o momento nos displays. O número do jogador correspondente também é mostrado.
4. O jogador 2 então realiza o seu teste, seguindo o mesmo procedimento.
5. Se um jogador reagir prematuramente, o sistema o desqualifica, indicando-o através do acendimento breve dos LEDs.
6. A competição continua até que todos os ciclos sejam concluídos.

2.3 Conclusão

1. Após a conclusão de todos os ciclos, o sistema exibirá o tempo de reação mínimo e o número do jogador vencedor.
2. Se houver um empate, o sistema indicará isso alternando entre os números dos jogadores.
3. Após 6 segundos, o sistema retorna à fase de configuração, pronto para uma nova competição.

Capítulo 3

Arquitetura e Implementação

O Top-Level da máquina é composto por vários componentes principais que se ramificam em subcomponentes menores.

3.1 Debouncers

Este componente é responsável por gerir os sinais de entrada provenientes dos sensores e botões. Devido à natureza ruidosa das entradas, é essencial realizar um processamento para evitar leituras incorretas.

O bloco recebe o sinal do relógio principal da máquina, bem como os sinais dos sensores e botões.

Dentro do bloco, os sinais são distribuídos entre vários subcomponentes de processamento que filtram e ajustam os sinais, garantindo que apenas valores estáveis sejam passados adiante.

As saídas deste bloco são os sinais limpos e prontos para uso nos processos subsequentes.

3.2 FSM

Este é o componente principal da máquina e encarrega-se de processar todas as operações. Recebe sinais como o pulso do relógio da máquina, as entradas dos botões de 'Reiniciar' e 'Iniciar/Parar', assim como os sinais dos botões atribuídos a cada jogador. Como se pode observar na figura 3.1. Cada estado na máquina desempenha um papel crucial na condução do jogo, respondendo às diferentes situações que podem surgir durante a partida. Por exemplo, o estado de "Reset" é acionado quando os jogadores desejam recomeçar o jogo, devolvendo a máquina ao seu estado inicial de configuração. Enquanto isso, estados como "P Test" e "P Wait" indicam o momento em que os jogadores estão ativamente envolvidos na partida, enquanto a máquina aguarda as suas ações ou processa os seus movimentos.

Reset → Reset

↔ A máquina regressa sempre ao estado de Conf quando o botão 'Reset' é pressionado.

1. Draw → Conf

↔ Se o jogo termina empatado, a máquina passa para o estado de configuração.

2. Draw → Draw

↔ Se os jogadores não começarem um novo jogo, o estado da máquina repete-se até novas instruções.

3. Conc → Conf

↔ Se um dos jogadores ganhar e começarem um novo jogo, o estado volta para a configuração.

4. Conc → Conc

↔ Se, após a exibição do jogador vitorioso, os jogadores não começarem um novo jogo, o estado da máquina mantém-se.

5. P Test → Conc

↔ Após os jogadores terminarem as suas jogadas e um dos jogadores ganhar, será exibido na placa o jogador vitorioso.

6. P Test → Draw

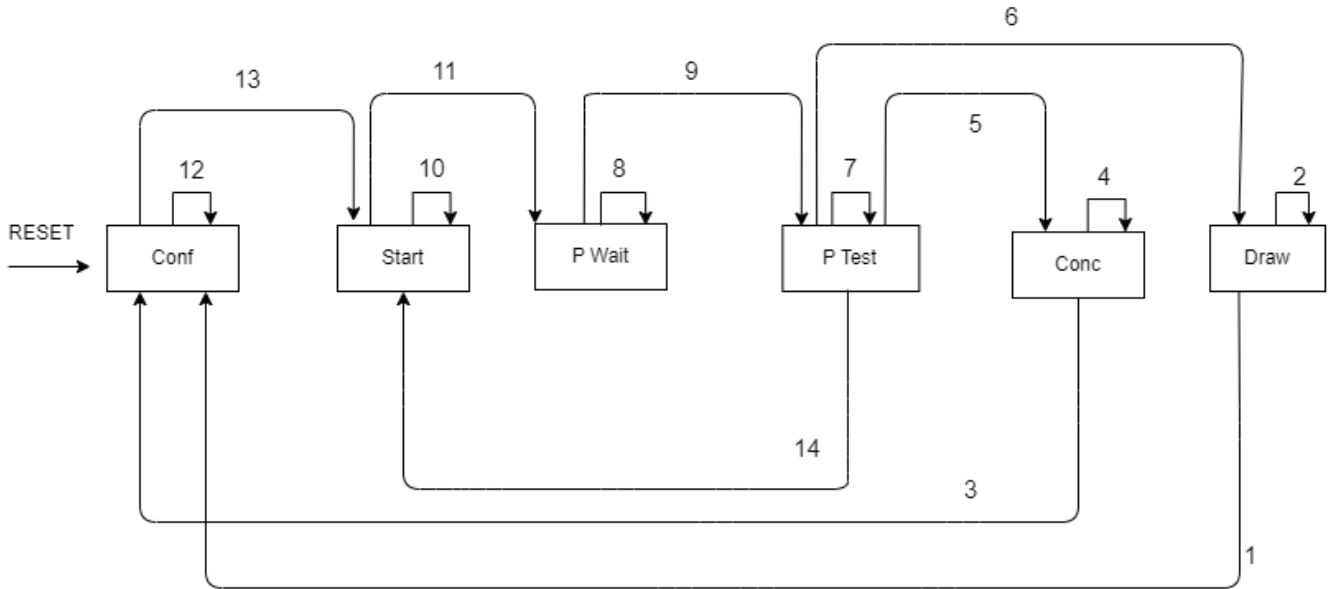


Figura 3.1: Esquema da Máquina de Estados

↪ Após os jogadores terminarem as suas jogadas e ocorrer um empate, será exibido na placa a indicação de empate.

7. **P Test** → **P Test**

↪ Enquanto os jogadores estão a jogar, a máquina permanece no estado P Test.

8. **P Wait** → **P Wait**

↪ Quando o jogo começa, a máquina permanece no estado à espera da próxima ordem do jogador.

9. **P Wait** → **Test**

↪ Se o jogo for abortado no estado inicial, a máquina vai para o estado de teste.

10. **Start** → **Start**

↪ Após a configuração do jogo, a máquina permanece no estado de início.

11. **Start** → **P Wait**

↪ Se a configuração é feita mas a ação é necessária para esperar, a máquina vai para o estado de espera do jogador até nova indicação.

12. **Conf** → **Conf**

↪ Estado de configuração da máquina.

13. **Conf** → **Start**

↪ Após configuração do jogo, o jogo está pronto para ser começado.

3.3 Gestão de Displays

O controlo dos displays é realizado através de um processo com apenas o clock de 50MHz fornecido pela FPGA integrado na sua lista de sensibilidade. Neste processo são escolhidos os sinais que ,através de cláusula "if () then" com sinais provenientes da FSM, são depois atribuídos aos displays (HEX) respetivos.

Capítulo 4

Manual do Utilizador

4.1 Iniciar o Programa

O sistema de teste de tempo de reação inicia solicitando ao usuário que ajuste o número de ciclos desejados para a competição. Uma vez que o usuário confirma essa configuração, o jogo entre dois jogadores tem início, cada um competindo para registrar o menor tempo de reação diante de um estímulo visual. Este estímulo visual é ativado de forma aleatória, garantindo que não haja previsibilidade nos resultados, uma vez que o tempo de atraso é gerado de forma aleatória.

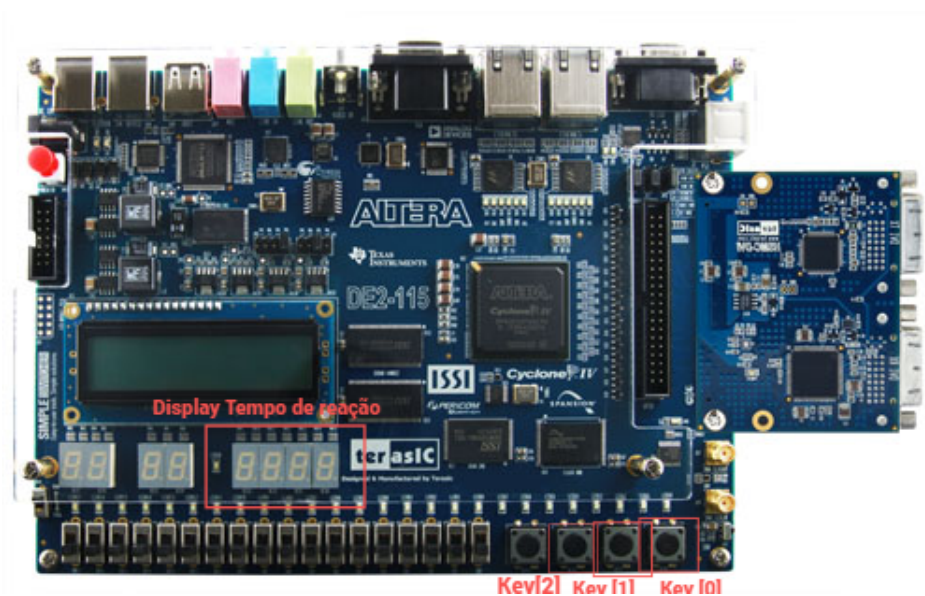


Figura 4.1: Altera DE2-115

Capítulo 5

Validações

Durante o desenvolvimento do nosso projeto, enfrentamos vários desafios relacionados à simulação e validação. Portanto, a principal forma de verificar o funcionamento foi através de testes práticos realizados na FPGA, pois o projeto envolve principalmente operações de curto prazo, o que torna difícil simular com precisão tanto no software de simulação quanto na bancada de testes.

Capítulo 6

Conclusões e Contribuições

6.1 Conclusão

Após uma cuidadosa reflexão sobre este projeto, é evidente que ele representou uma oportunidade transformadora para o desenvolvimento de habilidades em VHDL. Durante o processo, adquirimos uma sólida compreensão da importância da estruturação lógica no planejamento das funções, destacando a necessidade de otimização para uma execução eficiente. A exploração das capacidades da placa utilizada revelou um vasto potencial na disciplina, despertando em nós uma visão mais ampla das possibilidades futuras. Ao nos autoavaliarmos, reconhecemos o progresso alcançado, atribuindo ao nosso trabalho uma avaliação positiva de 10 valores.

6.2 Contribuições dos Autores

Neste projeto, ambos os elementos do grupo trabalharam de igual forma e com semelhante nível de empenho, e por isso a respectiva percentagem de contribuição de cada autor é:

Miguel Mota, Paulo Lacerda: 50%, 50%

Acrónimos

VHDL VHSIC Hardware Description Language

FPGA Field-programmable gate array

LSD Laboratório de Sistemas Digitais