1. 实验内容  
   利用EDA工具Quartus-ll的原理图输入法，输入7483图元符号;建立7483的仿真波形文件，并进行波形仿真，记录波形;分析7483的逻辑关系。利用Quartus-ll的自定义符号功能，使用逻辑门电路设计一个四位二进制全加器，仿真验证其功能。  
     
   二、实验目的  
   熟悉用QuartusII原理图输入法进行电路设计和仿真，掌握QuartusII图形模块单元的生成与调用。学会根据逻辑电路图分析电路的功能 ，并会自主实现逻辑电路的功能设计与仿真。  
     
   三、实验设备  
   EDA工具 Quartus-ll
2. 实验方法与手段

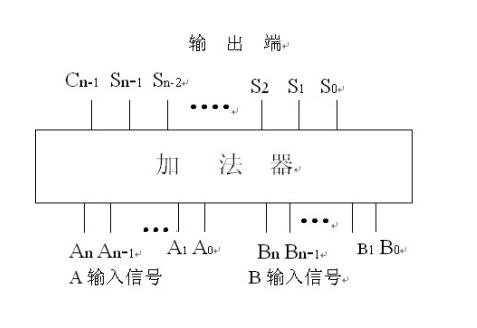
（一）7483的功能仿真

在 Quartus-ll 中导入7483的功能符号，设置输入输出，编译后进行波形仿真，输入信号以组为单位依次加一，仿真后导出波形。

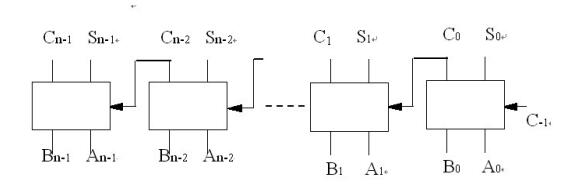
1. 四位二进制全加器设计

（1）二进制全加器原理

一个n位二进制加法运算数字电路是由一个半加器和（n—1)个全加器组成。它把两个n位二进制数作为输入信号。产生一个( n十1）位二进制数作它的和。如图所示。



1. 用全加器构成的n位二进制加法器



图中A和B是用来相加的两n位输入信号，Cn-1， sn.-1， sn-2, …s 2,S 1,s0是它们的和。在该电路中对A0和B0相加是用一个半加器，对其它位都用全加器。如果需要串接这些电路以增加相加的位数，那么它的第一级也必须是一个全加器。

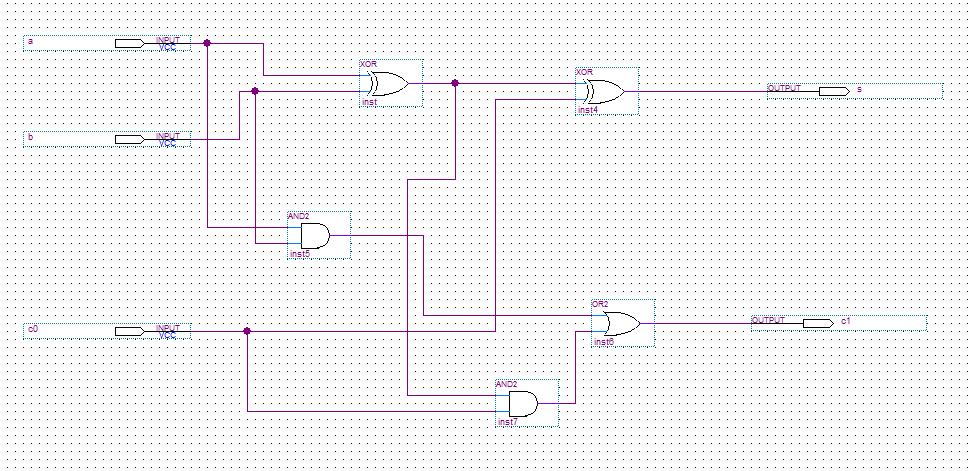
得到一位二进制全加器的逻辑表达式为：

Sn = An⊕Bn⊕Cn-1

Cn = An·Bn + Cn-1·（An⊕Bn）

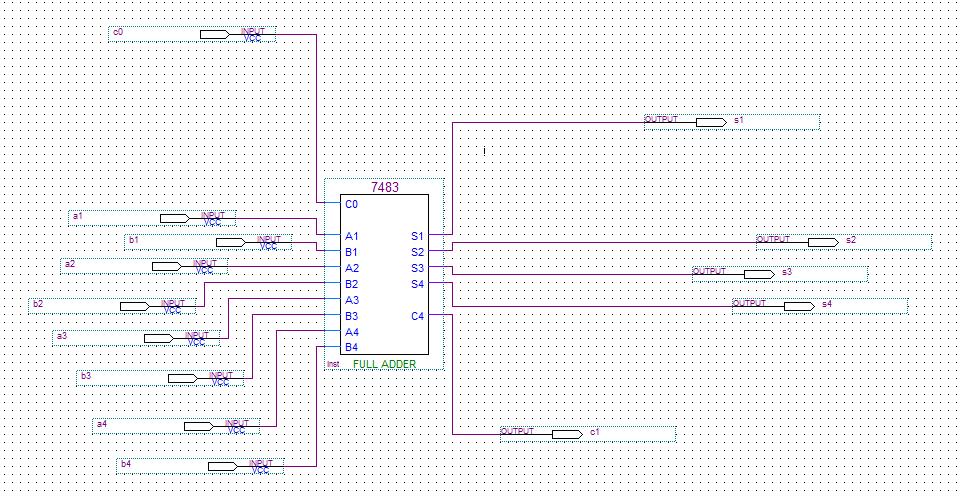
An是被加数，Bn是加数，Sn是和数，Cn是向高位的进位，Cn-1是低位的进位。

设计一位二进制全加器功能图如下：

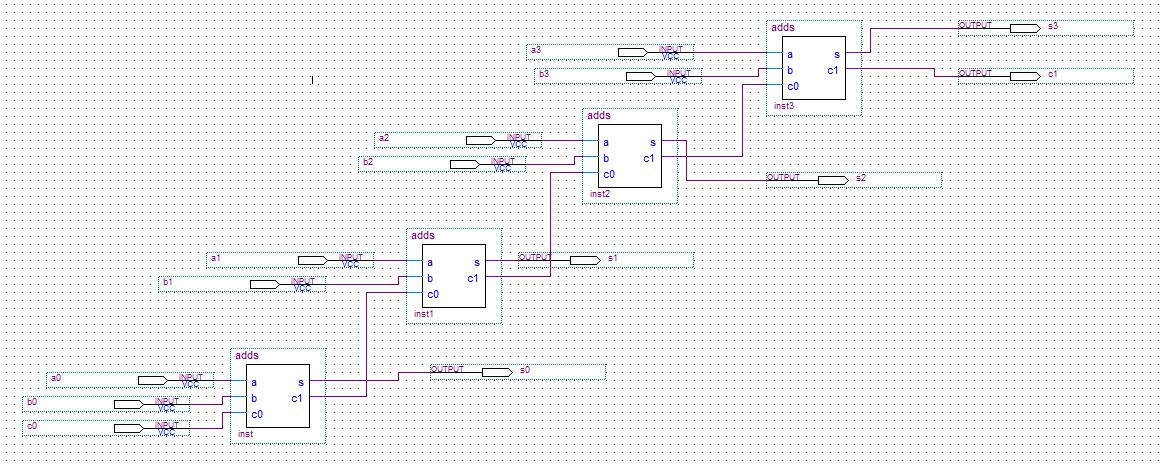


将其级联，组成四位二进制全加器，设置输入输出，编译后进行波形仿真，设置输入信号分组逐次加一，仿真后导出波形。

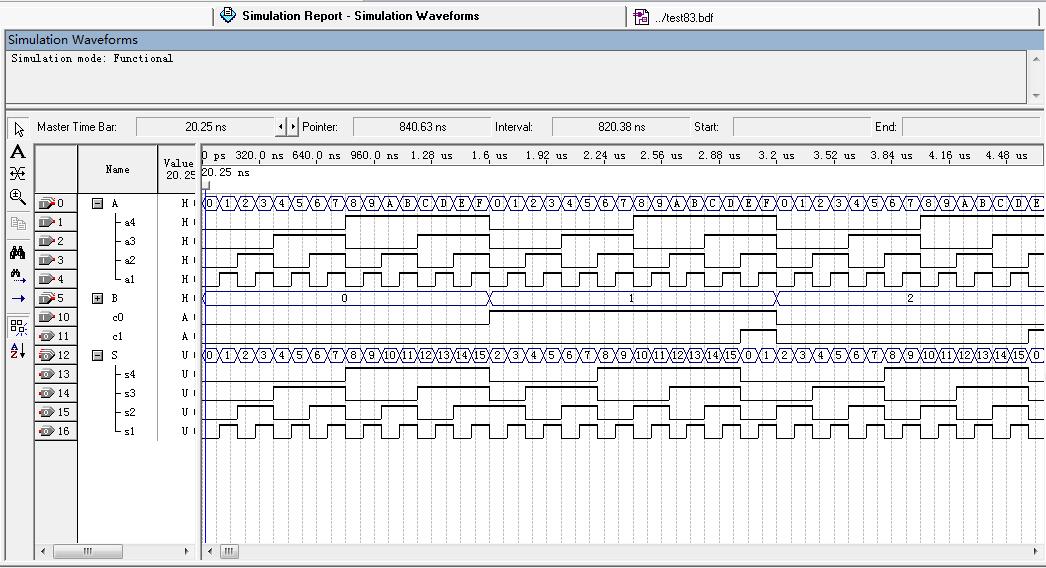
1. 实验原理图
2. 、7483



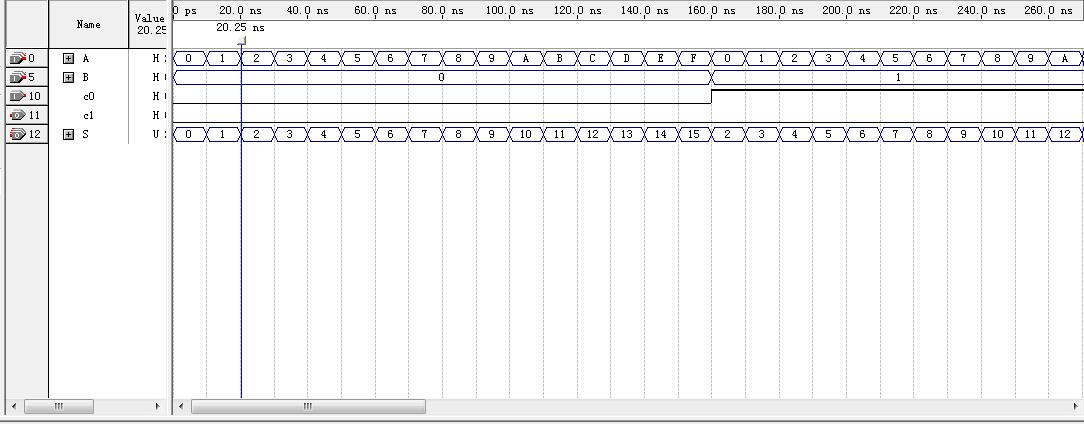
1. 、四位二进制全加器



1. 实验现象记录分析
2. 、7483



（二）四位二进制全加器



1. 实验结论与体会

通过本次实验我熟悉了 QuartusII的符号设计与功能仿真功能，并学会了分组处理输入信号。实验学习中，我懂得了如何理解并将数字电路课程上所学的组合逻辑电路知识运用在实验中并得到验证，了解了7483的功能与二进制全加器电路设计，对数字电路与逻辑设计的知识有了更加全面的认识。