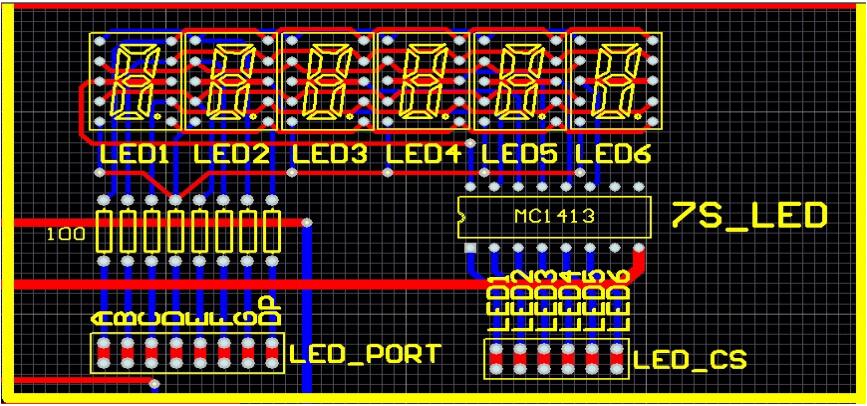
1. 实验内容  
   利用EDA工具Quartus-ll的原理图输入法，充分利用数电实验系统提供的硬件资源，设计一个小时（两位，24小时制）、分钟(两位）计时器，数码管显示。在Quartus ⅡI环境下输入原理图(直接使用74系列器件，计数器用74160或74161、74190、74191）并仿真。将设计下载到FPGA中，连线，按键观察实验。

二、实验目的  
熟悉用QuartusII原理图输入法进行电路设计和仿真，掌握QuartusII图形模块单元的生成与调用。学会根据时序电路图分析电路的功能 ，并会自主实现时序逻辑电路的功能设计与仿真。  
  
三、实验设备  
EDA工具 Quartus-ll

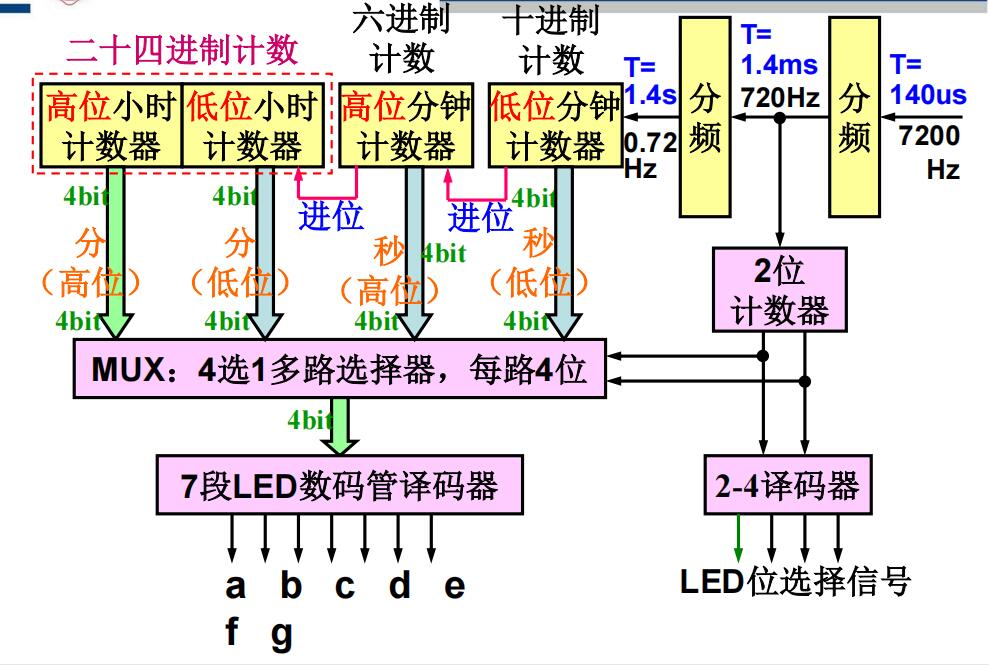
1. 实验方法与手段



数字钟电路（用数码管显示）

数字钟是一种用数字电路技术实现时、分、秒计时的钟表。与机械钟相比具有更高的准确性和直观性，具有更长的使用寿命，已得到广泛的使用。

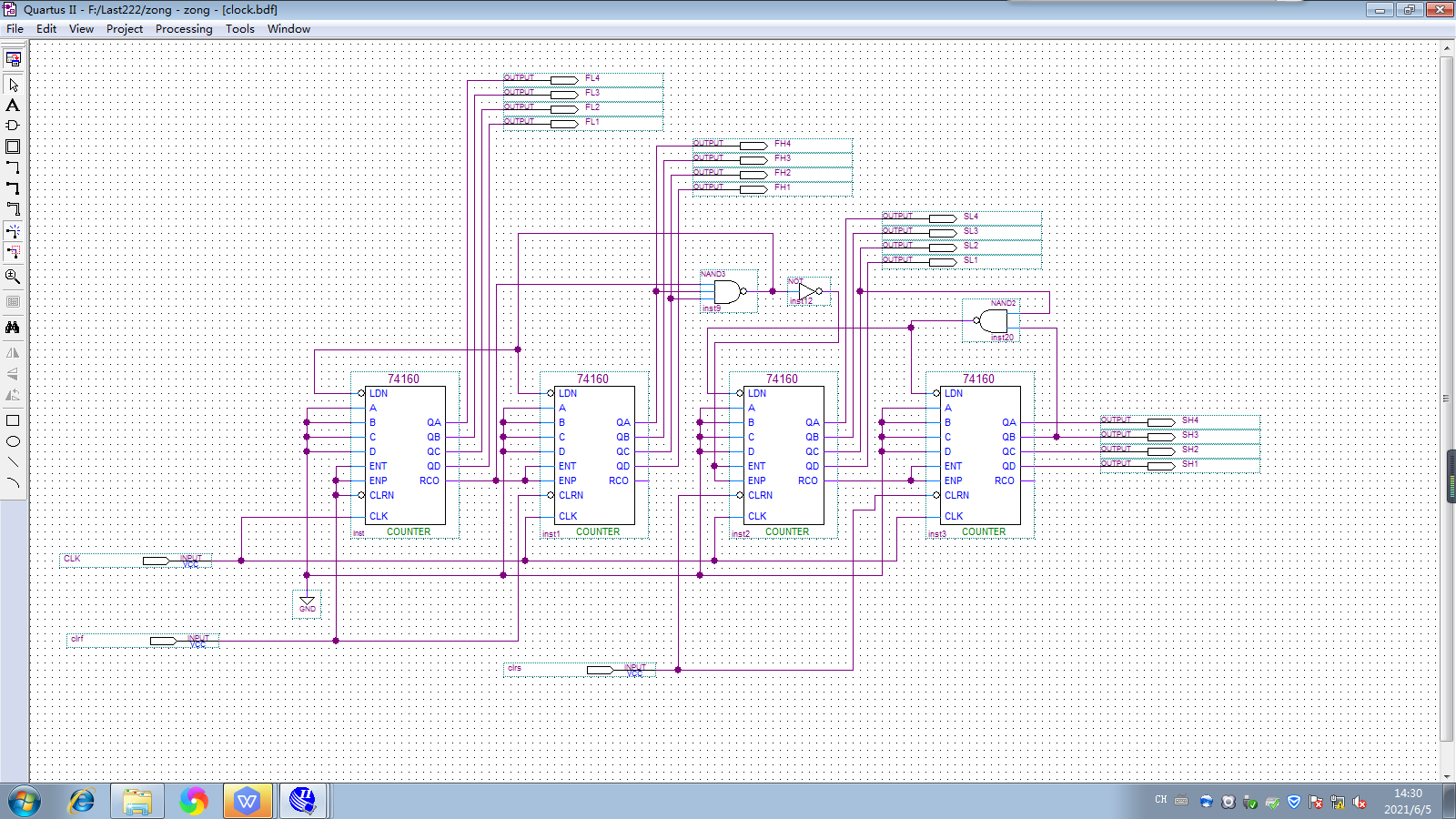
数字钟由计数器电路、分频器电路和数码管显示译码电路构成，使用74160进行级联设计时分计数器电路并封装为clk元件，用74160芯片实现时分计数器，计数器分频后将芯片输出端接至7447的输入端进行译码后进行仿真，根据数字电路实验箱对应引脚进行引脚分配后，将设计下载到FPGA中，连线，按键观察实验。



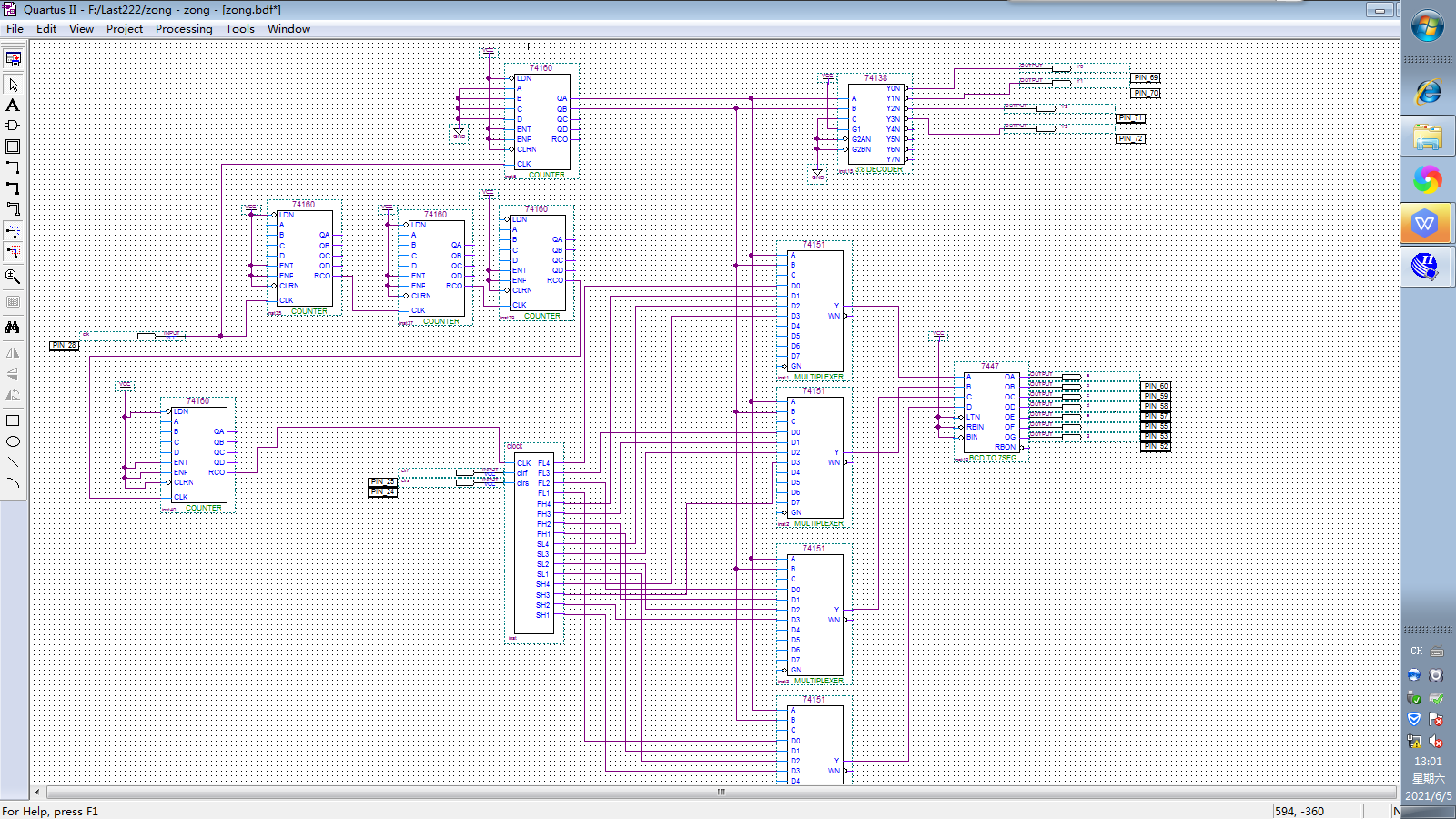
1. 实验原理图

数字钟计数器电路

使用74160级联作为时分计数器，并通过门电路实现异步置数计数。

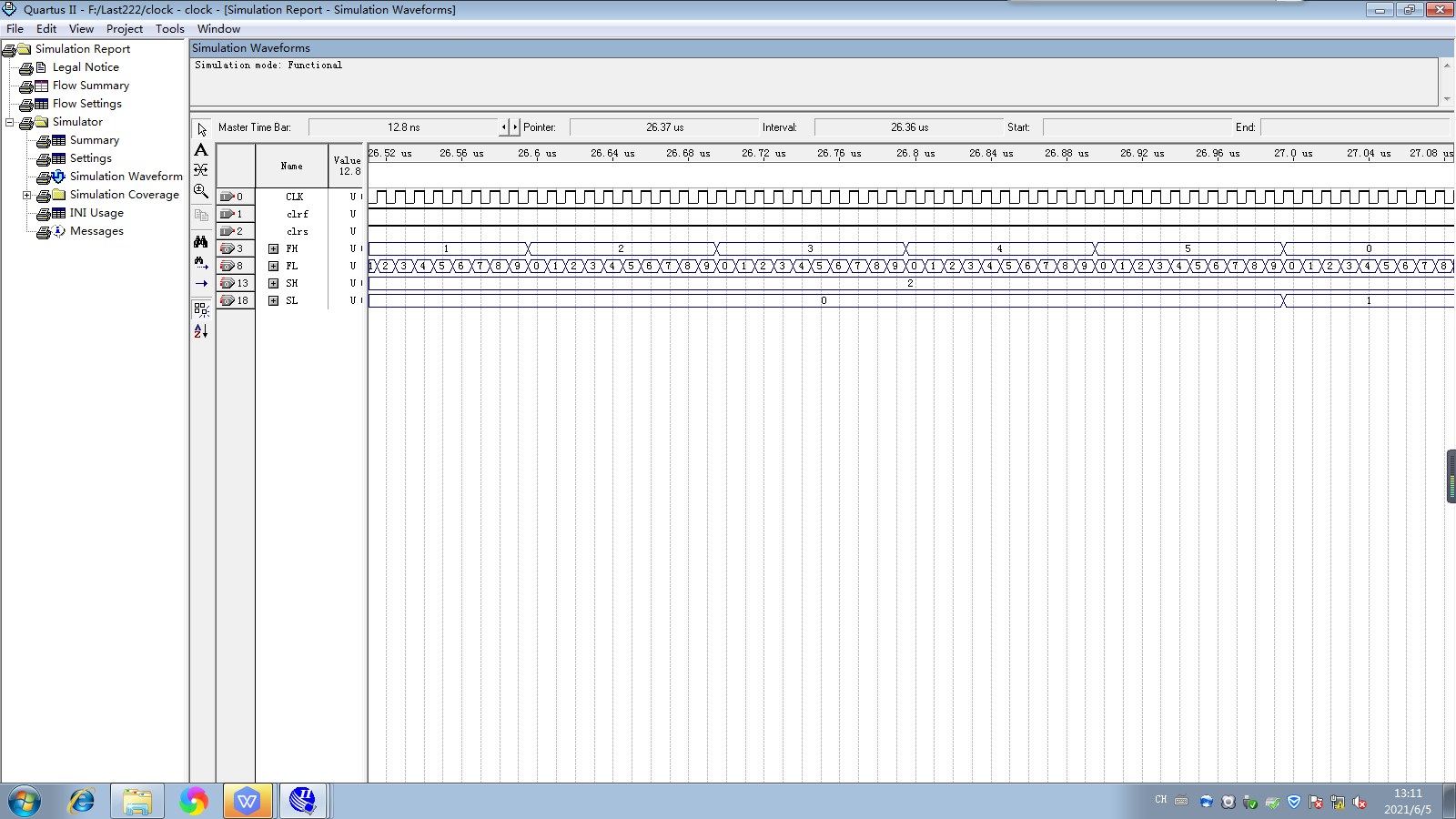


用74160芯片实现时分计数器，使用74160芯片级联组成分频电路，将高频脉冲信号转换为1Hz的低频信号，再将脉冲信号经一次分频后连接74138译码器进行译码，控制七段数码管的分段显示，最后将处理后的信号经过74151数据选择器与 7447译码器相连，分配引脚后下载至试验箱测试。



六、实验现象记录分析

十进制计数器电路



试验箱下载后可观察到数码管的时间从00:00开始计数。

1. 实验结论与体会

通过本次实验我逐渐掌握了 QuartusII的设计与仿真功能，并熟悉了FPGA数字电路设计平台的使用。实验学习中，我熟悉了利用 QuartusII进行时序电路设计的过程，了解了74151数据分配器的功能与数字钟的设计方法，掌握了级联计数器、分频器电路、数据分配电路的使用方法，对数字电路与逻辑设计的知识有了更加全面的认识，进一步提高了实践能力。