

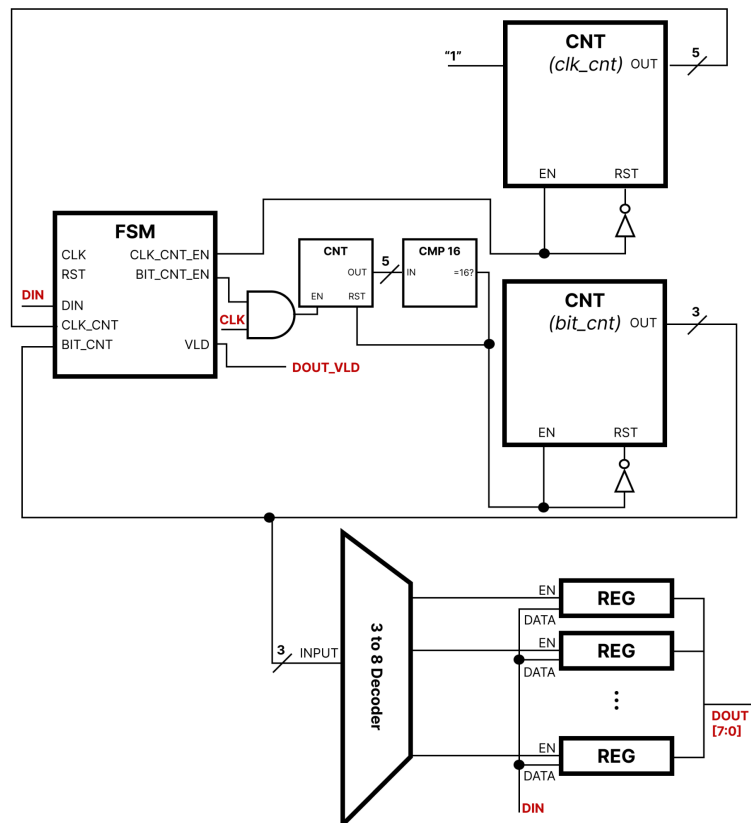
Výstupní zpráva projektu předmětu INC

Jméno: Michal Pavlíček

Login: xpavlim00

Architektura navrženého obvodu (RTL úroveň)

Schéma obvodu



Popis funkce

FSM - pětistavový automat řídící chování obvodu

CLK_CNT - čítač počítající počet hodinových cyklů

BIT_CNT - čítač počítající počet přečtených bitů

3 to 8 Decoder - dekodér vybírající zrovna čtení registrů

Malý CNT a CMP - počítají 16 bitů k midbitu

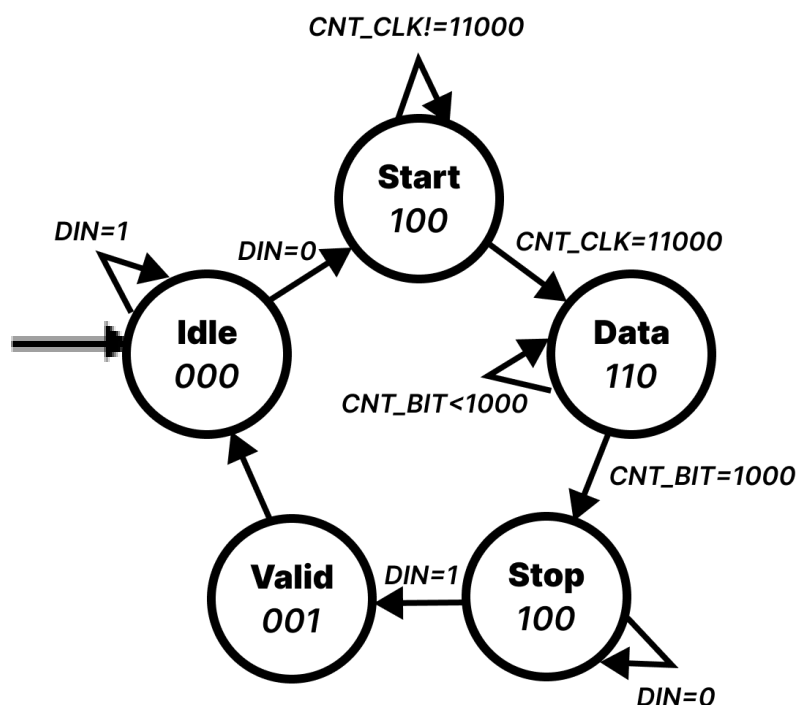
Funkcionalita

Obvod se skládá z automatu, dvou čítačů, dekodérů a dalších podpůrných prvků, jako registry a negace. Podle pokynů automatu se počítá, kolik proběhlo hodinových cyklů, z čehož se potom odvozuje, kolik bylo přečtených bitů a realizuje se čekání 16 cyklů..

Počty bitů jsou posílány do dekodéru, který ukládá i-tý bit z DIN do vybraného registru.

Architektura automatu

Schéma automatu



Legenda

Stavy automatu:

Idle - čekání na začátek komunikace

Start - přečten START bit, čekání na midpoint 1. bitu

Data - čtení sériových dat (8 bitů)

Stop - přečteno 8 bitů, čekání na STOP bit

Valid - přečtené data jsou validní

Moorovy výstupy:

Activate Clock Count - počítá se počet hod. cyklů (k určení midpointu)

Activate Bit Count - počítá se počet přečtených bitů

Data Valid - data jsou připraveny k dalšímu zpracování

Funkcionalita

Automat začíná ve stavu *Idle*, kdy čeká na aktivaci DIN=0. Následně se dostává do stavu *Start*, kdy je aktivován čítač cyklů a čeká se 24 hodinových cyklů, čímž dosáhneme midbitu prvního bitu z DIN a překloupíme automat do stavu *Data*. V tomto stavu se aktivuje čítač počtu bitů a probíhá čtení všech 8 bitů, načež se automat přesune do stavu *Stop*, kdy vyčkává na STOP bit DIN=1. Poté se překloupí do stavu *Valid*, kdy je nastaven Moorův výstup Data Valid.

Snímek obrazovky ze simulace

