

Tytuł: **FPGA_Warships**

Autorzy: **Natalia Kapuścińska, Paweł Zięba**

Ostatnia modyfikacja: 31.08.23

<i>Pytanie</i>	<i>Oczekiwana odpowiedź</i>	<i>Twoja odpowiedź</i>
Czy projekt został spakowany w formacie ZIP? (TAK / NIE)	TAK	TAK
Czy raport został załączony w formacie PDF? (TAK / NIE)	TAK	TAK
Czy w pliku ZIP został umieszczony bitstream? (TAK / NIE)	TAK	TAK
Czy rozmieszczenie plików w katalogach projektu jest zgodne ze specyfikacją? (TAK / NIE)	TAK	TAK
Czy sprawdzona została poprawność pliku ZIP spakowanego projektu poprzez rozpakowanie w nowym katalogu, uruchomienie symulacji i wygenerowanie bitstream'u? (TAK / NIE)	TAK	TAK
Numer użytej wersji Vivado		v2021.2 (64bit)
Liczba błędów (error) zgłoszonych przez Vivado	0 (!)	0
Liczba ostrzeżeń krytycznych (<i>critical warning</i>) zgłoszona przez Vivado	0 (!)	0
Liczba ostrzeżeń zwykłych (<i>warning</i>) zgłoszona przez Vivado		29
Interfejs dostarczania danych przez użytkownika (klawiatura / mysz / ...)		mysz
Użycie ekranu jako wyjścia (TAK / NIE)	TAK	TAK
Rozdzielczość ekranu (X px / Y px)		1024x768px
Czy układ używa resetu synchronicznego? (TAK / NIE)	TAK	TAK
Identyfikator przycisku na płycie Basys3 użytego jako reset (BTND / BTNC /...)		BTNC
Czy moduły używają wyłącznie sygnałów zegarowych generowanych przez bloki generatorów zegara (IP Vivado) ? (TAK / NIE)		TAK

UWAGA: Projekt jest uznany za wykonany poprawnie, jeżeli twoje odpowiedzi są zgodne z odpowiedziami oczekiwanymi.

UWAGA: W przypadku wystąpienia nieuzasadnionych błędów, lub ostrzeżeń krytycznych (oznaczonych (!)), oceną z projektu będzie 2.0 (ndst).