GSI018 – SISTEMAS OPERACIONAIS

Operating Systems – William Stallings – 7th EditionChapter 01 – Computer System Overview

Pedro Henrique Silva Santana – 12011BSI218 – pedro.santana@ufu.br

Victor Hugo Martins Alves – 12011BSI217 – victor.alves1@ufu.br

Review Questions

1.3. In general terms, what are the four distinct actions that a machine instruction can specify?

As quatro categorias distintas de ações que as instruções de máquina se enquadram são:

- **processador < > memória**: dados transferidos do processador pra memória ou vice-versa;
- **processador < > I/O**: dados transferidos do processador pra o modulo I/O ou vice-versa;
- **processamento de dados**: processador pode executar algumas operações aritméticas ou logicas com os dados;
- **controle**: usado para o administrar a sequência de execução de instruções.

1.5. How are multiple interrupts dealt with?

As múltiplas interrupções podem ser tratadas de duas maneiras:

1. Desabilitando as demais interrupções enquanto uma anterior esteja sendo processada, isto é, o processador passa a ignorar qualquer novo sinal de interrupção. Caso uma interrupção ocorra durante esse período, normalmente o sinal permanece pendente e seria analisado pelo processador após o mesmo reativar as interrupções. Portanto, se a interrupção ocorrer durante a execução de um programa, as demais serão desabilitadas imediatamente;

2. Definindo a ordem de prioridade entre os sinais de interrupção e tomando a de maior prioridade até a menor.

1.8. What is the difference between a multiprocessor and a multicore system?

O **Sistema Simétrico de Multiprocessadores** corresponde a dois ou mais processadores de capacidade comparável que compartilham da mesma memória principal e recursos I/O conectados por barramento ou outro tipo de conexão interna, de modo que o tempo de acesso seja próximo. Os processadores podem executar as mesmas funções e todo o sistema é controlado por um sistema operacional integrado que garante a interação entre os processadores. As principais vantagens desse sistema é o desempenho baseado na divisão do trabalho entre os processadores e caso aconteça a falha de um, não ocorreria a paralização da máquina.

O **Sistema de Multinúcleos** combina dois ou mais processadores (núcleos) em um único dispositivo de silício(“die”). Além dos núcleos, o hardware conta com cache L2 e, em alguns casos, cache L3. Esse tipo de dispositivo se mostra bastante eficaz por acumular toda essa tecnologia, garantindo assim uma melhor performance.

1.9. What is the distinction between spatial locality and temporal locality?

A **Localidade Espacial** refere-se a tendencia de execução que envolve um número de localizações de memória que estão aglomeradas. Isso reflete na tendencia que o processador tem ao acessar as instruções sequencialmente. Além disso a localidade espacial também reflete na tendencia de acesso de programas às localizações dos dados sequencialmente, enquanto ocorre o processamento da tabela de dados.

A **Localidade Temporal** refere-se a tendencia do processador em acessar localizações de memorias usadas anteriormente. Tradicionalmente, a localidade temporal é explorada recebendo instruções usadas recentemente e valores de dados na memória cache e explorando a hierarquia da cache.

PROBLEMS

1.1. Suppose the hypothetical processor of Figure 1.3 also has two I/O instructions:

a) 0011 # Load AC from I/O;

b) 0111 # Store AC to I/O.

In these cases, the 12-bit address identifies a particular external device. Show the program execution (using format of Figure 1.4) for the following program:

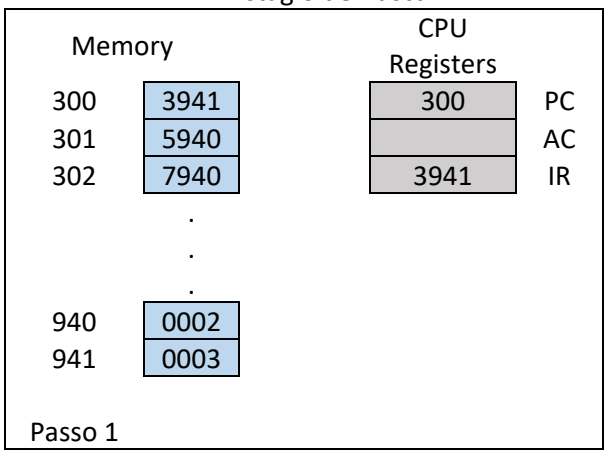
1. Load AC from device 5.
2. Add contents of memory location 940.
3. Store AC to device 6.

Assume that the next value retrieved from device 5 is 3 and that location 940 contains a value of 2.

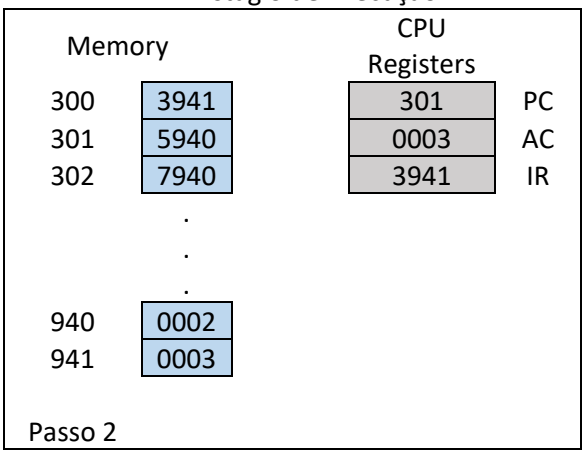
Assumindo que o código de operação de <u>ADD</u> seja como no livro (0101), temos a seguinte configuração.

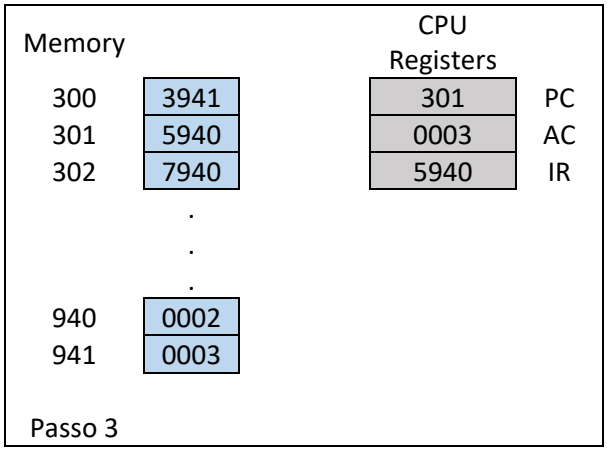
	0 Opcode 3	4 Address 15			Hexa
Load	0011	1001	0100	0001	3941
	0 Opcode 3	4 Address 15			
Add	0101	1001	0100	0000	5940
	0 Opcode 3	4 Address 15			
Store	0111	1001	0100	0000	7940

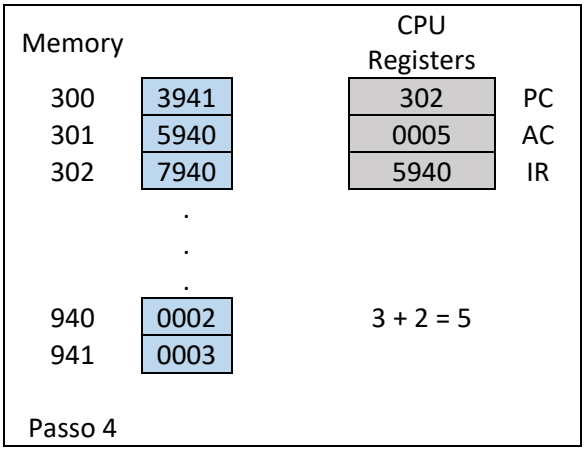
Estágio de Busca

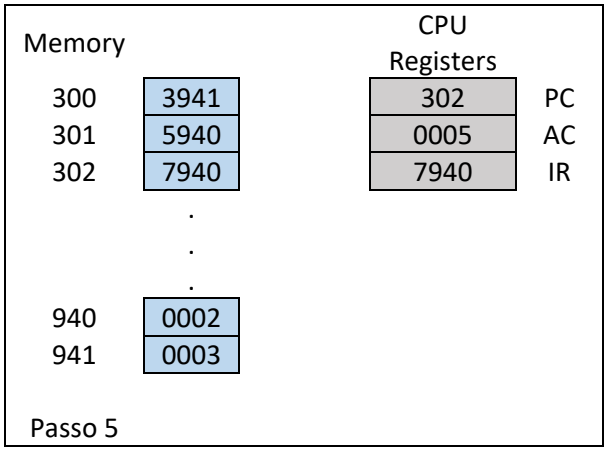


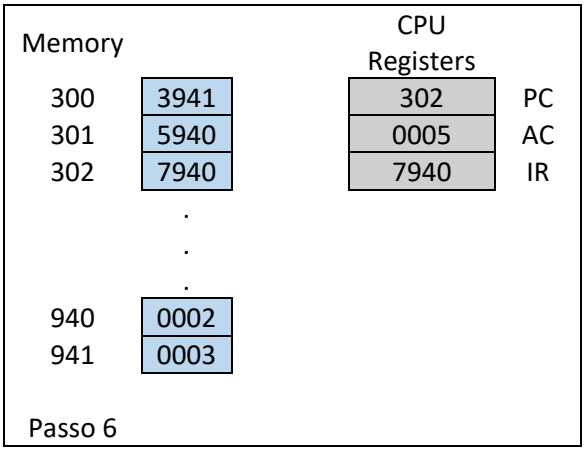
Estágio de Execução











1.3. Consider a hypothetical 32-bit microprocessor having 32-bit instructions composed of two fields. The first byte contains the opcode and the remainder an immediate operand or an operand address.

a. What is the maximum directly addressable memory capacity (in bytes)?

8 bits = 1 bytes

$2^{32-8} = 2^{24} = 16777216\ bytes$

b. Discuss the impact on the system speed if the microprocessor bus has

1. a 32-bit local address bus and a 16-bit local data bus, or

Para o barramento de endereço de 32-bits seria necessário apenas um ciclo para ser transportado para a memória, porem para o barramento de dados de 16-bits, seriam necessários dois ciclos para que efetue a busca da instrução de 32-bits.

2. a 16-bit local address bus and a 16-bit local data bus.

Diferente do anterior, como o barramento de endereço agora seria de 16-bits, seria necessários dois ciclos para transportar para a memoria o endereço de 32-bits, além de que também é necessário um controle mais complexo para manejar o endereço em duas metades, já o barramento de dados é igual ao exemplo anterior, necessitando dois ciclos para efetuar a busca da instrução de 32-bits.

1.7. In virtually all systems that include DMA modules, DMA access to main memory is given higher priority than processor access to main memory. Why?

Com base na leitura do capitulo 1.7 do livro Operating System, o modulo DMA possui maior prioridade quanto ao processador pois quando necessário executar a função de leitura/ escrita, o próprio processador emite um sinal ao DMA, que por sua vez, provido do tipo de execução(leitura/escrita), endereço do dispositivo I/O envolvido, local inicial na memória e o número de informações a serem gerenciadas, ocupa o barramento enquanto executa a função, assim o processador é “pausado” durante o ciclo do barramento e aguarda o sinal de interrupção do DMA.

1.8. A DMA module is transferring characters to main memory from an external device transmitting at 9600 bits per second (bps). The processor can fetch instructions at the rate of 1 milion instructions per second. By how much will the processor be slowed down due to the DMA activity?

$8\ bit\ =\ 1\ Byte$

$\frac{9600}{8} = 1200\ Bytes/s$

$1MIPS = 1\ intrução\ a\ cada\ 1\ micro\ segundo$

$1\ clock/micro\ seg$

$1200 - 10^6 microseg$

$1 -\ \text{x}\ microseg$

$x = \frac{10^6}{1200} \approx 833\ microseg$

$\frac{(833-832)}{833} * 100\% \approx 12\%$

O processador será desacelerado em 12%.

1.10. Consider the following code:

```
for (i # 0; i # 20; i++)
   for (j # 0; j # 10; j++)
            a[i] # a[i] * j
```

a. Give one example of the spatial locality in the code.

a[i] # a[i] * j

O vetor “a” é um exemplo de acesso sequencial da memória e por assim um exemplo de localidade espacial.

b. Give one example of the temporal locality in the code.

for (j # 0; j # 10; j++)

O comando “for” acessa momentaneamente o endereço de memória sendo um exemplo de localidade temporal.

1.13. A computer has a cache, main memory, and a disk used for virtual memory. If a referenced word is in the cache, 20 ns are required to access it. If it is in main memory but not in the cache, 60 ns are needed to load it into the cache (this includes the time to originally check the cache), and then the reference is started again. If the word is not in main memory, 12 ms are required to fetch the word from disk, followed by 60 ns to copy it to the cache, and then the reference is started again. The cache hit ratio is 0.9 and the main-memory hit ratio is 0.6. What is the average time in ns required to access a referenced word on this system?

Cache	20 ns
Main memory	80 ns
Nenhuma das duas	12 000 080 ns

$$Média = (20 * 0.9) + (80 * 0.1 * 0.6) + (12000080 * 0.1 * 0.4)$$

$$Média = 18 + 4.8 + 480003.2$$

$$Média = 480026\ ns$$