



Hi3559CV100 硬件设计 用户指南

文档版本 01
发布日期 2018-12-20

版权所有 © 深圳市海思半导体有限公司 2018。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



HISILICON、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

深圳市海思半导体有限公司

地址：深圳市龙岗区坂田华为基地华为电气生产中心 邮编：518129

网址：<http://www.hisilicon.com>

客户服务电话：+86-755-28788858

客户服务传真：+86-755-28357515

客户服务邮箱：support@hisilicon.com



前 言

概述

本文档主要介绍 Hi3559CV100 芯片方案的硬件原理图设计、PCB 设计、单板热设计建议等。本文档提供 Hi3559CV100 芯片的硬件设计方法。

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3559C	V100

读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师

修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2018-12-20	01	1.1.1~1.1.9 小节均涉及修改 1.2.1、1.2.5、1.3.2 小节涉及修改 新增 1.3.5.3 小节
2018-05-18	00B04	1.1.1 小节，更新图 1-3



修订日期	版本	修订说明
		1.1.6 小节的注意涉及修改 1.1.4、1.1.7、1.2.1、1.2.3 和 1.2.6 小节涉及修改 1.2.5 小节，更新图 1-15、图 1-17 和图 1-18
2018-03-15	00B03	1.1.1~1.1.6 及 1.2.5 小节均涉及修改
2018-02-10	00B02	1.1.5 和 1.1.6 小节涉及修改
2018-01-15	00B01	第一次临时版本发布



目 录

前 言.....	i
1 原理图设计.....	1
1.1 小系统外部电路要求.....	1
1.1.1 Clocking 电路.....	1
1.1.2 复位和 Watchdog 电路.....	3
1.1.3 JTAG 接口.....	4
1.1.4 电源管理（PMC）电路设计.....	5
1.1.5 Sensor Hub 电路设计.....	6
1.1.6 待机场景下 RTC&PMC&Sensor Hub 的电源方案.....	6
1.1.7 Hi3559CV100 硬件初始化系统配置电路.....	7
1.1.8 DDR 电路设计.....	9
1.1.9 FLASH 原理图设计.....	20
1.2 电源设计建议.....	26
1.2.1 CORE 电源设计.....	26
1.2.2 DDR 电源设计.....	27
1.2.3 IO 电源设计.....	28
1.2.4 PLL 电源设计.....	28
1.2.5 上下电时序.....	28
1.2.6 SVB 动态调压.....	30
1.3 外围接口设计建议.....	32
1.3.1 MAC 接口.....	32
1.3.2 音视频接口.....	34
1.3.3 SPI 和 I2C 接口.....	47
1.3.4 SDIO 设计.....	48
1.3.5 USB2.0、USB3.0 和 PCIE 接口.....	49
1.3.6 ADC.....	51
1.3.7 RTC.....	51
1.3.8 PWM.....	51
1.3.9 UART.....	52
1.4 特殊管脚说明.....	52



1.4.1 具有防倒灌功能的管脚.....	52
1.4.2 未使用的模块处理.....	54
1.4.3 5V tolerance 管脚	72
2 PCB 设计.....	73
2.1 电源与滤波电容设计	73
2.1.1 内核电源设计	73
2.1.2 DDR IO 电源设计	74
2.1.3 PLL 电源设计	74
2.1.4 模拟音频电源设计.....	78
2.2 晶体电路设计	78
2.3 DDR 电路设计	78
2.4 FLASH 电路设计	78
2.4.1 SPI FLASH	78
2.4.2 NAND FLASH	78
2.4.3 eMMC.....	79
2.4.4 UFS	79
2.5 GMAC 信号 PCB 设计	79
2.6 Vedio Input 信号 PCB 设计.....	80
2.6.1 MIPI RX	80
2.6.2 Parallel CMOS	81
2.7 Video Output 信号 PCB 设计	81
2.8 模拟音频电路设计	81
2.9 SDIO 信号 PCB 设计.....	82
2.10 USB2.0 信号设计	83
2.11 USB3.0 信号设计	83
2.12 PCIE 信号设计	84
2.13 HDMI 信号设计	86
2.14 MIPI TX 信号设计	87
3 整机 ESD 设计	88
3.1 背景.....	88
3.2 整机 ESD 设计	88
4 芯片散热设计.....	89
4.1 最大功耗.....	89



插图目录

图 1-1 晶体振荡电路	1
图 1-2 RTC 推荐晶振连接方式及器件参数	2
图 1-3 RTC 电源设计	2
图 1-4 外部复位电路连接方式示意图	4
图 1-5 JTAG 连接方式	5
图 1-5 差分时钟信号一驱二应用	17
图 1-6 差分时钟信号一驱四应用	17
图 1-7 LPDDR4 差分时钟信号一驱一应用	18
图 1-8 地址和命令信号一驱二应用	18
图 1-9 地址和命令信号一驱四应用	19
图 1-10 单片 FLASH 连接示意图	20
图 1-11 两片 SPIFLASH 连接方法	21
图 1-12 eMMC 连接示意图	23
图 1-13 UFS 连接示意图	24
图 1-14 DDR4 电源分压网络参考设计	27
图 1-15 内部复位上电时序图	28
图 1-16 内部复位下电时序图	29
图 1-17 外部复位上电时序图	29
图 1-18 外部复位下电时序图	30
图 1-19 电源动态调压示意图	31
图 1-20 Hi3559CV100 RGMII 模式下的信号连接示意图	33
图 1-21 Hi3559CV100 RMII 模式下的信号连接示意图	33
图 1-22 MIC 单端输入电路	35
图 1-23 MIC 差分输入电路	36
图 1-24 双 MIC 均为单端输入的接法 1	37



图 1-25 双 MIC 均为单端输入的接法 2	37
图 1-26 双 MIC 均为单端输入的接法 3	37
图 1-27 双 MIC 均为单端输入的接法 4	38
图 1-28 双 MIC 均为单端输入的接法 5	38
图 1-29 双 MIC 均为单端输入的接法 6	38
图 1-30 “5 线模式” I2S 主模式连接方式	39
图 1-31 “5 线模式” I2S 从模式连接方式	39
图 1-32 两个相同的 sensor 配置接口接法.....	40
图 1-33 四个相同的 sensor 配置接口接法.....	41
图 1-34 六个相同的 sensor 配置接口接法.....	41
图 1-35 八个相同的 sensor 配置接口接法.....	42
图 1-36 USB 电源.....	51
图 2-1 AVDD08_PLL 供电 π 型滤波电路 SCH 设计	75
图 2-2 AVDD08_PLL 供电 π 型滤波电路 PCB 设计	75
图 2-3 AVDD18_PLL 供电 π 型滤波电路 SCH 设计	76
图 2-4 AVDD18_PLL 供电 π 型滤波电路 PCB 设计	76
图 2-5 AVDD18_DDR0/1_PLL_AC, AVDD18_DDR0/1_PLL_DQ 供电滤波电路 SCH 设计	77
图 2-6 AVDD18_DDR0/1_PLL_AC, AVDD18_DDR0/1_PLL_DQ 供电滤波电路 PCB 设计	77
图 2-8 MIPI/LVDS 差分信号隔离示意图.....	80
图 2-9 模拟音频信号包地示意图.....	82
图 2-10 USB3.0 AC 耦合电容和 ESD 器件下方的相邻层 GND 挖空.....	84
图 2-11 USB3.0 插件处的信号过孔与 GND 平面（除相邻层）的 airgap.....	84
图 2-12 PCIE AC 耦合电容和下方的相邻层 GND 挖空	85
图 2-13 PCIE 插件处的信号过孔与 GND 平面（除相邻层）的 airgap.....	86
图 2-14 HDMI ESD 器件和连接器下方的相邻层 GND 挖空	87
图 2-15 HDMI 信号 ball 下方的相邻层 GND 挖空.....	87



表格目录

表 1-1 内部复位相关管脚说明.....	3
表 1-2 外部复位相关管脚说明.....	3
表 1-3 JTAG 接口信号	4
表 1-4 TEST_MODE 模式说明	4
表 1-5 不同待机工作状态下 RTC&PMC&Sensor Hub 电源方案	6
表 1-6 信号描述	7
表 1-7 管脚 SWAP 信息.....	10
表 1-8 单片 SPI FLASH 匹配设计方法	20
表 1-9 两片 SPI FLASH 匹配设计方法	21
表 1-10 NAND FLASH 匹配设计方法	22
表 1-11 eMMC 匹配设计方法	23
表 1-12 UFS 匹配设计方法	24
表 1-13 eMMC/UFS/GPIO 电平	25
表 1-14 DVDD 和 DVDD_GPU SVB 调压 RC 参数.....	32
表 1-15 DVDD_MEDIA SVB 调压 RC 参数	32
表 1-16 DVDD_CPU SVB 调压 RC 参数	32
表 1-17 ETH MAC 信号设计方法.....	34
表 1-18 MIPI RX 输入方式.....	43
表 1-19 MIPI RX 接口设计注意事项.....	44
表 1-20 信号接口模式与引脚对应关系.....	45
表 1-21 并行 VO 信号设计要求.....	46
表 1-22 SDIO 信号设计要求	48
表 1-23 USB3.0 和 PCIE 信号设计要求	50
表 1-24 Hi3559CV100 防倒灌功能的管脚	52
表 1-25 未使用模块电源及管脚处理建议.....	54



表 1-26 5V tolerance 管脚	72
------------------------------	----



1 原理图设计

1.1 小系统外部电路要求

1.1.1 Clocking 电路

通过芯片内部的反馈电路与外部的 24MHz 晶体振荡电路一起构成系统时钟电路。

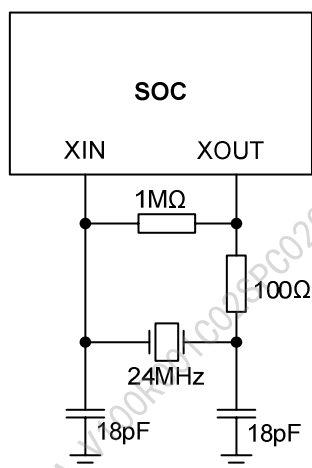
推荐晶振连接方式及器件参数如图 1-1 所示。



注意

选用的电容需要跟晶振的负载电容匹配，材质建议采用 NPO。建议选用 4pin 贴片晶振，其中 2 个 GND 管脚与单板地充分连接，增强系统时钟抗 ESD 干扰能力。

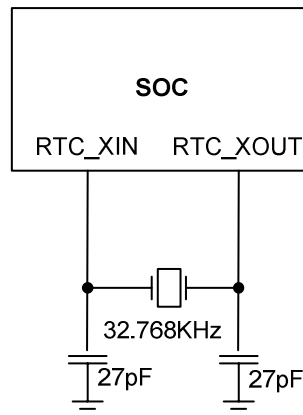
图1-1 晶体振荡电路



Hi3559CV100 内置 RTC，单板需要给 RTC 提供时钟电路，晶振连接方式及器件参数如图 1-2 所示。



图1-2 RTC 推荐晶振连接方式及器件参数



RTC 晶体选型约束:

- 晶体内阻不超过 $70\text{ k}\Omega$;
- 晶体的最大功耗 (DL) 为 $0.5\mu\text{W}$ 。

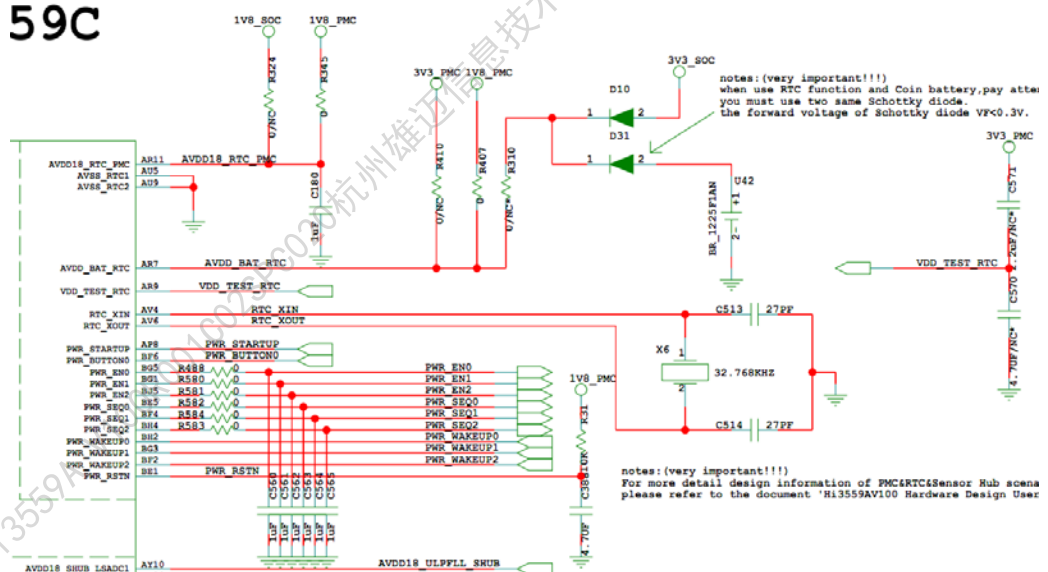
说明

- 电路中的电容取值需要与实际使用的晶体负载电容相匹配; 不同品牌、不同型号的晶体, 其固有的负载电容参数可能不同, 那么电路中的电容取值也会不同。
- 系统 24Mhz 时钟或者 RTC 时钟使用有源晶体时, 从管脚 XIN 或者 RTC_XIN 输入, 管脚 XOUT 或者 RTC_XOUT 悬空。

若使用 RTC 功能且使用纽扣电池给 RTC 模块供电时, RTC 电源 (AVDD_BAT_RTC) 设计如图 1-3 所示, 其中 U42 是纽扣电池, D10 和 D31 是肖特基二极管, 建议二极管的压降不超过 0.3V。

图1-3 RTC 电源设计

59C





注意

只要用到实时显示时间和断电保存时间功能以及开关机功能，电池或不掉电的电源必须接到 RTC 模块的电源管脚，RTC 电路需要正常设计。

1.1.2 复位和 Watchdog 电路

主芯片可通过判断 POR_SEL 管脚(BF14)在上电时的状态选择内部复位或外部复位。

- 当 POR_SEL 为高电平，选择内部复位：

主芯片上电后由内部 POR（Power On Reset）电路对芯片进行复位。如表 1-1 所示。

表1-1 内部复位相关管脚说明

管脚	功能	说明
AR11	SYS_RSTN_OUT	常态输出高电平，在芯片复位触发时，输出低电平，持续一段时间（上电复位时间约 78ms，软复位时间约 64ms），恢复到输出高电平。输出复位信号用于复位相关的外设。
AN11	-	RST_N 无效，可悬空。

- 当 POR_SEL 为低电平时，选择外部复位：

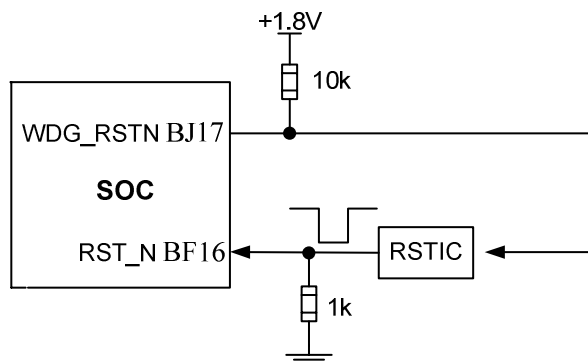
表1-2 外部复位相关管脚说明

管脚	功能	说明
AR11	WDG_RSTN	OD 输出，必须外置上拉电阻。看门狗生效时，WDG_RSTN 管脚持续输出低电平，直到 RST_N 管脚检测到低电平复位信号后，才恢复到高电平。
AN11	RST_N	该管脚为低电平，系统复位。将 WDG_RSTN 信号接到到外部复位芯片的输入管脚，用于复位系统，如图 1-4 所示。

外部复位使用方式如图 1-4 所示。



图1-4 外部复位电路连接方式示意图



注意

为确保系统能正常启动，小系统相关的外设（例如：存放 boot 的 FLASH 器件）必须先于或同时与主芯片一起释放复位信号，否则可能会出现无法启动等异常情况。

1.1.3 JTAG 接口

JTAG 接口信号描述如表 1-3 所示。

表1-3 JTAG 接口信号

信号名	信号描述
TCK	JTAG 时钟输入。外接 1K 下拉电阻。
TDI	JTAG 数据输入。外接 4.7K 上拉电阻。
TMS	JTAG 模式选择输入。外接 4.7K 上拉电阻。
TRSTN	JTAG 复位输入。外接 10K 下拉电阻。
TDO	JTAG 数据输出。外接 4.7K 上拉电阻。

Hi3559CV100 可以通过 TEST_MODE 管脚选择正常和测试两种工作模式，具体说明如表 1-4 所示。

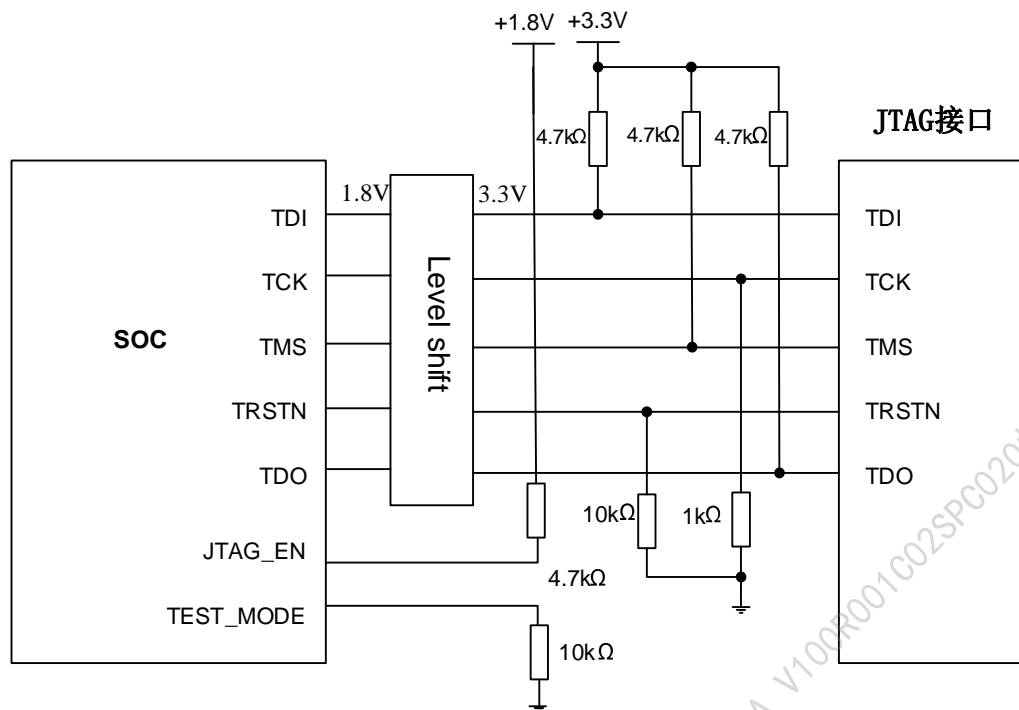
表1-4 TEST_MODE 模式说明

TEST_MODE	模式说明
0	正常工作模式
1	测试模式，实际产品设计中不用该功能



JTAG 连接方式及标准连接器管脚定义如图 1-5 所示。如果使用 JTAG 功能，JTAG_EN 引脚需通过电阻（推荐阻值 4.7k Ω ）上拉到 1.8V。

图1-5 JTAG 连接方式



注意

对于只支持 3.3V 电平的仿真器，需要在 Hi3559CV100 的 JTAG 接口和仿真器之间增加电平转换电路，将 1.8V 电平信号转成 3.3V 电平信号。

1.1.4 电源管理（PMC）电路设计

1.1.4.1 接口介绍

电源管理（PMC）模块用于实现系统的开机、关机、待机和唤醒。

该模块的详细功能及开关机逻辑描述请参考《Hi3559A/C V100 ultra-HD Mobile Camera SoC 用户指南》3.12 章节相关内容。

1.1.4.2 电路设计

- AVDD_BAT_RTC: RTC 和 PMC 的电源。使用 PMC 模块时，该管脚必须接电池或其他不掉电的电源。
- AVDD18_RTC_PMC: RTC 和 PMC 的电源。
- VDD_TEST_RTC: RTC 模块电源测试管脚，可悬空。



- PWR_RSTN: PMC 的复位管脚, 低电平有效, 详细设计参考表 1-5 的注意事项。
- 使用 PMC 模块时, RTC 模块必须供电, RTC 时钟电路必须正常设计。
- PWR_BUTTON0/PWR_STARTUP 是开机检测信号, PWR_SEQ0~PWR_SEQ2 用于使能各路 DC-DC/LDO, PWR_SEQ0 用于使能 Sensor Hub 电源, PWR_SEQ2 用于使能 3.3V、1.8V 和 1.2V 电源, PWR_SEQ1 用于使能四路 core 电源。PWR_EN0~PWR_EN2 用于使能 WIFI 或 BT 模块等需要待机工作的模块, PWR_WAKEUP0~PWR_WAKEUP2 用于接收唤醒信号。

1.1.5 Sensor Hub 电路设计

- AVDD18_SHUB_LSADC1: Sensor Hub 模块的 ADC 电源, 接 1.8V Sensor Hub 电源。
- DVDD18_SENHUB: Sensor Hub 模块工作电源, 接 1.8V Sensor Hub 电源。
- AVDD18_ULPPLL: Sensor Hub 模块 PLL 电源, 通过磁珠隔离对接 1.8V Sensor Hub 电源。
- DVDD_SENHUB_LDO_DECAP: Sensor Hub LDO DECAP 管脚, 外接电容(推荐 1uF)到地。

若使用 Sensor Hub 待机, 则需要提供一路独立的电源给 Sensor Hub 使用; 如果不使用 Sensor Hub 的待机功能, 建议把 Sensor Hub 的电源与 SOC 的数字电源 1.8V 合并。

具体 Sensor Hub 功能描述请查看《Hi3559A/C V100 ultra-HD Mobile Camera SoC 用户指南》3.13 章节。

1.1.6 待机场景下 RTC&PMC&Sensor Hub 的电源方案

在不同的待机工作状态下, RTC、PMC、Sensor Hub 有如下几种组合, 不同组合下的电源方案如表 1-5 所示。

表1-5 不同待机工作状态下 RTC&PMC&Sensor Hub 电源方案

方案	工作状态			电源管脚处理方式			备注
	RTC	PMC	Sensor Hub	AVDD_BAT_RTC	AVDD18_RTC_PMC	DVDD18_SENHUB	
1	不用	不用	不用	悬空	待机时下电, 与 DVDD18 合并供电		
2	使用	不用	不用	接电池或者其他不下电的电源 (1.6-3.6V)	待机时下电, 与 DVDD18 合并供电		
3	使用	使用	不用	合并供电, 待机时不下电, 接独立的不下电的电源 (1.8V)		待机时下电, 与 DVDD18 合并供电	待机时比方案 4 的电流约大 100uA
4	使用	使用	不用	待机时不下电, 接独立的不下电的电源	待机时下电, 与 DVDD18 合并供电		需增加一路待机时不掉电的 1.8V 电



方案	工作状态			电源管脚处理方式			备注
	RTC	PMC	Sensor Hub	AVDD_BAT_RTC TC	AVDD18_RTC_PMC C	DVDD18_SENH UB	
				(3.0-3.3V)			源
5	使用	使用	使用	合并供电，待机时不下电，接独立的不下电的电源（1.8V）		待机时不下电，接独立的不下电的电源（1.8V）	-



注意

在表 1-5 中：

- 方案 1：PWR_RSTN、PWR_BUTTON0、PWR_SEQ0/1/2、PWR_EN0/1/2 可悬空。
- 方案 2：PWR_RSTN 不能外接上拉电阻，只接一个电容（容值大于等于 4.7uF）到地，PWR_BUTTON0、PWR_SEQ0/1/2、PWR_EN0/1/2 可悬空。
- 方案 3：PWR_RSTN 外接 RC（推荐 R=10K），C=4.7uF）电路，其中电阻上拉到 AVDD_BAT_RTC 和 AVDD18_RTC_PMC 的电源，PWR_BUTTON0 接按键，无需接上拉电阻或电容到地，PWR_SEQ0/1/2 接 1uF 电容到地，PWR_EN0/1/2 可直连。
- 方案 4：PWR_RSTN 外接 RC（推荐 R=10K，C=4.7uF）电路，其中电阻上拉到待机时不掉电的 1.8V 电源；PWR_BUTTON0 通过电阻（10K）上拉到待机时不掉电的 1.8V 电源，同时通过 100nF 电容下拉到地，PWR_SEQ0/1/2 和 PWR_EN0/1/2 分别串 RC（R=1.5K,C=1uF）电路；VDD_TEST_RTC 管脚接一个 2.2uF 上拉电容到待机时不掉电的 3.3V 电源和一个 4.7uF 下拉电容到地。
- 方案 5：PWR_RSTN、PWR_BUTTON0、PWR_SEQ0/1/2、PWR_EN0/1/2 的处理方式同方案 3。

1.1.7 Hi3559CV100 硬件初始化系统配置电路

Hi3559CV100 上电初始化的过程中，根据配置管脚的上下拉电阻状态来进行确定各部分的工作模式。硬件配置信号描述如下表 1-6 所示。

表1-6 信号描述

信号名	方向	说明
JTAG_EN	I	JTAG debug 选择。 0: Disable JTAG; 1: Enable JTAG。
TEST_MODE	I	功能模式和测试模式选择。 0: 功能模式; 1: 测试模式。



信号名	方向	说明
BOOT_SEL[1:0]	I	BOOT 源的选择。 00: 从 SPI FLASH 启动 01: 从 NAND FLASH 启动 10: 从 EMMC 启动 11: 从 UFS 启动
SFC_DEVICE_MODE	I	SPI FLASH 器件选择。 0: SPI NOR FLASH 1: SPI NAND FLASH
SFC_EMMC_BOOT_MODE	I	如果 BOOT_SEL[1:0]=00, SFC_DEVICE_MODE=0, SFC_EMMC_BOOT_MODE 的状态表明了 SPI NOR FLASH 的 boot 模式选择: 0: 3 Byte address mode 1: 4 Byte address mode 如果 BOOT_SEL[1:0]=00, SFC_DEVICE_MODE=1, SFC_EMMC_BOOT_MODE 的状态表明了 SPI NAND FLASH 的 boot 模式选择: 0: 1 I/O boot mode 1: 4 I/O boot mode 如果 BOOT_SEL[1:0]=10, SFC_EMMC_BOOT_MODE 的状态表明了 EMMC 的 boot 模式选择: 0: 4 bit boot mode 1: 8 bit boot mode
BOOT_SEL2	I	BOOTROM 启动选择。 0: 按照 BOOT_SEL[1:0]设定的方式启动; 1: 从 BOOTROM 启动。 注: 当选择从 BOOTROM 启动时, 将会启动串口 通信机制, 通过串口与 PC 端相应的软件建立通 信, 下载 boot 程序后完成启动; 如果在 BOOTROM 启动时与串口通信超时未响应, 系统 跳转至 FLASH 启动, FLASH 类型与 BOOT_SEL[1:0]管脚配置相关。
BOOT_SEL3	I	启动 CPU 选择。 0: 从 A53MP Core0 启动; 1: 从 A53UP 启动。



信号名	方向	说明
BOOT_SEL4	I	PCIe 从启动使能。 0: 自主启动模式; 1: PCIe 从启动模式。
PCIE_DEEMPH_SEL	I	PCIe PHY 去加重参数选择。 0: -3.5dB; 1: -6dB。
PCIE_REFCLK_SEL	I	PCIe PHY 参考时钟源选择。 0: 选择内部时钟; 1: 选择外部时钟。
UPDATE_MODE_N	I	升级模式, 低有效。在芯片上电复位时此信号低电平将引导系统进入 BOOTROM 升级模式。
PCIE_USB3_MODE[1:0]	I	用于设定 PCIe/USB3 多功能接口的复用模式。 00: PCIe X2 模式; 01: PCIe X1 + USB3 P1; 10: USB3 P0 + USB3 P1; 其它: 保留。
POR_SEL	I	芯片复位选择。 0: 外部复位; 1: 内部 POR。

表 1-6 中所列的系统配置管脚有部分与 **SENSOR_HS/VIS** 复用。如果这些管脚和外设器件的信号管脚有连接, 那么必须在该信号上设计上下拉电阻来确定配置管脚的初始状态, 电阻阻值推荐 **4.7kΩ**, 须确保外设器件不要影响上述的配置管脚的初始状态。

1.1.8 DDR 电路设计

1.1.8.1 接口介绍

- 接口支持 **DDR4/LPDDR4**。
- 主芯片有两个 **DDRC**, 每个 **DDRC** 有 16bit 地址线, 32bit 数据线, 可支持对接 2PCS 16bit 位宽 **DDR4** 颗粒或 4PCS 8bit 位宽 **DDR4** 颗粒, 或者 1PCS 32bit 位宽 **LPDDR4**。
- 具体规格请参考《Hi3559A/C V100 ultra-HD Mobile Camera SoC 用户指南》第 4 章节的内容。



1.1.8.2 DDR 拓扑结构

Hi3559CV100 DDR 支持 DDR4/LPDDR4，对接不同的 DDR 颗粒时，采用不同的线序，管脚的 SWAP 信息如表 1-7 所示。

表1-7 管脚 SWAP 信息

Pin num	Pin name	信号名		
		4PCS 16bit DDR4	8PCS 8bit DDR4	2PCS LPDDR4
E9	DDR0_A0	DDR0_A0	DDR0_A10	DDR0_CA0_A
E13	DDR0_A1	DDR0_A1	DDR0_BA0	DDR0_CA3_A
D8	DDR0_A2	DDR0_A2	DDR0_A14	DDR0_CA1_A
F14	DDR0_A3	DDR0_A3	DDR0_A8	DDR0_CA5_B
C15	DDR0_A4	DDR0_A4	DDR0_A6	DDR0_CA5_A
B8	DDR0_A5	DDR0_A5	DDR0_A5	NC
C7	DDR0_A6	DDR0_A6	DDR0_ACT	DDR0_CA1_B
B6	DDR0_A7	DDR0_A7	DDR0_A7	NC
A7	DDR0_A8	DDR0_A8	DDR0_A9	NC
A9	DDR0_A9	DDR0_A9	DDR0_A1	DDR0_CKE1_B
B12	DDR0_A10	DDR0_A10	DDR0_BG1	DDR0_ODT_CA_A
A5	DDR0_A11	DDR0_A11	DDR0_A13	DDR0_CA0_B
A13	DDR0_A12	DDR0_A12	DDR0_A15	DDR0_CS1_A
C5	DDR0_A13	DDR0_A13	DDR0_A12	NC
F16	DDR0_A14	DDR0_A14	DDR0_A11	DDR0_CA4_A
A11	DDR0_A15	DDR0_A15	DDR0_A3	DDR0_CS1_B
C11	DDR0_A16	DDR0_A16	DDR0_A4	DDR0_CA2_A
F12	DDR0_ACT	DDR0_ACT	DDR0_A0	DDR0_CA4_B
E11	DDR0_BA0	DDR0_BA0	DDR0_BG0	NC
D14	DDR0_BA1	DDR0_BA1	DDR0_A2	DDR0_CA3_B
B10	DDR0_BG0	DDR0_BG0	DDR0_BA1	DDR0_CA2_B
E5	DDR0_BG1	DDR0_BG1	DDR0_A16	NC
B16	DDR0_CKE0	DDR0_CKE0	DDR0_CKE0	DDR0_CKE1_A
F10	DDR0_CKE1	DDR0_CKE1	DDR0_CKE1	DDR0_CKE0_B



Pin num	Pin name	信号名		
		4PCS 16bit DDR4	8PCS 8bit DDR4	2PCS LPDDR4
A15	DDR0_CS0_N	DDR0_CS0_N	DDR0_CS0_N	DDR0_CKE0_A
E7	DDR0_CS1_N	DDR0_CS1_N	DDR0_CS1_N	DDR0_CS0_B
B14	DDR0_ODT0	DDR0_ODT0	DDR0_ODT0	DDR0_CS0_A
G9	DDR0_ODT1	DDR0_ODT1	DDR0_ODT1	DDR0_ODT_CA_B
C3	DDR0_RESET_N	DDR0_RESET_N	DDR0_RESET_N	DDR0_RESET_N
B4	DDR0_ZQ	DDR0_ZQ	DDR0_ZQ	DDR0_ZQ
D26	DDR0_DQ0	DDR0_DQ0	DDR0_DQ0	DDR0_DQ3_A
D30	DDR0_DQ1	DDR0_DQ1	DDR0_DQ3	DDR0_DQ6_A
F26	DDR0_DQ2	DDR0_DQ2	DDR0_DQ2	DDR0_DQ5_A
B26	DDR0_DQ3	DDR0_DQ3	DDR0_DQ13	DDR0_DQ13_A
C27	DDR0_DQ4	DDR0_DQ4	DDR0_DQ4	DDR0_DQ4_A
E29	DDR0_DQ5	DDR0_DQ5	DDR0_DQ7	DDR0_DQ2_A
F28	DDR0_DQ6	DDR0_DQ6	DDR0_DQ6	DDR0_DQ8_A
A25	DDR0_DQ7	DDR0_DQ7	DDR0_DQ9	DDR0_DQ12_A
B28	DDR0_DQ8	DDR0_DQ8	DDR0_DQ15	DDR0_DQ10_A
F32	DDR0_DQ9	DDR0_DQ9	DDR0_DQ8	DDR0_DQ1_A
A29	DDR0_DQ10	DDR0_DQ10	DDR0_DQ14	DDR0_DQ14_A
C31	DDR0_DQ11	DDR0_DQ11	DDR0_DQ1	DDR0_DQ7_A
A27	DDR0_DQ12	DDR0_DQ12	DDR0_DQ11	DDR0_DQ11_A
B32	DDR0_DQ13	DDR0_DQ13	DDR0_DQ12	DDR0_DQ15_A
B30	DDR0_DQ14	DDR0_DQ14	DDR0_DQ10	DDR0_DQ9_A
F30	DDR0_DQ15	DDR0_DQ15	DDR0_DQ5	DDR0_DQ0_A
F20	DDR0_DQ16	DDR0_DQ16	DDR0_DQ22	DDR0_DQ4_B
B20	DDR0_DQ17	DDR0_DQ17	DDR0_DQ31	DDR0_DQ9_B
D18	DDR0_DQ18	DDR0_DQ18	DDR0_DQ20	DDR0_DQ6_B
A19	DDR0_DQ19	DDR0_DQ19	DDR0_DQ27	DDR0_DQ8_B
F18	DDR0_DQ20	DDR0_DQ20	DDR0_DQ18	DDR0_DQ5_B
B18	DDR0_DQ21	DDR0_DQ21	DDR0_DQ29	DDR0_DQ14_B



Pin num	Pin name	信号名		
		4PCS 16bit DDR4	8PCS 8bit DDR4	2PCS LPDDR4
E17	DDR0_DQ22	DDR0_DQ22	DDR0_DQ16	DDR0_DQ7_B
A17	DDR0_DQ23	DDR0_DQ23	DDR0_DQ25	DDR0_DQ15_B
F24	DDR0_DQ24	DDR0_DQ24	DDR0_DQ23	DDR0_DQ0_B
B24	DDR0_DQ25	DDR0_DQ25	DDR0_DQ24	DDR0_DQ12_B
F22	DDR0_DQ26	DDR0_DQ26	DDR0_DQ21	DDR0_DQ1_B
B22	DDR0_DQ27	DDR0_DQ27	DDR0_DQ26	DDR0_DQ11_B
D22	DDR0_DQ28	DDR0_DQ28	DDR0_DQ17	DDR0_DQ3_B
A23	DDR0_DQ29	DDR0_DQ29	DDR0_DQ28	DDR0_DQ13_B
E21	DDR0_DQ30	DDR0_DQ30	DDR0_DQ19	DDR0_DQ2_B
A21	DDR0_DQ31	DDR0_DQ31	DDR0_DQ30	DDR0_DQ10_B
A31	DDR0_DM0	DDR0_DM0	DDR0_DM0	DDR0_DMI1_A
E25	DDR0_DM1	DDR0_DM1	DDR0_DM1	DDR0_DMI0_A
C23	DDR0_DM2	DDR0_DM2	DDR0_DM2	DDR0_DMI1_B
C19	DDR0_DM3	DDR0_DM3	DDR0_DM3	DDR0_DMI0_B
H18	DDR0_CLK0_N	DDR0_CLK0_N	DDR0_CLK0_N	DDR0_CK_C_A
K18	DDR0_CLK0_P	DDR0_CLK0_P	DDR0_CLK0_P	DDR0_CK_T_A
J13	DDR0_CLK1_N	NC	NC	DDR0_CK_C_B
G13	DDR0_CLK1_P	NC	NC	DDR0_CK_T_B
H26	DDR0_DQS0_N	DDR0_DQS0_N	DDR0_DQS0_N	DDR0_DQS0_C_A
K26	DDR0_DQS0_P	DDR0_DQS0_P	DDR0_DQS0_P	DDR0_DQS0_T_A
H30	DDR0_DQS1_N	DDR0_DQS1_N	DDR0_DQS1_N	DDR0_DQS1_C_A
K30	DDR0_DQS1_P	DDR0_DQS1_P	DDR0_DQS1_P	DDR0_DQS1_T_A
H20	DDR0_DQS2_N	DDR0_DQS2_N	DDR0_DQS2_N	DDR0_DQS0_C_B
K20	DDR0_DQS2_P	DDR0_DQS2_P	DDR0_DQS2_P	DDR0_DQS0_T_B
H24	DDR0_DQS3_N	DDR0_DQS3_N	DDR0_DQS3_N	DDR0_DQS1_C_B



Pin num	Pin name	信号名		
		4PCS 16bit DDR4	8PCS 8bit DDR4	2PCS LPDDR4
			N	B
K24	DDR0_DQS3_P	DDR0_DQS3_P	DDR0_DQS3_P	DDR0_DQS1_T_B
J5	DDR1_A0	DDR1_A0	DDR1_A10	DDR1_CA0_A
N5	DDR1_A1	DDR1_A1	DDR1_BA0	DDR1_CA4_A
H4	DDR1_A2	DDR1_A2	DDR1_A14	DDR1_CA1_A
P6	DDR1_A3	DDR1_A3	DDR1_A8	DDR1_CA5_A
R3	DDR1_A4	DDR1_A4	DDR1_A6	DDR1_CA5_B
H2	DDR1_A5	DDR1_A5	DDR1_A5	NC
G3	DDR1_A6	DDR1_A6	DDR1_ACT	DDR1_CA1_B
F2	DDR1_A7	DDR1_A7	DDR1_A7	NC
G1	DDR1_A8	DDR1_A8	DDR1_A9	NC
J1	DDR1_A9	DDR1_A9	DDR1_A1	DDR1_CS1_B
M2	DDR1_A10	DDR1_A10	DDR1_BG1	DDR1_ODT_CA_A
E1	DDR1_A11	DDR1_A11	DDR1_A13	DDR1_CA0_B
N1	DDR1_A12	DDR1_A12	DDR1_A15	DDR1_CS1_A
E3	DDR1_A13	DDR1_A13	DDR1_A12	NC
T6	DDR1_A14	DDR1_A14	DDR1_A11	DDR1_CA4_B
L1	DDR1_A15	DDR1_A15	DDR1_A3	DDR1_CKE1_B
L3	DDR1_A16	DDR1_A16	DDR1_A4	DDR1_CA2_A
M6	DDR1_ACT	DDR1_ACT	DDR1_A0	DDR1_CA3_B
L5	DDR1_BA0	DDR1_BA0	DDR1_BG0	NC
P4	DDR1_BA1	DDR1_BA1	DDR1_A2	DDR1_CA3_A
K2	DDR1_BG0	DDR1_BG0	DDR1_BA1	DDR1_CA2_B
F6	DDR1_BG1	DDR1_BG1	DDR1_A16	NC
T2	DDR1_CKE0	DDR1_CKE0	DDR1_CKE0	DDR1_CKE1_A
K6	DDR1_CKE1	DDR1_CKE1	DDR1_CKE1	DDR1_CKE0_B
R1	DDR1_CS0_N	DDR1_CS0_N	DDR1_CS0_N	DDR1_CKE0_A
G5	DDR1_CS1_N	DDR1_CS1_N	DDR1_CS1_N	DDR1_CS0_B



Pin num	Pin name	信号名		
		4PCS 16bit DDR4	8PCS 8bit DDR4	2PCS LPDDR4
P2	DDR1_ODT0	DDR1_ODT0	DDR1_ODT0	DDR1_CS0_A
J7	DDR1_ODT1	DDR1_ODT1	DDR1_ODT1	DDR1_ODT_CA_B
D4	DDR1_RESET_N	DDR1_RESET_N	DDR1_RESET_N	DDR1_RESET_N
D2	DDR1_ZQ	DDR1_ZQ	DDR1_ZQ	DDR1_ZQ
Y2	DDR1_DQ0	DDR1_DQ0	DDR1_DQ14	DDR1_DQ9_A
Y6	DDR1_DQ1	DDR1_DQ1	DDR1_DQ7	DDR1_DQ4_A
W1	DDR1_DQ2	DDR1_DQ2	DDR1_DQ10	DDR1_DQ8_A
V6	DDR1_DQ3	DDR1_DQ3	DDR1_DQ3	DDR1_DQ5_A
V2	DDR1_DQ4	DDR1_DQ4	DDR1_DQ12	DDR1_DQ14_A
V4	DDR1_DQ5	DDR1_DQ5	DDR1_DQ5	DDR1_DQ6_A
U1	DDR1_DQ6	DDR1_DQ6	DDR1_DQ8	DDR1_DQ15_A
U5	DDR1_DQ7	DDR1_DQ7	DDR1_DQ1	DDR1_DQ7_A
AD2	DDR1_DQ8	DDR1_DQ8	DDR1_DQ9	DDR1_DQ12_A
AD6	DDR1_DQ9	DDR1_DQ9	DDR1_DQ4	DDR1_DQ0_A
AB2	DDR1_DQ10	DDR1_DQ10	DDR1_DQ11	DDR1_DQ11_A
AB6	DDR1_DQ11	DDR1_DQ11	DDR1_DQ0	DDR1_DQ1_A
AC1	DDR1_DQ12	DDR1_DQ12	DDR1_DQ13	DDR1_DQ13_A
AB4	DDR1_DQ13	DDR1_DQ13	DDR1_DQ2	DDR1_DQ3_A
AA1	DDR1_DQ14	DDR1_DQ14	DDR1_DQ15	DDR1_DQ10_A
AA5	DDR1_DQ15	DDR1_DQ15	DDR1_DQ6	DDR1_DQ2_A
AK4	DDR1_DQ16	DDR1_DQ16	DDR1_DQ30	DDR1_DQ2_B
AE5	DDR1_DQ17	DDR1_DQ17	DDR1_DQ20	DDR1_DQ3_B
AF2	DDR1_DQ18	DDR1_DQ18	DDR1_DQ18	DDR1_DQ13_B
AF6	DDR1_DQ19	DDR1_DQ19	DDR1_DQ29	DDR1_DQ5_B
AJ5	DDR1_DQ20	DDR1_DQ20	DDR1_DQ31	DDR1_DQ6_B
AG3	DDR1_DQ21	DDR1_DQ21	DDR1_DQ25	DDR1_DQ4_B
AE1	DDR1_DQ22	DDR1_DQ22	DDR1_DQ16	DDR1_DQ12_B
AH6	DDR1_DQ23	DDR1_DQ23	DDR1_DQ27	DDR1_DQ8_B



Pin num	Pin name	信号名		
		4PCS 16bit DDR4	8PCS 8bit DDR4	2PCS LPDDR4
AL3	DDR1_DQ24	DDR1_DQ24	DDR1_DQ26	DDR1_DQ7_B
AH2	DDR1_DQ25	DDR1_DQ25	DDR1_DQ23	DDR1_DQ10_B
AK6	DDR1_DQ26	DDR1_DQ26	DDR1_DQ28	DDR1_DQ0_B
AG1	DDR1_DQ27	DDR1_DQ27	DDR1_DQ22	DDR1_DQ11_B
AM2	DDR1_DQ28	DDR1_DQ28	DDR1_DQ17	DDR1_DQ15_B
AJ1	DDR1_DQ29	DDR1_DQ29	DDR1_DQ19	DDR1_DQ14_B
AM6	DDR1_DQ30	DDR1_DQ30	DDR1_DQ24	DDR1_DQ1_B
AK2	DDR1_DQ31	DDR1_DQ31	DDR1_DQ21	DDR1_DQ9_B
W3	DDR1_DM0	DDR1_DM0	DDR1_DM0	DDR1_DMI0_A
AC3	DDR1_DM1	DDR1_DM1	DDR1_DM1	DDR1_DMI1_A
AF4	DDR1_DM2	DDR1_DM2	DDR1_DM3	DDR1_DMI0_B
AL1	DDR1_DM3	DDR1_DM3	DDR1_DM2	DDR1_DMI1_B
V8	DDR1_CLK0_N	DDR1_CLK0_N	DDR1_CLK0_N	DDR1_CK_C_A
V10	DDR1_CLK0_P	DDR1_CLK0_P	DDR1_CLK0_P	DDR1_CK_T_A
N9	DDR1_CLK1_N	NC	NC	DDR1_CK_C_B
N7	DDR1_CLK1_P	NC	NC	DDR1_CK_T_B
AD8	DDR1_DQS0_N	DDR1_DQS0_N	DDR1_DQS0_N	DDR1_DQS0_C_A
AD10	DDR1_DQS0_P	DDR1_DQS0_P	DDR1_DQS0_P	DDR1_DQS0_T_A
Y8	DDR1_DQS1_N	DDR1_DQS1_N	DDR1_DQS1_N	DDR1_DQS1_C_A
Y10	DDR1_DQS1_P	DDR1_DQS1_P	DDR1_DQS1_P	DDR1_DQS1_T_A
AF8	DDR1_DQS2_N	DDR1_DQS2_N	DDR1_DQS2_N	DDR1_DQS0_C_B
AF10	DDR1_DQS2_P	DDR1_DQS2_P	DDR1_DQS2_P	DDR1_DQS0_T_B
AK8	DDR1_DQS3_N	DDR1_DQS3_N	DDR1_DQS3_N	DDR1_DQS1_C_B
AK10	DDR1_DQS3_P	DDR1_DQS3_P	DDR1_DQS3_P	DDR1_DQS1_T_B



- 板名 HI3559CDMEB 采用的是 8 层 2 阶 HDI 板设计，4PCS 16bit 位宽 DDR4，使用 T 型拓扑（地址线一驱二）。
- 板名 HI3559CDMBPLUS 采用的是 8 层 2 阶 HDI 板设计，8PCS 8bit 位宽 DDR4，使用 T 型拓扑（地址线一驱四）。
- 板名 HI3559CDMEBLITE 采用的是 8 层 2 阶 HDI 板设计，2PCS 32bit 位宽 LPDDR4，使用一驱一型拓扑（地址线一驱一）。



注意

DDR 走线必须完全拷贝 HI3559CDMEB、HI3559CDMBPLUS、HI3559CDMEBLITE 的设计。相关的设计文件请见发布包中的硬件部分。

1.1.8.3 匹配方式设计建议

DQ、DQS 双向信号

Hi3559CV100 应用中 DQ、DQS_P/N 信号都是点对点拓扑，直连即可。

差分时钟

- Hi3559CV100 有两组差分时钟信号 DDR0_CLK_N/P，DDR1_CLK_N/P。
- 当对接 4 颗 16bit DDR4 颗粒时，DDR0_CLK_N/P 和 DDR1_CLK_N/P 采用一驱二的拓扑，在靠近 SOC 跨接 1 个 1pF 的电容，如图 1-5 所示。
- 当对接 8 颗 8bit DDR4 颗粒时，DDR0_CLK_N/P 和 DDR1_CLK_N/P 采用一驱四的拓扑，在主芯片到 DDR 颗粒的第一级 T 点位置跨接 1 个 2pF 电容，在第二级 T 点位置分别做 100ohm 的戴维南匹配，如图 1-6 所示。
- 当对接 2 颗 LPDDR4 颗粒时，DDR0_CLK_N/P 和 DDR1_CLK_N/P 采用一驱一的拓扑，在靠近 SOC 跨接 1 个 1pF 的电容，如图 1-7 所示。



图1-5 差分时钟信号一驱二应用

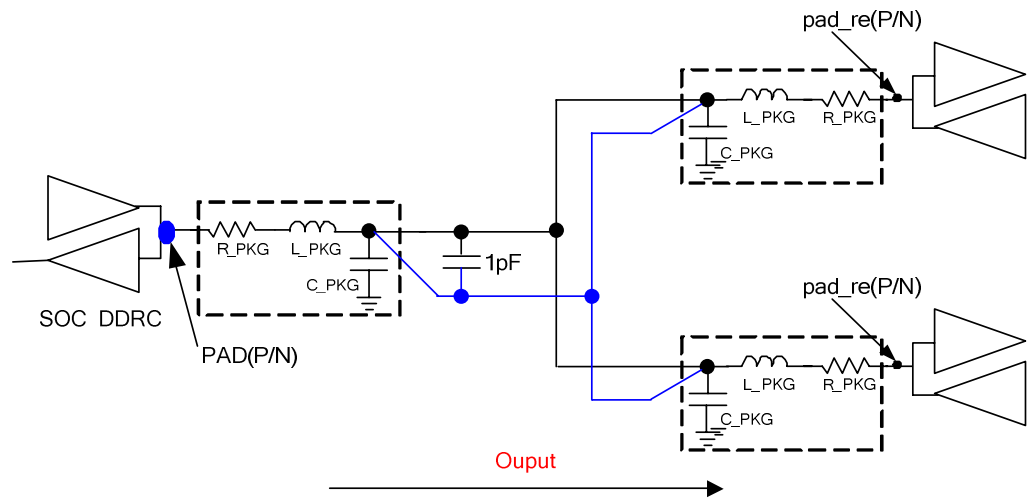


图1-6 差分时钟信号一驱四应用

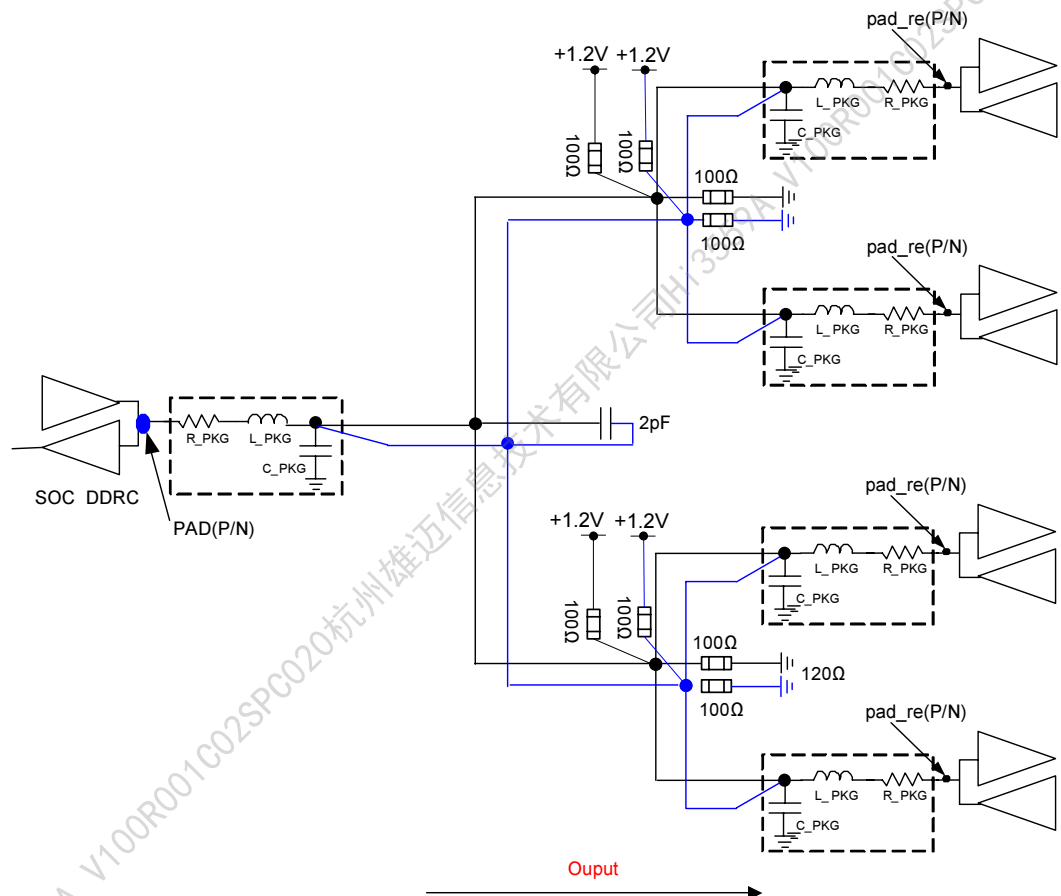
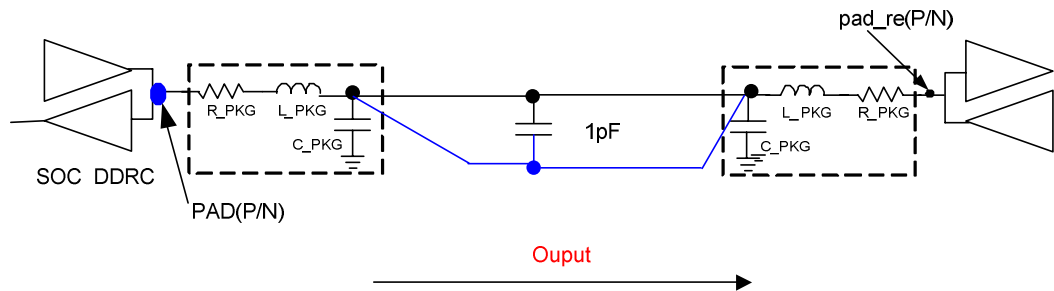




图1-7 LPDDR4 差分时钟信号一驱一应用



1.1.8.4 地址信号和命令信号

Hi3559CV100 DDR 应用中:

- 当对接 4 颗 16bit 位宽 DDR4 颗粒时, 地址和命令信号一驱二连接, 如图 1-8 所示。
- 当对接 8 颗 8bit 位宽的 DDR4 颗粒时, 地址和命令信号一驱四连接, DDR0/1_CS0_N、DDR0/1_CKE0_N、DDR0/1_ODT0_N 需要在主芯片到 DDR 颗粒的第一级 T 点上分别做 100ohm 戴维南匹配, 如图 1-9 所示。
- 当对接 LPDDR4 颗粒时, 地址和命令信号无需做匹配, DDR0/1_CS0/1_A/B、DDR0/1_CKE0/1_A/B、DDR0/1_ODT0/1_A/B 也无需做匹配, 直连即可。

图1-8 地址和命令信号一驱二应用

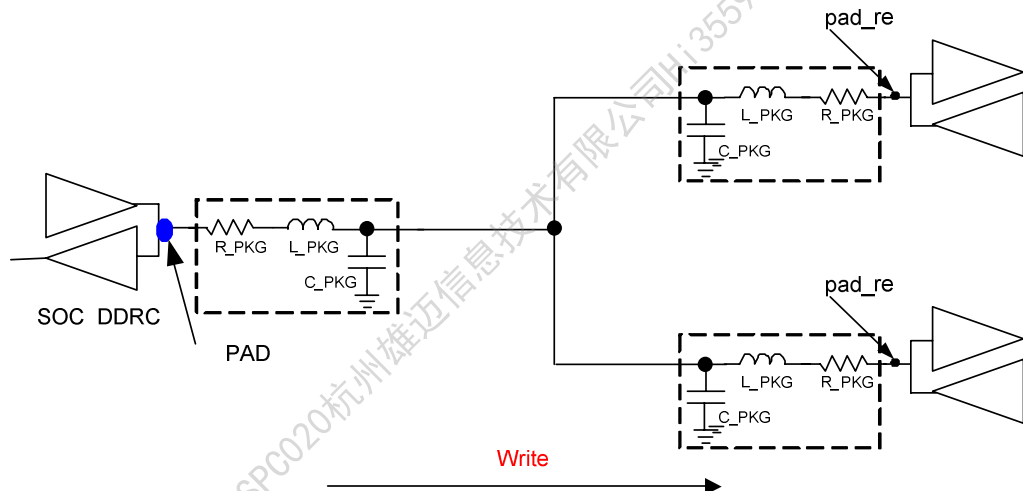
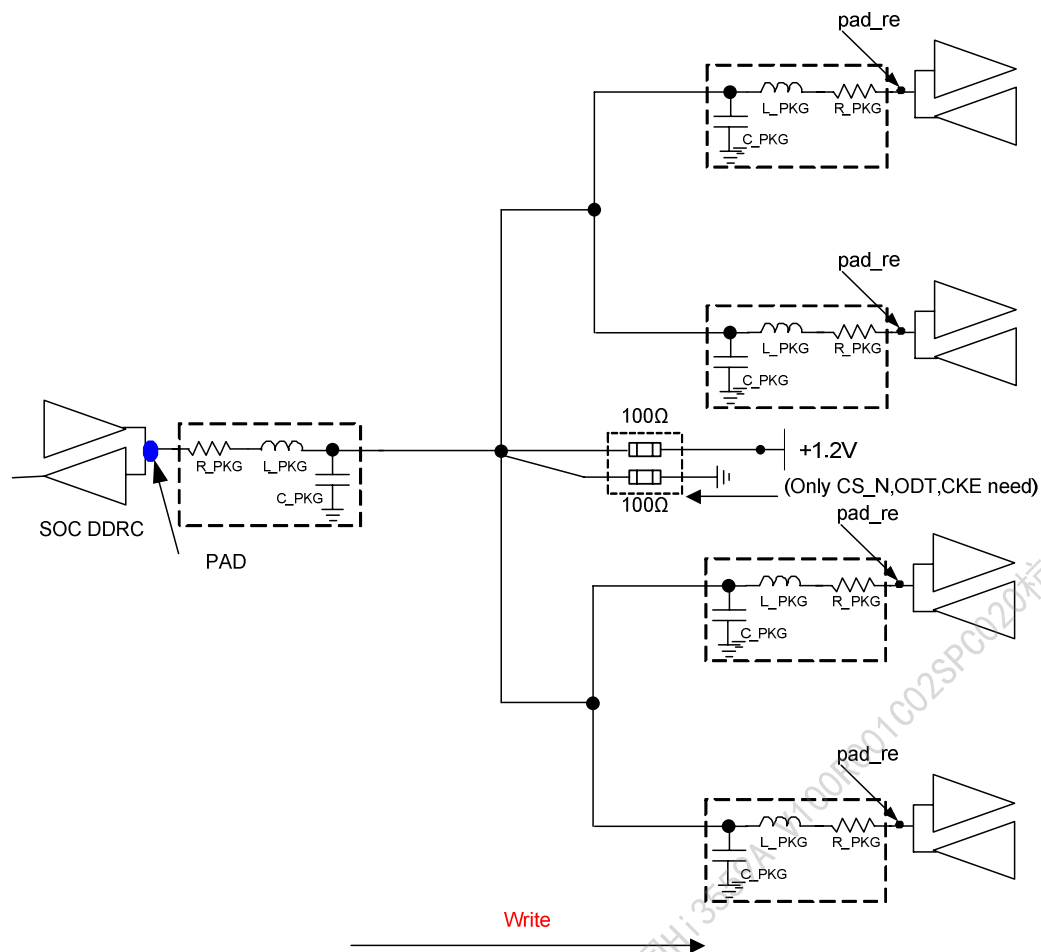




图1-9 地址和命令信号一驱四应用



1.1.8.5 数据掩码信号

DDR 应用中 DM/DMI 信号都是点对点拓扑，直连即可。

1.1.8.6 DDR 颗粒外部电阻选择

DDR4 颗粒的外部电阻（ZQ）选择 240Ω ，精度 $\pm 1\%$ 。

LPDDR4 的外部电阻（ZQ）通过 240Ω ，精度 $\pm 1\%$ 的电阻上拉到 VDDIO_DDR。



注意

为了增加 DDR 的可靠性，Reset 信号设计有如下注意事项：

针对 T 型拓扑，DDR4/LPDDR4 在 Reset 信号 T 点过孔邻近的位置增加 1 个 $1nF$ 电容下拉到地。



1.1.9 FLASH 原理图设计

1.1.9.1 接口介绍

FLASH 控制器支持 SPI NOR FLASH、SPI NAND FLASH、并行 NAND FLASH、eMMC 和 UFS。

1.1.9.2 信号处理

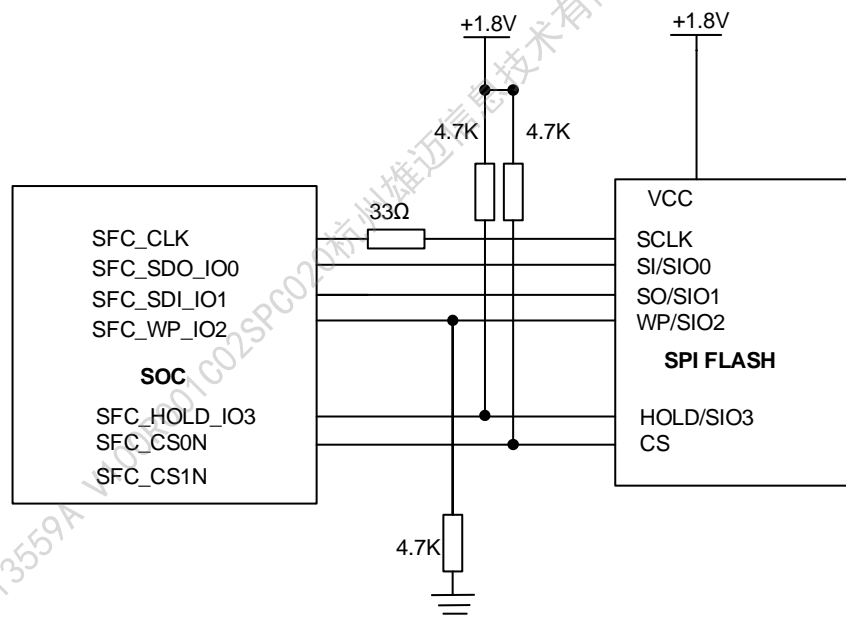
SPI FLASH 设计

外接单片 SPI FLASH 时，SPI FLASH 匹配设计推荐如表 1-8 所示，连接方式推荐如图 1-10 所示。

表1-8 单片 SPI FLASH 匹配设计方法

信号	设计方法
SFC_CLK	Hi3559CV100 端串接 33Ω 电阻。信号走线长度不超过 3inch。
SFC_SDO_IO0 SFC_SDI_IO1 SFC_WP_IO2 SFC_HOLD_IO3 SFC_CS0N	直接相连，其中 SFC_WP_IO2 需要下拉，推荐下拉电阻阻值为 4.7kΩ；SFC_HOLD_IO3 和 SFC_CS0N 需要上拉，推荐上拉电阻阻值为 4.7kΩ。 信号走线长度不超过 3inch。

图1-10 单片 FLASH 连接示意图



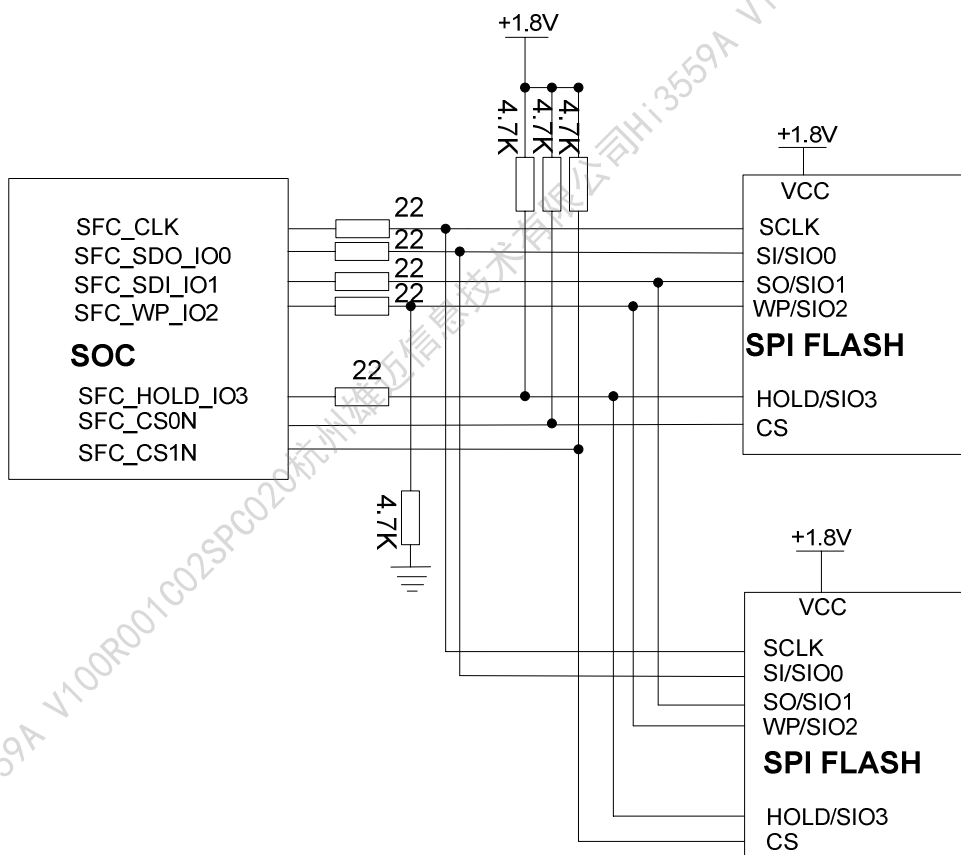


外接两片 SPI Flash 时，SPI Flash 匹配设计方法推荐如表 1-9 所示，连接方式推荐如 0 所示。

表1-9 两片 SPI FLASH 匹配设计方法

信号	设计方法
SFC_CLK	Hi3559CV100 端串接 22 Ω 电阻，距离 SOC 0.5inch 以内。信号走线主线长度不超过 2.4inch，分叉线长度不超过 1inch，分叉点之后的长度误差不超过 0.3inch。
SFC_SDO_IO0 SFC_SDI_IO1 SFC_WP_IO2 SFC_HOLD_IO3	Hi3559CV100 端串接 22 Ω 电阻，距离 SOC 0.5inch 以内。其中，SFC_WP_IO2 需要下拉，推荐下拉电阻阻值为 4.7k Ω ；SFC_HOLD_IO3 需要上拉，推荐上拉电阻阻值为 4.7k Ω 。信号走线主线长度不超过 2.4inch，分叉线长度不超过 1inch，分叉点之后的长度误差不超过 0.3inch。
SFC_CS0N SFC_CS1N	直接相连。 其中，SFC_CS0/1N 需要上拉，上拉电阻阻值为 4.7k Ω 。

图1-11 两片 SPIFLASH 连接方法





如果选择从 SPI FLASH 启动，那么主芯片的复位信号释放之后，主芯片默认从 SFC_CS0N 管脚（引脚号 BK4）控制的 FLASH 中读取 Boot。这种情况下，请将存放 Boot 的 FLASH 的 CS 管脚连接至 SFC_CS0N 管脚上。

推荐选用带复位功能的 SPI FLASH 器件，以避免出现主芯片 Watch Dog 生效复位时，FLASH 无法同步复位，从而无法正常重启。



注意

- 使用 SPI Nor Flash 时，如无快速启动需求，且对可靠性要求高，建议采用“1 线”模式，将主芯片的 SYS_RSTN_OUT 连接到 Flash 的复位管脚。如有快速启动需求，建议采用“4 线”模式，预留复位电路，同时与 Flash 厂家确认风险。
- 使用 SPI Nand Flash 时，因为 SPI Nand Flash 器件无复位管脚，建议采用“4 线”模式，同时与 Flash 厂家确认风险。
- 发布包中的软件驱动与我司的 DEMO 单板匹配，如果客户硬件和我司的 DEMO 单板的设计不一致，请参考发布包中 only to reference 目录下的《基于 Hifmcv100 控制器的 Flash 移植指南.pdf》进行软件修改。
- 使用两片 Flash 时，CLK/IO 的驱动能力可能与单片 Flash 时的驱动能力不同。使用两片 Flash 时，推荐 CLK 的驱动为第 0xE 档，IO[0...3]的驱动为第 0x6 档。最终的驱动能力大小，请根据实际测试情况调整。

NAND FLASH 信号设计

NAND FLASH 接口支持 8bit 位宽的 SLC 和 MLC 的 NAND FLASH 器件。

外接 NAND FLASH 时，匹配设计方法推荐如表 1-10 所示。

表1-10 NAND FLASH 匹配设计方法

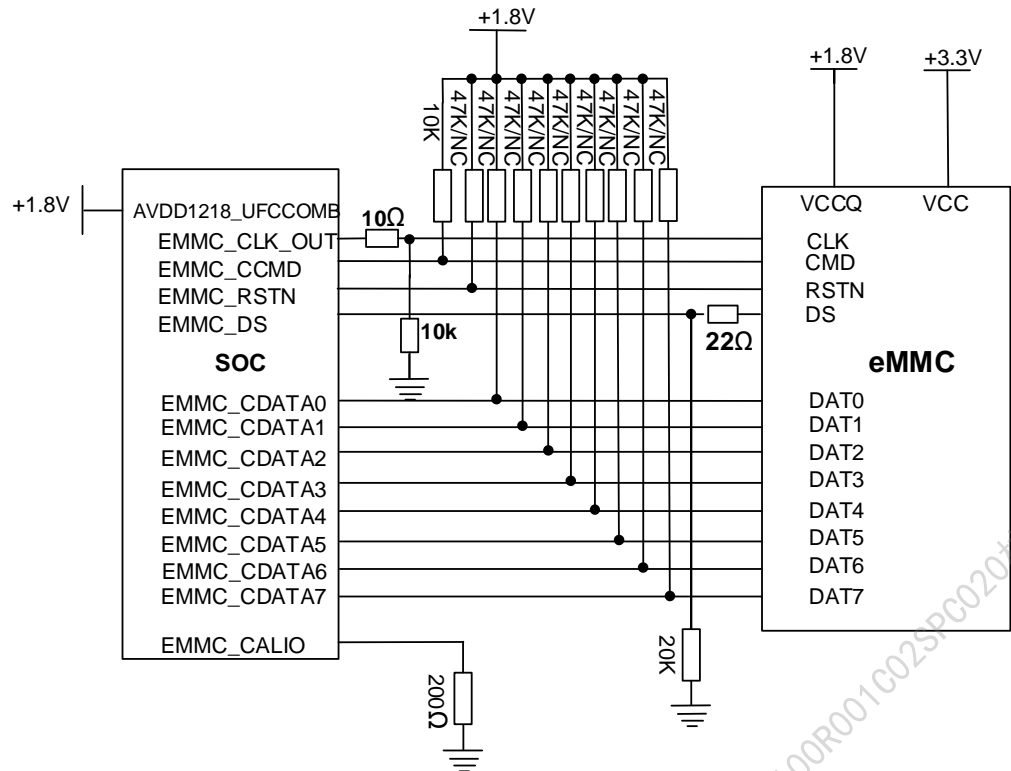
信号	设计方法
NF_WEN NF_REN	源端串联 33Ω 电阻（若走线长度在 2inch 以内可不串电阻），信号走线长度不超过 4inch。
NF_DQ[0:7] NF_ALE NF_CLE NF_CSN NF_RDY	直接相连。 信号走线长度不超过 4inch。 NF_CSN 和 NF_RDY 需外接 4.7k 上拉电阻。

eMMC 信号设计

eMMC 连接示意图，如图 1-12 所示。



图1-12 eMMC 连接示意图



外接 eMMC 时，匹配设计推荐如表 1-11 所示。

表1-11 eMMC 匹配设计方法

信号	设计方法
EMMC_CLK	Hi3559CV100 端串联 10Ω 电阻。信号走线长度不超过 4inch。
EMMC_DATA[0:7]	直接相连，接/不接上拉电阻，阻值推荐 47kΩ。 信号走线长度不超过 4inch。
EMMC_CMD	直接相连，并且需要接 10kΩ 上拉电阻。 信号走线长度不超过 4inch。
EMMC_DS	EMMC 端串联 22ohm，并且需要接 20kΩ 下拉电阻。 信号走线长度不超过 4inch。如果对接的 EMMC 器件无 DS 管脚，Hi3559CV100 的 EMMC_DS 管脚可以悬空处理。
EMMC_RST_N	直接相连，接/不接 47kΩ 上拉电阻。



信号	设计方法
EMMC_POWER_EN	eMMC 的 VCC 电压需要用 EMMC_POWER_EN 管脚进行控制，连接示意图如图 1-12 所示。 注意： 主芯片的电源 AVDD1218_UFS 与 EMMC 的 IO 电源 VCCQ 需同时上电。
EMMC_CALIO	通过 $200\Omega \pm 1\%$ 电阻下拉到地。



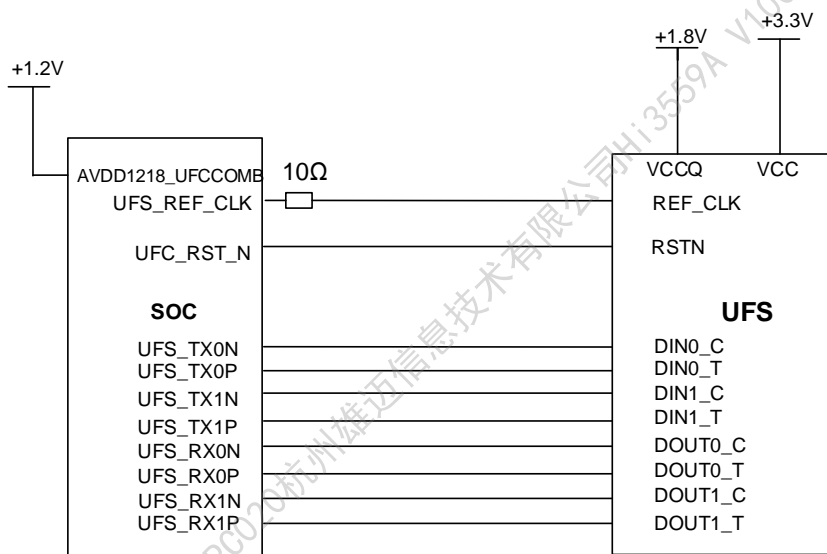
注意

无论 eMMC 使用与否，EMMC_CALIO 管脚始终通过 $200\Omega \pm 1\%$ 电阻下拉到地。

UFS 信号设计

UFS 连接图如图 1-13 所示。

图1-13 UFS 连接示意图



外接 UFS 时，匹配设计推荐如表 1-12 所示。

表1-12 UFS 匹配设计方法

信号	设计方法
UFS_REF_CLK	Hi3559CV100 端串联 10Ω 电阻。 信号走线长度不超过 3inch。



信号	设计方法
UFS_TX0P/N UFS_TX1P/N UFS_RX0P/N UFS_RX1P/N	直连，差分阻抗为 100Ω。 信号走线长度不超过 3inch。
UFS_RST_N	直连。

eMMC 信号可复用为 UFS 和 GPIO 信号，部分信号的电源域是 AVDD1218_UFSCOMB，如表 1-13 所示。

表1-13 eMMC/UFS/GPIO 电平

功能	AVDD1218_UFSCOMB 管脚对接电源	信号电平
eMMC	1.8V	EMMC_CLK:1.8V EMMC_DS:1.8V EMMC_CMD:1.8V EMMC_DATA[0:7]:1.8V EMMC_RST_N:1.8V
UFS	1.2V	UFS_REF_CLK:1.2V UFS_RST_N:1.2V
GPIO	1.8V（建议）或 1.2V	GPIO10_0~GPIO10_7、 GPIO17_7: 1.8V



注意

- AVDD08_UFSCOMB 和 AVDD18_UFSCOMB 管脚需要通过磁珠（要求磁珠的直流阻抗小于等于 0.7Ω）接到 DVDD 电源，靠近管脚放置 1 个 1uF 的电容；
- 当使用 UFS 功能时，AVDD08_UFSCOMB 需单独供电（建议使用 LDO），电压为 0.93V，考虑到 AVDD08_UFSCOMB 串联磁珠上的压降，建议 LDO 输出 0.95V。
- 当需要使用 eMMC 功能时，AVDD1218_UFSCOMB 管脚需要通过磁珠接到 1.8V 电源，靠近管脚放置 1 个 1uF 的电容；
- 当需要使用 UFS 功能时，AVDD1218_UFSCOMB 管脚需要通过磁珠接到 1.2V 电源，靠近管脚放置 1 个 1uF 电容；如果需要把 eMMC/UFS 的管脚复用成 GPIO，则无论 AVDD1218_UFSCOMB 管脚接 1.8V 电源还是 1.2V，GPIO 电平幅度都为 1.8V。



1.1.9.3 FLASH 配置

- 支持多种规格的 SPI NAND Flash 器件。
 - 支持页大小 2K、4K 的器件。
 - 支持块大小 64 Pages/Block、128 Pages/Block 的器件。
- 支持多种规格的 NAND Flash 器件；
 - 支持页大小 2K、4K、8K、16K 的器件。
 - 支持块大小 64、128、256、512 Pages/Block 的器件。
- 支持自适应 Boot 功能（SPI NAND Flash 和 NAND Flash），控制器自动找到正确的 Page-size、ECC 类型、Block-size 配置。

1.2 电源设计建议

Hi3559CV100 芯片电源设计参数请参见《Hi3559A/C V100 ultra-HD Mobile Camera SoC 用户指南》2.5 节 电性能参数。

Hi3559CV100 的电源设计，包括电容的容值和数量，要求完全拷贝 Hi3559CDMEB 的原理图设计。

1.2.1 CORE 电源设计

Hi3559CV100 的 CORE 电源有四种，分别是：

- DVDD_MEDIA: Media 部分的内核电源，典型电压 0.8V，实际电压由 SVB 动态调压电路控制，具体参考 Hi3559CDMEB 最新原理图。电源芯片选型要求其供电能力不小于 5A。
该电源要求在芯片端的纹波噪声控制在 $\pm 60\text{mV}$ 以内。
- DVDD: DDR 和 CORE 电源域，典型电压 0.8V，实际电压由 SVB 动态调压电路控制，具体参考 Hi3559CDMEB 最新原理图。电源芯片选型要求其供电能力不小于 5A。
该电源要求在芯片端的纹波噪声控制在 $\pm 40\text{mV}$ 以内。
- DVDD_CPU: CPU 部分的内核电源，典型电压 0.8V，实际电压由 SVB 动态调压电路控制，具体参考 Hi3559CDMEB 最新原理图。电源芯片选型要求其供电能力不小于 2A。
该电源要求在芯片端的纹波噪声控制在 $\pm 60\text{mV}$ 以内。
- DVDD_GPU: GPU 部分的内核电源，典型电压 0.8V，实际电压由 SVB 动态调压电路控制，具体参考 Hi3559CDMEB 最新原理图。电源芯片选型要求其供电能力不小于 4.5A。
该电源要求在芯片端的纹波噪声控制在 $\pm 90\text{mV}$ 以内，如果该电源域内的模块不需要使用，则可以把这路电源跟 DVDD_MEDIA 合并。



注意

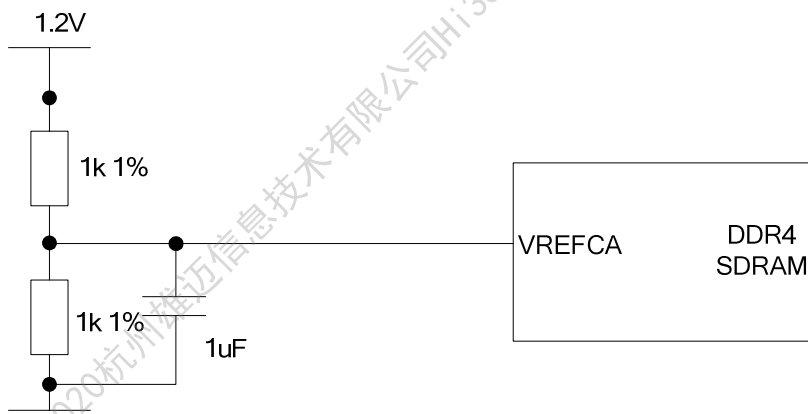
DVDD 电源建议不用带轻载高效模式的 DC-DC 电源芯片，因为单板上 DVDD 同时给 AVDD08_PLL 供电，轻载高效模式会使输出电源纹波增大，影响 PLL 电源的稳定。

1.2.2 DDR 电源设计

- Hi3559CV100 支持 DDR4/LPDDR4，典型电压 1.2V/1.1V，参考电压（Vref）0.6V（DDR4）。DDR 颗粒的电源要求与 Hi3559CV100 的 DDR IO 电源采用同一电源网络供电。
- 要求单板上采用单独的供电芯片给 DDR4 颗粒和 Hi3559CV100 DDR IO 电源管脚（管脚名 VDDIO_DDR）供电。
- DDR PLL 电源（管脚名 AVDD_DDR0/1_PLL_AC/DQ）：连接 1.8V 电源。必须使用磁珠（1k Ω @100MHz）和主芯片的 1.8V IO 电源进行隔离，与电容组成滤波电路。
- 主芯片的 DDRIO 的 CK 电源供电（管脚名为 VDDIO_DDR0/1_CK）必须使用磁珠 1k Ω @100MHz）和 VDDIO_DDR 电源进行隔离。
- 通过 1k Ω 电阻（精度 \pm 1%）分压为 DDR4（0.6V）颗粒的 Vref 供电。
- Hi3559CV100 主芯片的 Vref 电源集成到内部，外部无需做相应的设计。

DDR4 VREF 电源参考设计如图 1-14 所示。

图1-14 DDR4 电源分压网络参考设计



注意

DDR4 颗粒需要 2.5V 的供电电源 VPP，VPP 电源必须先于或同时与 1.2V VDD 电源上电，且无论什么时候 VPP 电源幅值必须大于等于 1.2V VDD 电源幅值。



1.2.3 IO 电源设计

- IO 电源（管脚名 DVDD33 和 DVDD18）：分别连接数字 3.3V 和 1.8V 电源。
- Hi3559CV100 的数字 IO 除了 SDIO0/SDIO1 支持 3.3V 电平外，其他 IO 仅支持 1.8V 电平。



注意

DVDD18 电源不要使用带轻载高效模式的 DC-DC 电源芯片，因为在单板上 DVDD18 给 AVDD18_PLL 等 PLL 电源供电，轻载高效模式会使输出电源纹波增大，影响 PLL 电源的稳定。

1.2.4 PLL 电源设计

Hi3559CV100 的 PLL 电源有 2 个，分别是：

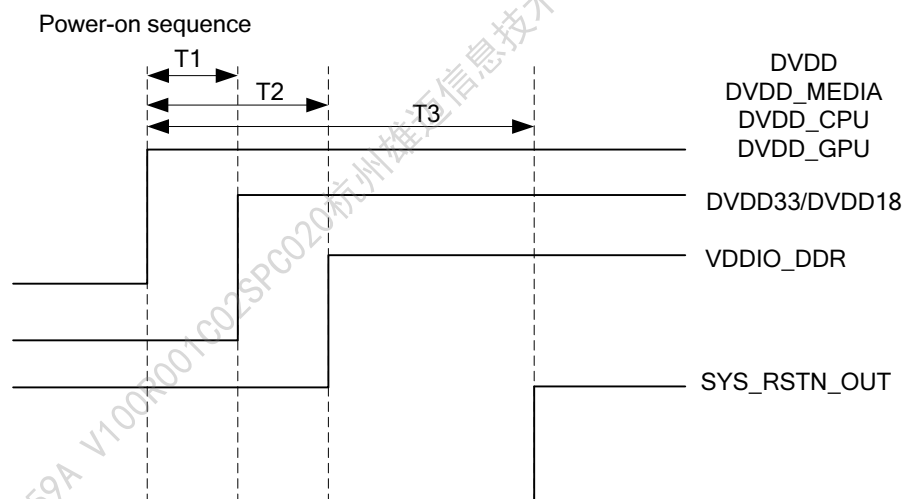
- AVDD08_PLL：设计上必须用磁珠（ $1k\Omega@100MHz$ ）对 DVDD 电源进行隔离，使用“ π 型”滤波电路进行供电。
- AVDD18_PLL：设计上必须用磁珠（ $1k\Omega@100MHz$ ）对 1.8V 电源进行隔离，使用“ π 型”滤波电路进行供电。

具体电路设计请参考 Hi3559CDMEB 板原理图。

1.2.5 上下电时序

Core 电源、DDR 电源和 IO 电源有上下电时序的要求，如图 1-15 到图 1-18 所示。

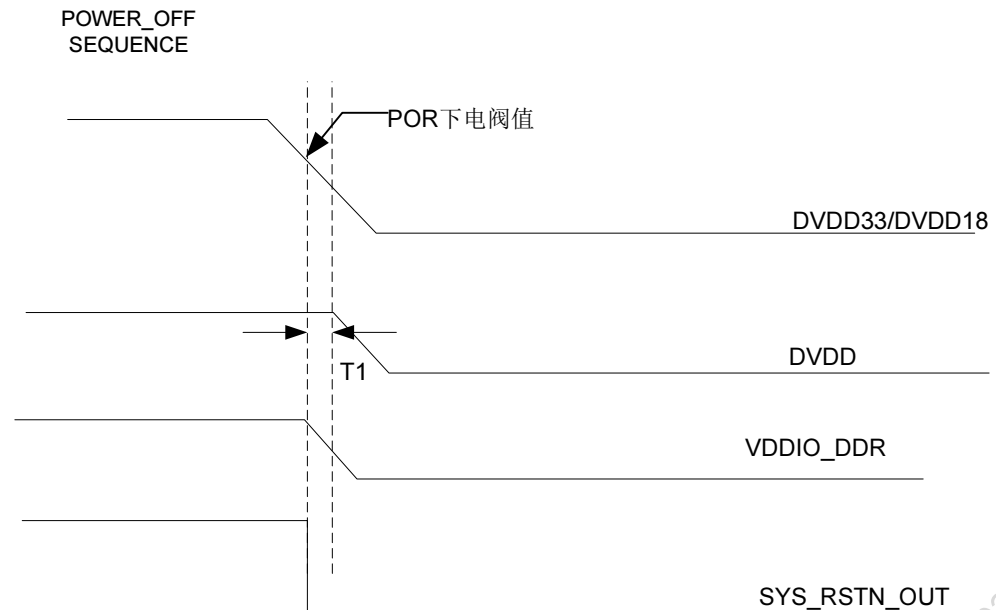
图1-15 内部复位上电时序图



其中， $0 < T1/T2 \leq 32ms$ ， $T3 > T1+T2$ ，四路 core 电源同时上电。

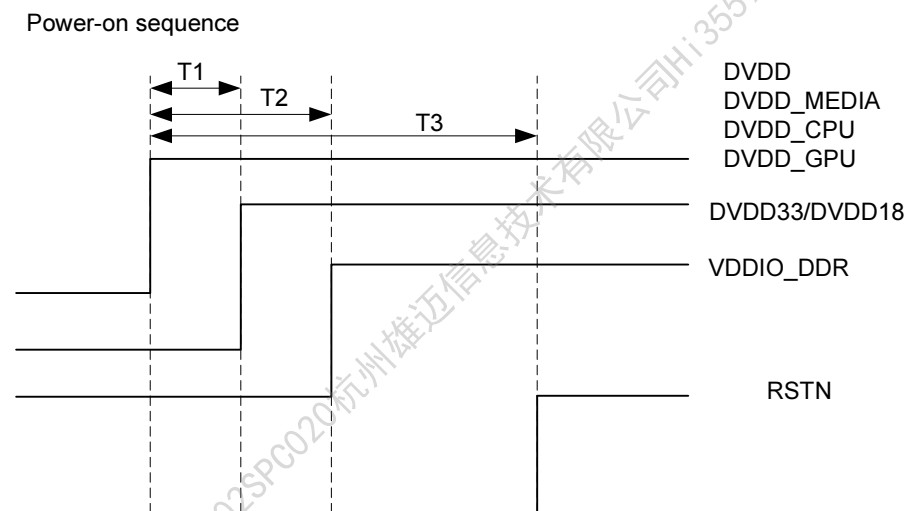


图1-16 内部复位下电时序图



其中， $T1 > 0$ 。下电时，3.3V/1.8V先下电，当1.8V电源电平下降到POR阈值1.4V时，触发POR复位，四路CORE电源才可以开始下电。

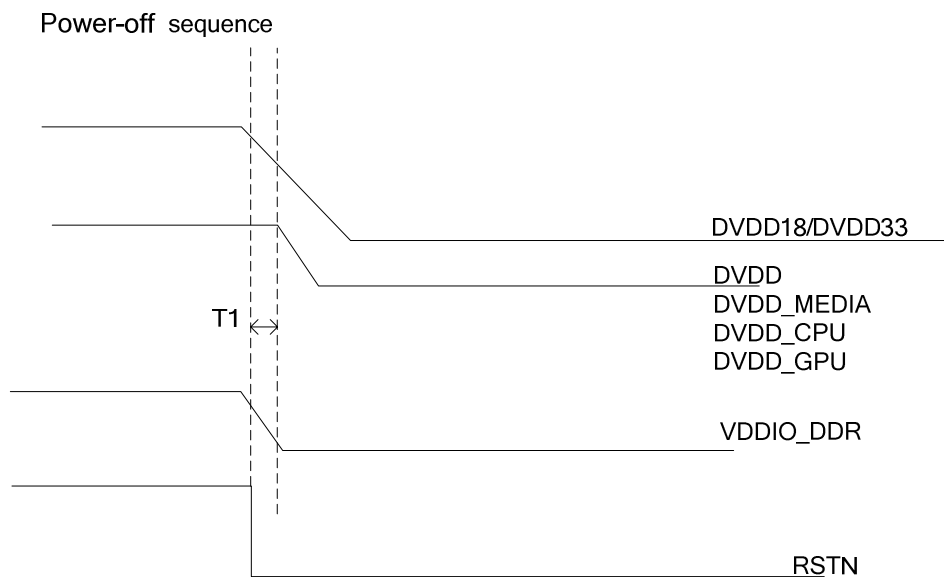
图1-17 外部复位上电时序图



其中， $0 < T1/T2 \leq 32\text{ms}$ ， $T3 > T1 + T2$ ，四路core电源同时上电。



图1-18 外部复位下电时序图



其中, $0\text{ms} < T1$ 。



注意

POR 模块监控 DVDD18 电源。

POR 的上电阈值是 1.4V, 下电阈值是 1.26V。下电时, POR 有三种工作状态:

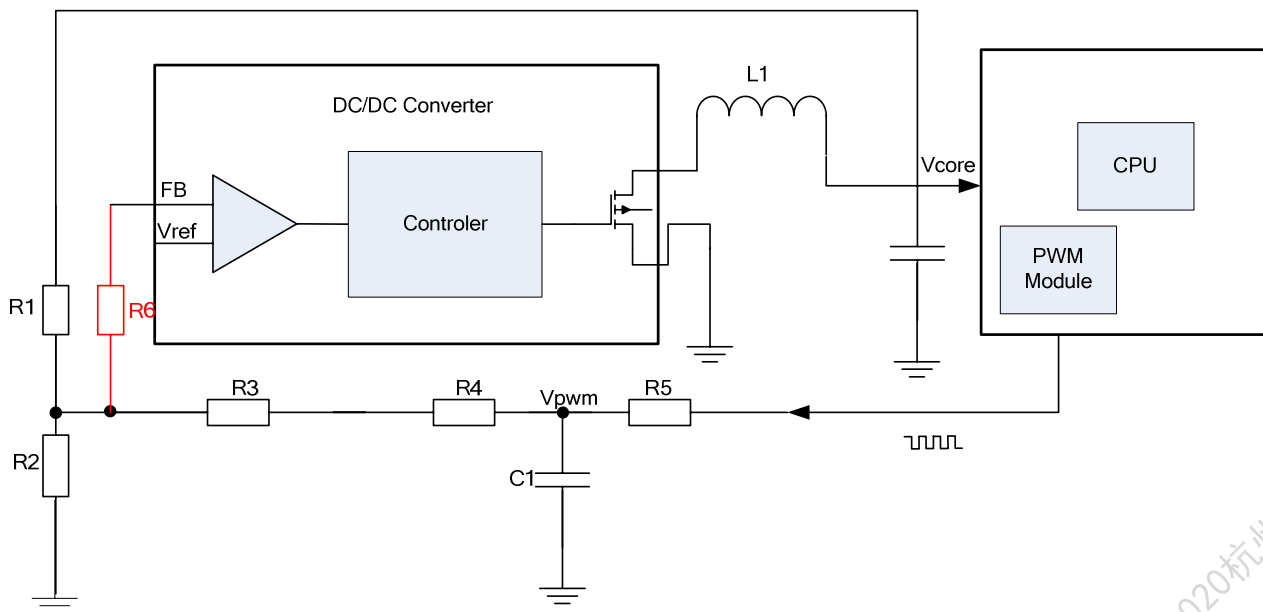
- DVDD18 的电压由 1.8V 下降至 1.4V。从此时开始计时, 如果在 5us 时刻, DVDD18 的电压大于 1.4V, POR 不触发复位, SYS_RSTN_OUT 管脚保持高电平。
- DVDD18 的电压由 1.8V 下降至 1.4V。从此时开始计时, 如果在 5us 时刻, DVDD18 的电压小于或等于 1.4V, 且大于 1.26V, 那么 POR 触发复位, SYS_RSTN_OUT 管脚输出低电平。
- DVDD18 的电压由 1.8V 下降至 1.4V。从此时开始计时, 如果在 5us 之内, DVDD18 的电压小于或等于 1.26V, POR 直接触发复位, SYS_RSTN_OUT 管脚输出低电平。

1.2.6 SVB 动态调压

Hi3559CV100 的 core 电源必须增加动态调压功能, 实现方式如下:

通过 Hi3559CV100 的 PWM 波形输出管脚 SVB_PWM0/1/2/3, 经过 RC 滤波后输出 0~1.8V 不同电压的直流电平, 该直流电平叠加到 DC-DC 的反馈电压输入处, 实现 DC-DC 输出电压的调节。调节 Hi3559CV100 相关的寄存器可以改变 PWM 的频率和占空比, 最终可以实现动态调节 DC-DC 的输出电压, 如图 1-19 所示。

图1-19 电源动态调压示意图



SVB 电路设计中，将 Hi3559CV100 SVB_PWM 管脚通过 SVB 电路连接至 CORE 电源 DC/DC 的 FB 管脚即可。设计中需注意事项如下：

- PWM0 用于控制 DVDD 电源的电压；
PWM1 用于控制 DVDD_GPU 电源的电压；
PWM2 用于控制 DVDD_MEDIA 电源的电压；
PWM3 用于控制 DVDD_CPU 电源的电压；
- DC-DC 的 FB 管脚前预留一个电阻 R6，用于调节 DC-DC 器件的环路稳定性；
通常 R6 的阻值可以按照下面的规则进行计算。该计算方法仅适用 MPS 的 DC/DC，其他方案 DC/DC，需客户与厂家确认。

$$R6 * (V_{out}/V_{ref}) + R1 = 200k$$

其中，Vout 是 DC/DC 输出的标称电压值，Vref 是 DC/DC 的参考电压值，R1 是 DC/DC FB 管脚的上分压电阻值。

等式右边的 200k 是一个经验值，当 DC/DC 输出电容容值大于 DC/DC 手册中的参考电容容值，那么这里可以改为 100k。

计算出来的 R6 是一个参考值，实际阻值可以在计算值左右波动，尽量接近即可。

- 要求选用 DC-DC 参考电压 Vref 小于 0.65V，DCDC 的 VEF 精度偏差不能超过 2%。
- 要求 DVDD18 电源偏差不能超过 2%。



注意

所有的电阻精度均要求 1%，电容材质必须为 X5R 或 X7R。

SVB 电路的参数配置必须保持与表 1-14，表 1-15 和表 1-16 一致。

表1-14 DVDD 和 DVDD_GPU SVB 调压 RC 参数

Vref(V)	R1(kohm)	R2(kohm)	R3(kohm)	R4(kohm)	R5(kohm)	C(uF)
0.45	33.2	36.5	100	75	1	2.2
0.6	12.7	33.2	39.2	27	1	2.2
0.608	15.4	43.2	56.2	24.3	1	2.2

表1-15 DVDD_MEDIA SVB 调压 RC 参数

Vref(V)	R1(kohm)	R2(kohm)	R3(kohm)	R4(kohm)	R5(kohm)	C(uF)
0.45	33.2	36.5	100	75	1	2.2
0.6	12.4	33.2	39.2	27	1	2.2
0.608	15.4	43.2	56.2	24.3	1	2.2

表1-16 DVDD_CPU SVB 调压 RC 参数

Vref(V)	R1(kohm)	R2(kohm)	R3(kohm)	R4(kohm)	R5(kohm)	C(uF)
0.45	11.3	10	22.1	19.6	1	2.2
0.6	12.7	24	19.6	27	1	2.2
0.608	13.3	26.1	36.5	12	1	2.2

1.3 外围接口设计建议

1.3.1 MAC 接口

MAC 接口设计

Hi3559CV100 的 MAC 支持 RGMII、RMII 模式，不支持 MII 模式。各模式的信号连接如图 1-20 和图 1-21 所示。



图1-20 Hi3559CV100 RGMII 模式下的信号连接示意图

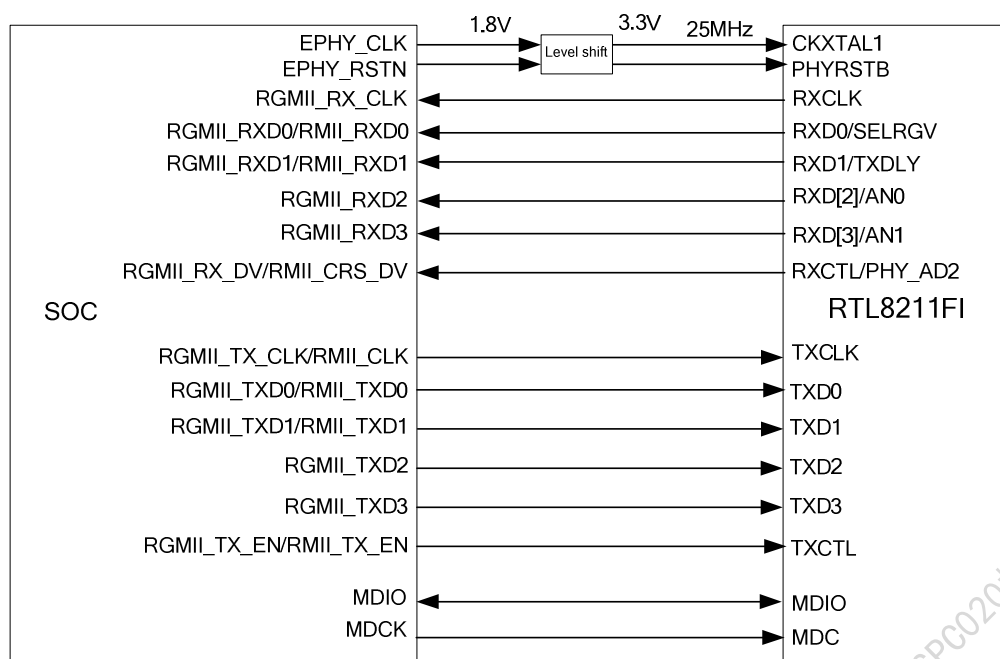
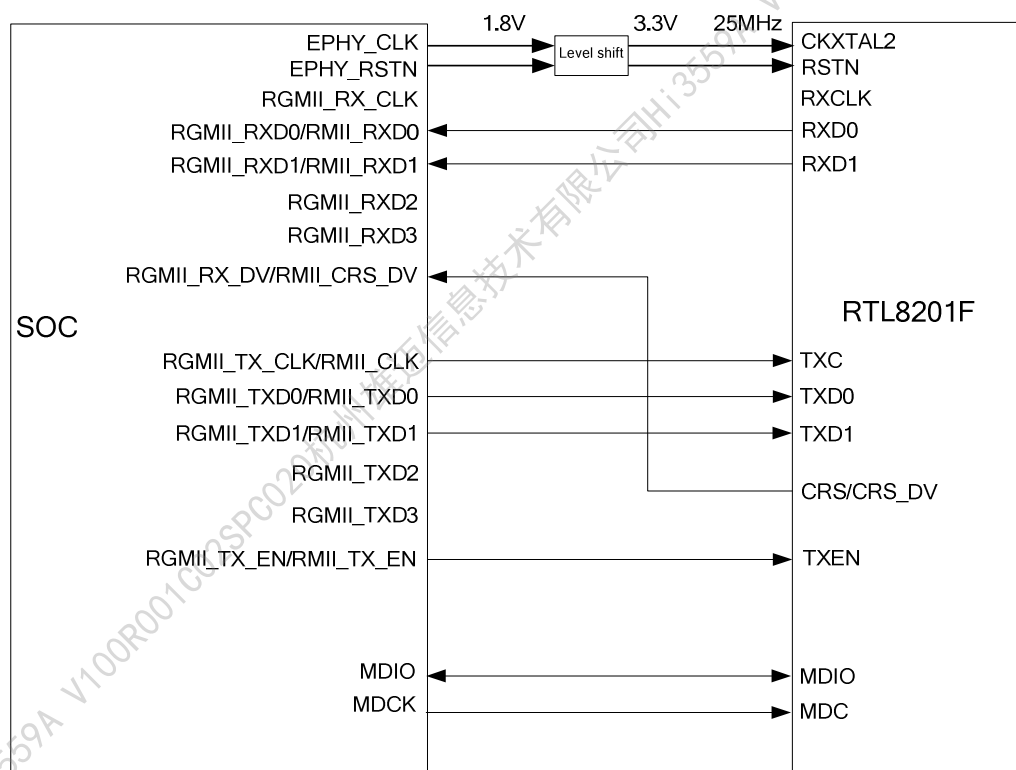


图1-21 Hi3559CV100 RMII 模式下的信号连接示意图





说明

RTL8211FI 的 TXD[2]、TXD[3]、TXER 管脚有内部弱下拉，外部可以悬空处理。Hi3559CV100 的 MAC 接口只支持 1.8V 电平，但由于 RTL8211FI 和 RTL8201F 的时钟输入管脚和复位管脚只支持 3.3V 电平，所以主芯片输出的 EPHY_CLK 和 EPHY_RSTN 信号需要经过电平转换到 3.3V 才能对接以上两种 PHY，如果用户使用其他 PHY 芯片，则需要查看 PHY 手册关于这两个管脚的电平要求，再做处理。

ETH MAC 信号设计要求如表 1-17 所示。

表1-17 ETH MAC 信号设计方法

信号	设计方法
RGMII_TX_CLK	信号在 Hi3559CV100 端串联 33Ω 电阻，电阻离 SOC 端 1inch 以内，走线长度不能超过 8inch。
RGMII_TXD[0:3] RGMII_TX_EN	信号在 Hi3559CV100 端串联 33Ω 电阻，电阻离 SOC 端 1inch 以内，走线长度不能超过 6inch。
RGMII_RX_CLK	建议在 ETH PHY 端串联 22Ω 电阻。
RGMII_RXD[0:3] RGMII_RX_DV	在 ETH PHY 端串联 22Ω 电阻。
MDCK	信号在 Hi3559CV100 端串联 33Ω 电阻，走线长度不能超过 8inch。
MDIO	MDIO 需要接 4.7kΩ 上拉电阻。
EPHY_CLK	信号在 Hi3559CV100 端串联 33Ω 电阻。

1.3.2 音视频接口

1.3.2.1 模拟音频接口设计

Hi3559CV100 提供 2 组双声道音频输入接口（AC_IN0L/R、AC_IN1L/R），1 组双声道输出接口（AC_OUTL/R）。

音频输入接口 AC_IN0L/R、AC_IN1L/R 支持差分输入。音频输出接口不支持差分输出。

- Audio 模块的模拟电源 AVDD18_AC 必须使用磁珠（要求直流阻抗小于 0.7Ω）与系统 1.8V 电源隔离。
- AC_VREF 引脚上的滤波电容 10uF+100nF 的低 ESR 陶瓷电容。
- Audio 模块的输入接口均可作为 LINEIN 或者 MIC_IN 的输入通道。如果输入设备为无源 MIC，则需要提供 MIC_BIAS 偏置电压。如果输入设备为有源 LINE 输出设备（例如：PC），则不需要。
- 音频输入信号上的隔直电容靠近 Hi3559CV100 放置，电容容值推荐选择 4.7uF。
- Hi3559CV100 提供了 2 个 MIC_BIAS 管脚，其中 AC_MICBIAS0 对应 AC_IN0L/R，AC_MICBIAS1 对应 AC_IN1L/R。

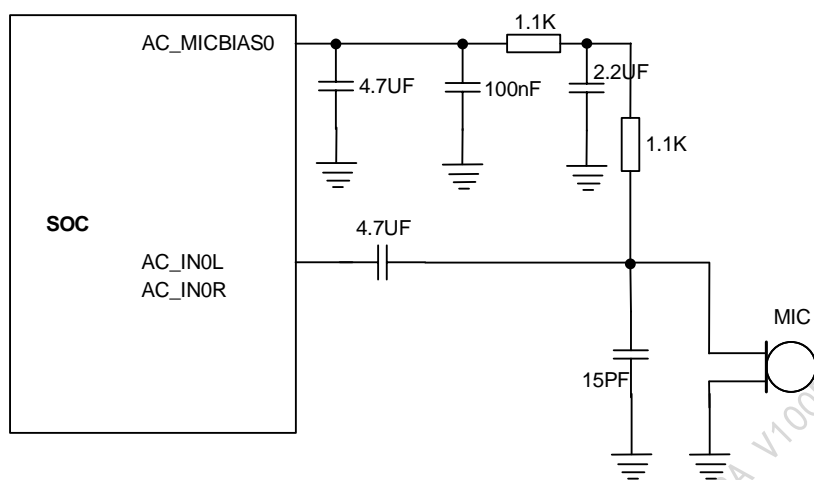


- AC_MICBIAS0/1 管脚处需要各放置一个 4.7uF 电容。
- 为获得较好的音频质量，建议在音频输出管脚 AC_OUTL 和 AC_OUTR 的外围增加音频放大器以及滤波电路。
- 音频输出信号线上须有 ESD 保护措施，加强接口的抗干扰能力。

MIC 单端输入电路设计

MIC 单端输入参考电路如图 1-22 所示。

图1-22 MIC 单端输入电路

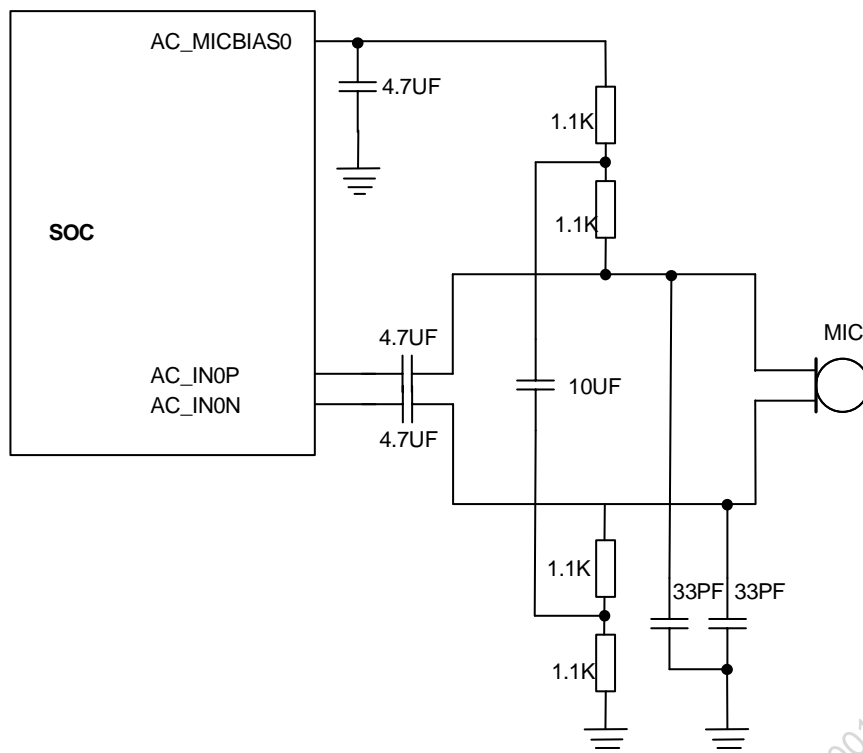


MIC 差分输入电路设计

MIC 差分输入参考电路如图 1-23 所示，图中使用的 MIC 为普通单端 MIC。



图1-23 MIC 差分输入电路



注意

Audio 模块容易受电源噪声和信号串扰影响，为了有效降低音频底噪，需要根据使用场景做以下处理：

1、场景一（单 MIC 或双 MIC）

- 推荐 MIC 输入电路采用差分设计，MIC 可选用普通单端 MIC；
- 若 MIC 输入电路采用单端设计，则需要按照场景二的方法处理。

2、场景二（三个 MIC 或四个 MIC）

- MIC 输入电路采用单端设计，这时候建议通过限制输入增益或关闭 ADC 增益 Boost 控制的方式来降低底噪，推荐把输入增益调节到 36db 以下，并关闭 ADC 增益 boost 控制；
- 如果对远距离拾音有要求，则可以打开 ADC 增益 boost 控制，并把输入增益调节到 27dB 以下，或适当选用灵敏度更高的 MIC 或选择外置 audio codec。

以上两种方法都需要对相应寄存器进行设置，具体寄存器描述请参考《Hi3559A/C V100 ultra-HD Mobile Camera SoC 用户指南》12.2.5 章节，寄存器调节方法请参考《Hi3559A/C V100 音频优化方案》。

双 MIC 接法说明

通过配置寄存器 AUDIO_ANA_CTRL_1 中的 LINEIN_R_SEL 和 LINEIN_L_SEL 实现双 MIC 不同接法。双 MIC 有如下组合。



- 双 MIC 均为单端输入
- 双 MIC 均为差分输入
- 双 MIC 一路单端，一路差分输入



说明

寄存器 **AUDIO_ANA_CTRL_1** 的描述请参考《Hi3559A/C V100 ultra-HD Mobile Camera SoC 用户指南》的 12.2.5 章节。

以双 MIC 均为单端输入举例说明，正确接法如图 1-24 到图 1-29 所示。

双 MIC 均为差分输入或者双 MIC 中一路是单端输入、另一路是差分输入的接法，请参考寄存器 **AUDIO_ANA_CTRL_1** 中的 **LINEIN_R_SEL** 和 **LINEIN_L_SEL** 的值，在硬件上选择对应的通道。

- 双 MIC 均为单端输入时的接法示意图，如图 1-24 到图 1-29。

图1-24 双 MIC 均为单端输入的接法 1

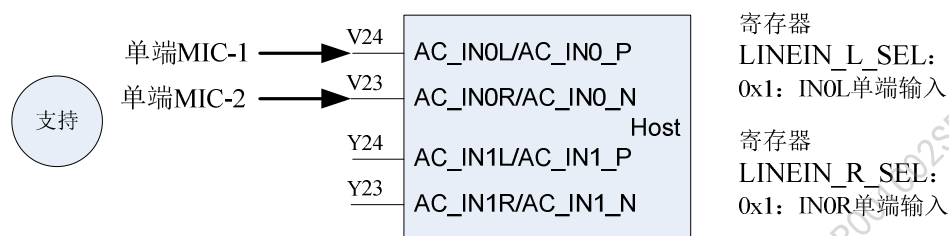


图1-25 双 MIC 均为单端输入的接法 2

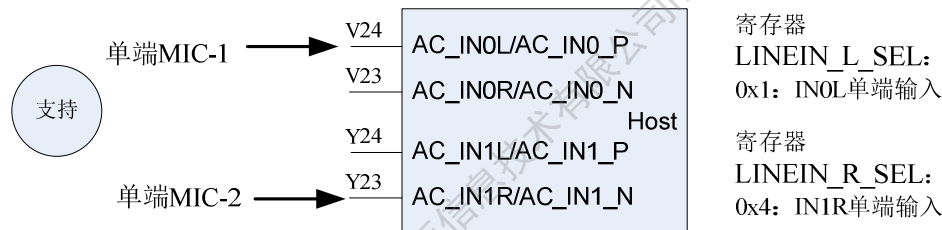


图1-26 双 MIC 均为单端输入的接法 3

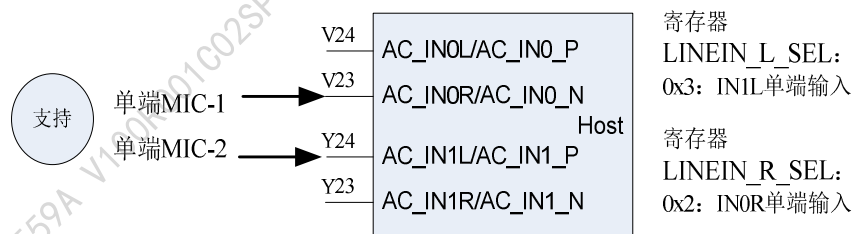




图1-27 双 MIC 均为单端输入的接法 4

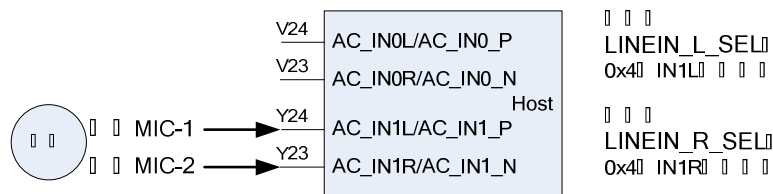


图1-28 双 MIC 均为单端输入的接法 5

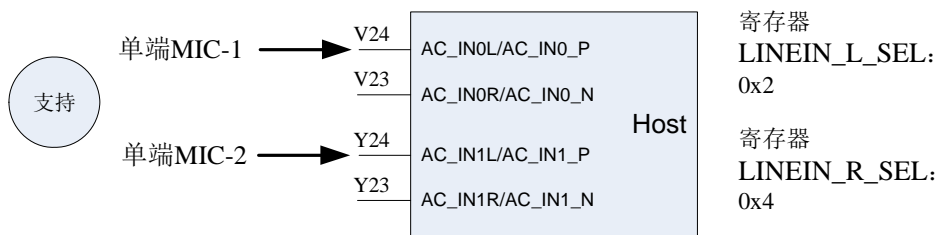
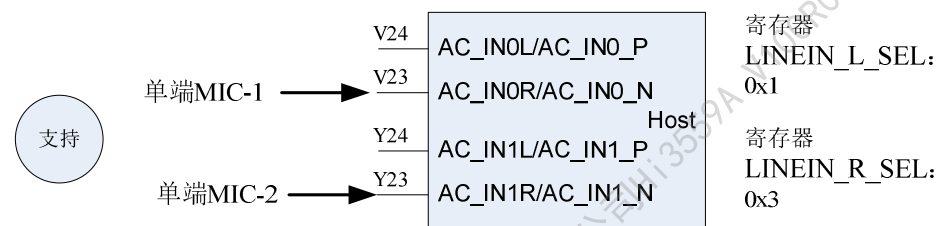


图1-29 双 MIC 均为单端输入的接法 6



1.3.2.2 I2S 接口

Hi3559CV100 支持 1 个 I2S 接口，这个 I2S 接口复用在 JTAG 上。图 1-30 和图 1-31 分别表示了“5 线模式” I2S 主模式和从模式的连接方式。



注意

- I2S 接口和模拟 Audio codec 不能同时使用。
- 建议优先选用主模式，如使用从模式，要求 bclk 满足 I2S 的规范，其次满足 setup/hold 时间的要求。

图1-30 “5 线模式” I2S 主模式连接方式

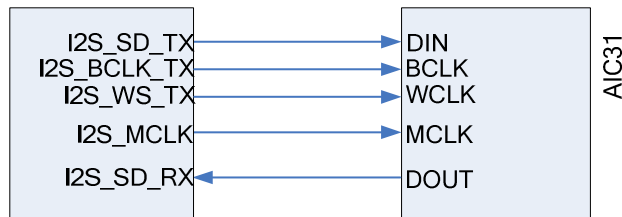
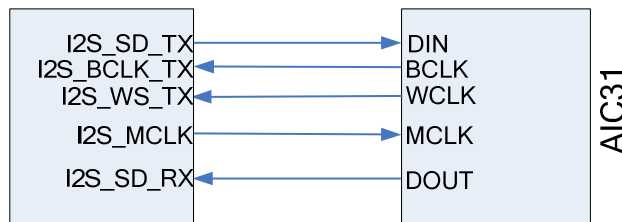


图1-31 “5 线模式” I2S 从模式连接方式



1.3.2.3 Sensor 配置接口设计

Hi3559CV100 支持多路 Sensor 接口，Sensor 的配置接口分别包含如下信号：

- SENSOR_RSTN0、SENSOR_CLK0_A、SENSOR_CLK0_B、SENSOR_HS0、SENSOR_VS0。
- SENSOR_RSTN1、SENSOR_CLK1_A、SENSOR_CLK1_B、SENSOR_HS1、SENSOR_VS1。
- SENSOR_RSTN2、SENSOR_CLK2_A、SENSOR_CLK2_B、SENSOR_HS2、SENSOR_VS2。
- SENSOR_RSTN3、SENSOR_CLK3_A、SENSOR_CLK3_B、SENSOR_HS3、SENSOR_VS3。
- SPI0/I2C0/I2C4、SPI1/I2C1/I2C5、SPI2/I2C2/I2C6、SPI3/I2C3/I2C7。

以 SENSOR0 接口为例，说明各个信号的用途。

- SENSOR0_RSTN，能通过配置寄存器输出复位信号，用于 Sensor0 的复位。



- SENSOR0_CLK，能提供各种主流 Sensor 的工作时钟，详细请见《Hi3559A/C V100 ultra-HD Mobile Camera SoC 用户指南》系统章节的 PERI_CRG69 寄存器的配置信息。在设计时，SENSOR0_CLK 需要在 Hi3559CV100 端串联 33Ω 电阻。
- SPI0/I2C0 用于 Sensor0 的配置：
 - 其中 I2C0_SCL 和 SPI0_SCLK 复用，I2C0_SDA 与 SPI0_SDO 复用。Sensor 配置接口还支持一种“3 Wire SPI Interface”，它也与 SPI0 用，用于对接部分的松下 Sensor。
 - 在设计时，I2C0 信号需要外接上拉电阻，推荐阻值为 2kΩ。
- SENSOR_HS0 和 SENSOR_VS0 输出行场同步信号，用于支持“从模式”的 Sensor。
- 为保证 ESD 性能，在 Sensor 板电路设计中，Sensor 复位信号需加入 1nF 对地电容。



注意

对接 IMX277 时，与 IMX277 连接的 SENSOR0_RSTN 外接 4.7K 电阻上拉到 1.8V。

在对接多个 Sensor 时，推荐以下接法，如图 1-32、图 1-33、图 1-34 和图 1-35 所示：

图1-32 两个相同的 sensor 配置接口接法

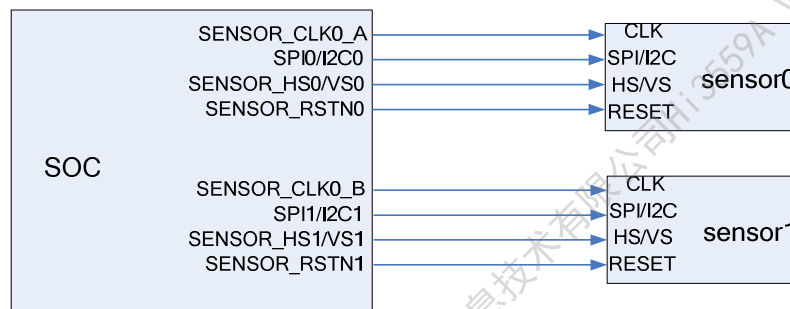




图1-33 四个相同的 sensor 配置接口接法

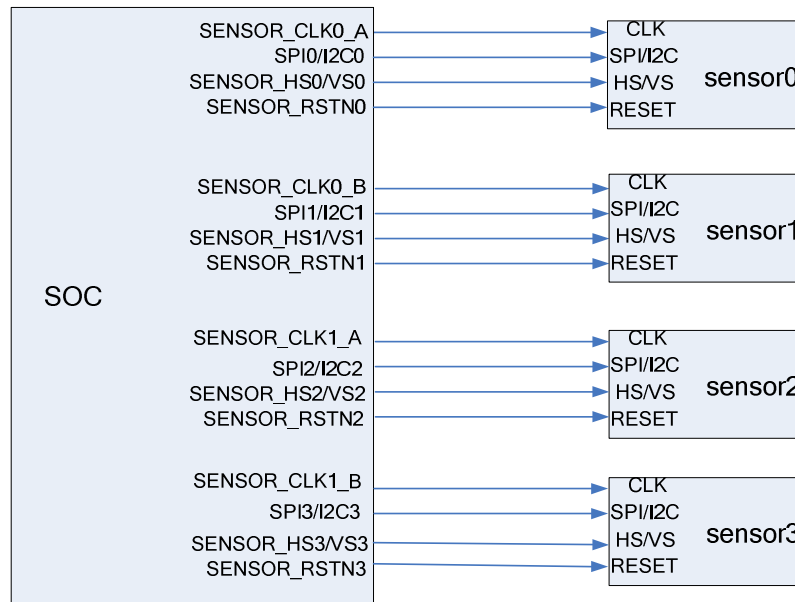


图1-34 六个相同的 sensor 配置接口接法

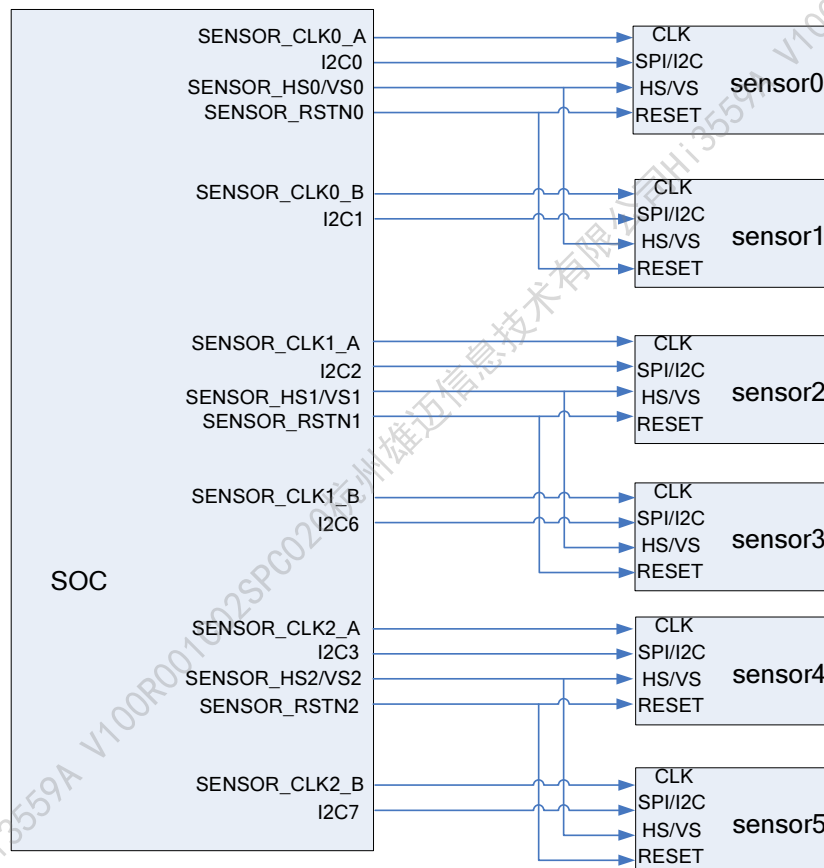
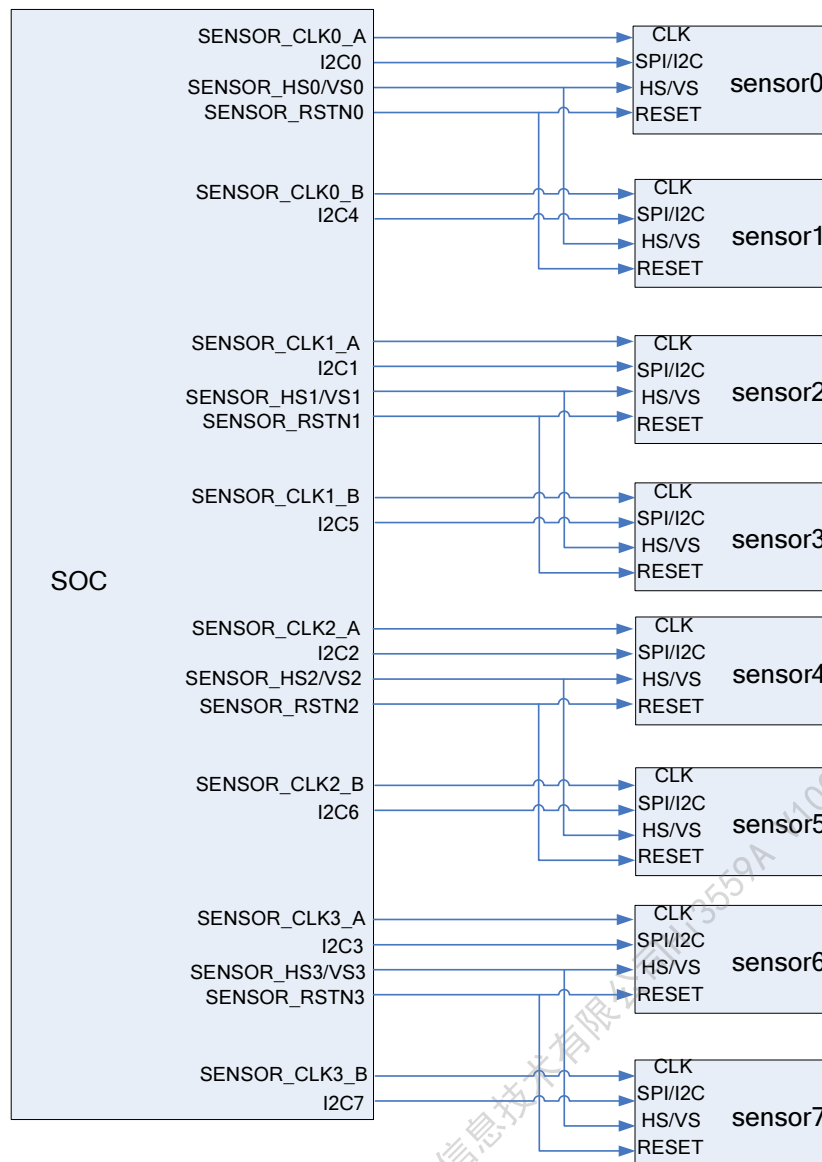




图1-35 八个相同的 sensor 配置接口接法



1.3.2.4 VI 接口设计

VI 可以复用为两种接口：Parallel CMOS 视频输入接口和差分视频输入接口（即 MIPI RX 接口）。

- Parallel CMOS 视频输入接口支持 RAW Data、BT.1120、BT.656、BT.601 格式的数据。接口频率可达 148.5MHz。
 - 当对接信号是 RAW DATA 时，单板设计时从 VI 低位开始按照顺序连接，例如 12bit RAW DATA 对接 VI 的 D0~D11 位。
 - 当对接信号是 BT.1120 时，单板设计时 Y 信号按顺序对接 VI 的高 8bit，C 信号按顺序对接 VI 的低 8bit。内同步和外同步方式均支持。



- 当对接信号是 BT.656 或者 BT.601 时，单板设计时从 VI 低位开始按照顺序连接。
- MIPI RX 的输入方式如表 1-18 所示。
- 差分视频输入接口有 8 组差分时钟信号，其中
 - MIPI_RX0_D0P/N、MIPI_RX0_D1P/N、MIPI_RX0_D2P/N、MIPI_RX0_D3P/N 四对差分数据参考 MIPI_RX0_CKP/N 差分时钟采样；
 - MIPI_RX1_D0P/N、MIPI_RX1_D1P/N、MIPI_RX1_D2P/N、MIPI_RX1_D3P/N 四对差分数据参考 MIPI_RX1_CKP/N 差分时钟采样；
 - MIPI_RX2_D0P/N、MIPI_RX2_D1P/N、MIPI_RX2_D2P/N、MIPI_RX2_D3P/N 四对差分数据参考 MIPI_RX2_CK0P/N 差分时钟采样；
 - MIPI_RX3_D0P/N、MIPI_RX3_D1P/N、MIPI_RX3_D2P/N、MIPI_RX3_D3P/N 四对差分数据参考 MIPI_RX3_CK0P/N 差分时钟采样；
 - MIPI_RX0_D0P/N，MIPI_RX0_D2P/N 两对差分数据参考 MIPI_RX0_CK0P/N 差分时钟采样；
 - MIPI_RX0_D1P/N，MIPI_RX0_D3P/N 两对差分数据参考 MIPI_RX0_CK1P/N 差分时钟采样；
 - MIPI_RX1_D0P/N，MIPI_RX1_D2P/N 两对差分数据参考 MIPI_RX1_CK0P/N 差分时钟采样；
 - MIPI_RX1_D1P/N，MIPI_RX1_D3P/N 两对差分数据参考 MIPI_RX1_CK1P/N 差分时钟采样；
 - MIPI_RX2_D0P/N，MIPI_RX2_D2P/N 两对差分数据参考 MIPI_RX2_CK0P/N 差分时钟采样；
 - MIPI_RX2_D1P/N，MIPI_RX2_D3P/N 两对差分数据参考 MIPI_RX2_CK1P/N 差分时钟采样；
 - MIPI_RX3_D0P/N，MIPI_RX3_D2P/N 两对差分数据参考 MIPI_RX3_CK0P/N 差分时钟采样；
 - MIPI_RX3_D1P/N，MIPI_RX3_D3P/N 两对差分数据参考 MIPI_RX3_CK1P/N 差分时钟采样；
 - 另外 MIPI_RX0_CKP/N 差分时钟也可以对应全部 16lane 数据进行采样。
- MIPI RX 接口内置了 100Ω 跨接匹配电阻，外部无需再设计或者预留。
- AVDD08_MIPIRX 电源管脚需要与数字电源 DVDD 用磁珠（要求直流阻抗小于 0.7Ω）隔离并在芯片管脚端放置 1uF+100nF 滤波电容。
- AVDD18_MIPIRX 电源管脚需要与数字电源 DVDD 用磁珠（要求直流阻抗小于 0.7Ω）隔离并在芯片管脚端放置 1uF+100nF 滤波电容。
- AVDD18_MIPITX 电源管脚需要与数字电源 1.8 用磁珠（要求直流阻抗小于 0.7Ω）隔离并在芯片管脚端放置 1uF+100nF 滤波电容。

表1-18 MIPI RX 输入方式

sensor 方案	MIPI0_D0/2	MIPI0_D1/3	MIPI1_D0/2	MIPI1_D1/3	MIPI2_D0/2	MIPI2_D1/3	MIPI3_D0/2	MIPI3_D1/3
16Lane	Sensor0							



sensor 方案	MIPI0_D0/2	MIPI0_D1/3	MIPI1_D0/2	MIPI1_D1/3	MIPI2_D0/2	MIPI2_D1/3	MIPI3_D0/2	MIPI3_D1/3
(12+4)Lane	Sensor0						Sensor1	
(12+2+2)Lane	Sensor0						Sensor1	Sensor2
(8+8)Lane	Sensor0				Sensor1			
(8+4+4)Lane	Sensor0				Sensor1		Sensor2	
(8+4+2+2)Lane	Sensor0				Sensor1		Sensor2	Sensor3
(8+2+2+2+2)Lane	Sensor0				Sensor1	Sensor2	Sensor3	Sensor4
(4+4+4+4)Lane	Sensor0		Sensor1		Sensor2		Sensor3	
(4+4+4+2+2)Lane	Sensor0		Sensor1		Sensor2		Sensor3	Sensor4
(4+4+2+2+2+2)Lane	Sensor0		Sensor1		Sensor2	Sensor3	Sensor4	Sensor5
(4+2+2+2+2+2+2)Lane	Sensor0		Sensor1	Sensor2	Sensor3	Sensor4	Sensor5	Sensor6
(2+2+2+2+2+2+2+2)Lane	Sensor0	Sensor1	Sensor2	Sensor3	Sensor4	Sensor5	Sensor6	Sensor7

表1-19 MIPI RX 接口设计注意事项

Sensor 数据格式	MIPI RX 信号连接方式
Clock: 1 对 Data: 4 对及 4 对以下	Sensor 的时钟信号必须连接至 Hi3559CV100 的 MIPI_RX0_CK0。 Sensor 数据信号必须按顺序连接至 Hi3559CV100 的 MIPI_RX_D0/1/2/3。
Clock: 1 对 Data: 大于 4 对	Sensor 的时钟信号必须连接至 Hi3559CV100 的 MIPI_RX0_CK0。 Sensor 数据信号必须按顺序连接至 Hi3559CV100 的 MIPI_RX0_D0/1/2/3、MIPI_RX1_D0/1/2/3、MIPI_RX2_D0/1/2/3 和 MIPI_RX3_D0/1/2/3。
其他	Sensor 的时钟信号必须按顺序连接至 Hi3559CV100 的 MIPI_RX0_CK、MIPI_RX1_CK、MIPI_RX2_CK0 和 MIPI_RX3_CK0。 Sensor 的数据信号必须按顺序连接至 Hi3559CV100 的 MIPI_RX0_D0/1/2/3、MIPI_RX1_D0/1/2/3、MIPI_RX2_D0/1/2/3 和 MIPI_RX3_D0/1/2/3。 MIPI_RX0_D0/1/2/3 通过 MIPI_RX0_CK0 进行采样。



Sensor 数据格式	MIPI RX 信号连接方式
	<p>MIPI_RX1_D0/1/2/3 通过 MIPI_RX1_CK0 进行采样。</p> <p>MIPI_RX2_D0/1/2/3 通过 MIPI_RX2_CK0 进行采样。</p> <p>MIPI_RX3_D0/1/2/3 通过 MIPI_RX3_CK0 进行采样。</p> <p>MIPI_RX0、MIPI_RX1、MIPI_RX2 和 MIPI_RX3 还可以分别拆分为两组 2lane 模式：</p> <p>MIPI_RX0_D0/2 通过 MIPI_RX0_CK0 进行采样。</p> <p>MIPI_RX0_D1/3 通过 MIPI_RX0_CK1 进行采样。</p> <p>MIPI_RX1_D0/2 通过 MIPI_RX1_CK0 进行采样。</p> <p>MIPI_RX1_D1/3 通过 MIPI_RX1_CK1 进行采样。</p> <p>MIPI_RX2_D0/2 通过 MIPI_RX2_CK0 进行采样。</p> <p>MIPI_RX2_D1/3 通过 MIPI_RX2_CK1 进行采样。</p> <p>MIPI_RX3_D0/2 通过 MIPI_RX3_CK0 进行采样。</p> <p>MIPI_RX3_D1/3 通过 MIPI_RX3_CK1 进行采样。</p>



注意

- Hi3559CV100 的 VI 场景应用比较复杂，尤其是多路 sensor 对接的应用，用户可参考《Hi3559A/C V100 Sensor 输入接口电平场景详细说明》以获得更清晰的理解。
- 对接 SLVS-EC 接口模式的 sensor 时，因为 SLVS-EC 的 PHY 的参考时钟需要和 sensor 的参考时钟同频，所以 sensor 的参考时钟必须由 Hi3559CV100 提供。

1.3.2.5 并行 VO 接口设计

Hi3559CV100 的 VO (Vedio ouput) 接口支持 BT.656、BT.1120 和 RGB 输出。

其中 RGB 输出用于 LCD 屏的对接，支持 6/8bit 串行 RGB 和 16bit, 24BIT 并行 RGB。详细如表 1-20 所示。

表1-20 信号接口模式与引脚对应关系

信号接口模式	引脚对应关系
BT.1120	<p>Y (亮度): VO1120_DATA[15:8]</p> <p>C (色度): VO1120_DATA [7:0]</p> <p>CLOCK: VOU1120_CLK</p>
BT.656	<p>DATA: VO1120_DATA [7:0]</p> <p>CLOCK: VOU1120_CLK</p>



信号接口模式	引脚对应关系
6 bit Serial RGB	DATA: LCD_DATA [7:2] CLOCK: LCD_CLK HSYNC: LCD_HSYNC VSYNC: LCD_VSYNC DE: LCD_DE
8 bit Serial RGB	LCD_DATA [7:0] CLOCK: LCD_CLK HSYNC: LCD_HSYNC VSYNC: LCD_VSYNC DE: LCD_DE
16 bit Parallel RGB (RGB565)	R[4:0]: LCD_DATA [23:19] G[5:0]: LCD_DATA [15:10] B[4:0]: LCD_DATA [7:3] HSYNC: LCD_HSYNC VSYNC: LCD_VSYNC DE: LCD_DE
24 bit Parallel RGB (RGB888)	R[7:0]: LCD_DATA [23:16] G[7:0]: LCD_DATA [15:8] B[7:0]: LCD_DATA [7:0] HSYNC: LCD_HSYNC VSYNC: LCD_VSYNC DE: LCD_DE

并行 VO 信号设计方法，如表 1-21 所示。

表1-21 并行 VO 信号设计要求

信号	设计方法
VO1120_CLK LCD_CLK	在 Hi3559CV100 端串联 22Ω 电阻，走线长度控制在 8INCH 以内。
VO1120_DATA/LCD_DATA	直连，走线长度控制在 4INCH 以内； 串联电阻（阻值推荐 22Ω）走线长度控制在 8INCH。



信号	设计方法
LCD_VSYNC、 LCD_HSYNC	直连，走线长度控制在 4INCH 以内； 串联电阻（阻值推荐 22Ω）走线长度控制在 8INCH。

1.3.2.6 HDMI 接口设计

Hi3559CV100 内置了一个 HDMI PHY。

- HDMI 接口的模拟电源 AVDD08_HDMITX，需要与数字电源 DVDD 通过磁珠（要求直流阻抗小于等于 0.25 Ω）隔离并在靠近芯片管脚端放置 1uF 和 10nF 滤波电容；
- HDMI 接口的模拟电源 AVDD18_HDMITX，需要与数字电源 1.8V 通过磁珠隔离并在靠近芯片管脚端放置 1uF 和 10nF 滤波电容；
- AVDDDRV_HDMITX 电源管脚需要通过 10kΩ 电阻接到电源 3.3V，靠近芯片管脚端放置 1uF 和 10nF 滤波电容；
- AVDDDRV_HDMITX 管脚需要通过二极管（建议压降不大于 0.3V）接到 3.3V，靠近芯片管脚端放置 1uF 和 10nF 滤波电容；
- HDMI 信号上要有 ESD 保护，ESD 器件靠近 HDMI 连接器放置，ESD 器件寄生电容小于 0.3pF；
- HDMI_REXT 管脚需要外接 12kΩ，精度±1%的电阻到地；
- 详细的原理图设计请参考 Hi3559CDMEB 原理图设计文件。

1.3.2.7 MIPI TX 接口设计

Hi3559CV100 内置了一个 MIPI TX PHY，用于对接 MIPI 接口的 LCD 屏。

- AVDD18_MIPITX 电源管脚需要与数字电源 1.8V 用磁珠隔离并在芯片管脚端放置 1uF 滤波电容。
- DSI_D0P/N、DSI_D1P/N、DSI_D2P/N 和 DSI_D3P/N 四对差分数据参考差分时钟 DSI_CKPN 采样。
- 详细的原理图设计请参考 Hi3559CDMEB 原理图设计文件。

1.3.3 SPI 和 I2C 接口

- Hi3559CV100 有 8 组 SPI 接口，其中 3 组在 Sensor Hub 模块内，SPI0~SPI3 用于 Sensor 配置。SPI4 用于控制外设。
- Hi3559CV100 有 20 组 I2C 接口，其中 8 组在 Sensor Hub 模块内，I2C0~I2C7 用于 Sensor 配置，它们与 SPI0~SPI3 接口复用，具体复用关系请查看《Hi3559CV100_PINOUT_CN》。
- I2C11 用于控制外设，该 IO 类型为 OD，耐 3.3V 电压，可以使用电阻（推荐 2kΩ）上拉到 3.3V，支持和 3.3V 的器件对接。
- I2C 信号需要外接 2kΩ 上拉电阻。



1.3.4 SDIO 设计

Hi3559CV100 有 3 个 SDIO 接口。

其中 SDIO0 支持对接 SDXC 卡，向下兼容 SDHC 卡，支持 3.3V/1.8V 电平；

SDIO1 支持对接 SDXC 卡，向下兼容 SDHC 卡，接口电平只支持 3.3V；

SDIO2 支持对接 SDIO 接口 WIFI，接口电平只支持 1.8V。

SDIO0_CARD_DETECT 和 SDIO0_CARD_POWER_EN 只支持 3.3V 电平。

DVDD18_LDO_DECAP_1、DVDD18_LDO_DECAP_2 和 DVDD18_LDO_DECAP_3 管脚需要分别接 1 个 1uF 电容到地。

SDIO0/1 管脚不支持防倒灌功能，SDIO2 管脚支持防倒灌功能。如果需要防倒灌功能生效，不能用外部上拉电阻，否则会在待机时产生漏电。

SDIO 信号设计要求如表 1-22 所示。

表1-22 SDIO 信号设计要求

信号	设计方法
DVDD3318_SDIO_VOUT	<ul style="list-style-type: none">在 SOC 端接 2 个 4.7uF 电容或者 1 个 10uF 的电容到地。
SDIO0_CCLK_OUT	<ul style="list-style-type: none">在 SOC 端串联 33Ω 电阻，距离源端小于 0.6inch。走线长度不能超过 4inch。
SDIO0_CDATA[0:3] SDIO0_CMD	<ul style="list-style-type: none">在 SOC 端串联 33Ω 电阻，距离源端小于 1inch。走线长度不能超过 4inch，建议接 47K 上拉电阻。
SDIO0_CARD_DETECT	<ul style="list-style-type: none">在对接 SD 卡时，SDIO0_CARD_DETECT 信号必须外接上拉电阻，阻值推荐 4.7kΩ。
SDIO1_CCLK_OUT	<ul style="list-style-type: none">在 SOC 端串联 33Ω 电阻。走线长度不能超过 4inch。
SDIO1_CDATA[0:3] SDIO1_CMD	<ul style="list-style-type: none">直连。走线长度不能超过 4inch，建议接 47K 上拉电阻。
SDIO1_CARD_DETECT	<ul style="list-style-type: none">在对接 SD 卡时，SDIO1_CARD_DETECT 信号必须外接上拉电阻，阻值推荐 4.7kΩ。
SDIO2_CCLK_OUT	<ul style="list-style-type: none">在 SOC 端串联 33Ω 电阻，距离源端小于 0.6inch。走线长度不能超过 4inch。不能用于对接 SD 卡。



信号	设计方法
SDIO2_CDATA[0:3] SDIO2_CMD	<ul style="list-style-type: none">在 SOC 端串联 33Ω 电阻，距离源端小于 0.5inch。走线长度不能超过 4inch，建议接 47K 上拉电阻。不能用于对接 SD 卡。

1.3.5 USB2.0、USB3.0 和 PCIE 接口

1.3.5.1 USB2.0

Hi3559CV100 提供 2 个 USB2.0 接口，支持 Host 或者 Device，不支持 OTG。

- AVDD33_0_USB 与 AVDDH33_0_USB 合并，使用 1 个磁珠（要求直流阻抗小于 0.7Ω ）与系统 3.3V 电源隔离，靠近管脚放置一个 1uF 电容。
- AVDD33_1_USB 与 AVDDH33_1_USB 合并，使用 1 个磁珠（要求直流阻抗小于 0.7Ω ）与系统 3.3V 电源隔离，靠近管脚放置一个 1uF 电容。
- DVDD_0_USB 与 DVDD_1_USB 合并，使用 1 个磁珠与 DVDD 电源隔离，靠近管脚放置 1 个 1uF 电容。
- USB_ID0/1 为测试管脚，可以悬空。
- USB_VBUS0/1 通过 $30k\Omega$ 电阻上拉到 USB 接口的 5V_VBUS 上。
- USB_REXT0/1 需对地外接一个 200Ω 的电阻，精度 1%。
- USB2.0 信号上要有 ESD 保护措施，ESD 器件的寄生电容要求小于 1pF，ESD 器件靠近 USB 接口放置。

1.3.5.2 USB3.0 和 PCIE 接口

Hi3559CV100 提供 1 个 PCIE 接口，2 个 USB3.0 接口，这 2 种接口是复用的，可以通过 PCIE_USB3_MODE[1:0] 管脚配置成 PCIE X2 模式、PCIE X1+USB3 P1 或 USB3 P0+USB3 P1 模式。



注意

PCIE X1 模式只能使用 port0。

- 若复用成 PCIe X2，PCIE_REFCLK_SEL 建议上拉，选择使用外部器件给主芯片提供时钟。
- 若复用成 PCIe X1 + USB3 P1，PCIE_REFCLK_SEL 建议上拉，选择使用外部器件给主芯片提供时钟。
- 若复用成 USB3 P0 + USB3 P1，PCIE_REFCLK_SEL 必须下拉，选择使用内部时钟。
- 如果不使用 PCIe/USB3.0，但是需要使用 USB2.0，PCIE_REFCLK_SEL 必须下拉，选择使用内部时钟。



- AVDD08_USB_PCIE0, AVDD08_USB_PCIE 1 合并供电, 使用 1 个磁珠 (要求直流阻抗小于 0.7Ω) 与系统 DVDD 电源隔离, 靠近管脚放置 1 个 $1\mu\text{F}$ 电容。
- AVDD18_USB_PCIE0, AVDD18_USB_PCIE 1 合并供电, 使用 1 个磁珠与系统 1.8V 电源隔离, 靠近管脚放置 1 个 $1\mu\text{F}$ 电容。
- PCIE 支持 W/L1 sub-state 的协议, 也就是支持一个 PCIE_CLK_REQ_N 作为输入输出双向管脚, 用于达到降低功耗的目的。这个管脚的功能如下:
 - 如果 PCIE 模块 (无论主从设备) 处于 “空闲” 状态, PCIE_CLK_REQ_N 就会置为 “高电平”。如果 PCIE 模块处于 “工作” 状态, PCIE_CLK_REQ_N 就会置为 “低电平”。
 - 芯片内部逻辑也会通过 PCIE_CLE_REQ_N 管脚不停的检测电平状态, 当主设备和从设备同时都处于 “空闲” 状态时, PCIE_CLE_REQ_N 就会变为 “高” 电平, 主设备关闭 REF_CLK, 主、从设备同时进入 “低功耗” 模式。
 - PCIE_CLK_REQ_N 是 OD 管脚, 需要外接 1 个 $4.7\text{k}\Omega$ 上拉电阻到 3.3V。
- USB3.0 信号上要有 ESD 保护措施, ESD 器件的寄生电容要求小于 0.5pF , ESD 器件靠近 USB 接口放置。
- USB3.0 和 PCIE 信号设计要求如表 1-23 所示。

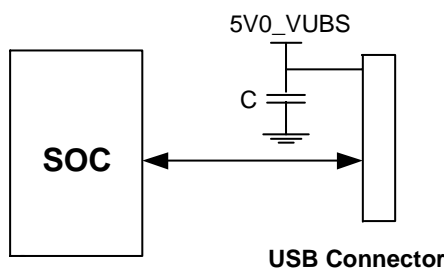
表1-23 USB3.0 和 PCIE 信号设计要求

信号	设计方法
USB3_RXP/M	<p>如果对接器件是 IC 或模组, 那么 RX 差分信号需要在对接器件端串联 100nF 电容。</p> <p>如果对接器件是插座, 那么 RX 差分信号直接连接至插座, 无需串联电容。</p>
USB3_TXP/M	<p>如果对接器件是 IC 或模组, 那么 TX 差分信号需要在 Hi3559CV100 端串联 100nF 电容。</p> <p>如果对接器件是插座, 那么 TX 差分信号需要在靠近插座的位置串联 100nF 电容。</p>
PCIE_RXP/M	<p>如果对接器件是 IC, 那么 RX 差分信号必须在对接器件端串联 100nF 电容。</p> <p>如果对接器件是 PCIE 插槽, 那么 RX 差分信号直接连接至插槽管脚上, 无需串联电容。</p>
PCIE_TXP/M	TX 差分信号必须在 Hi3559CV100 端串联 100nF 电容进行 AC 耦合。
PCIE_REFCLKP/M	<p>Hi3559CV100 支持 2 种时钟方案:</p> <p>(1) Hi3559CV100 给对接器件提供时钟。PCIE 差分时钟信号在 Hi3559CV100 端必须加 49.9Ω 下拉电阻。</p> <p>(2) 外部器件给 Hi3559CV100 提供时钟。PCIE 差分时钟信号在外部器件源端必须加 49.9Ω 下拉电阻。时钟偏差约束 $\pm 300\text{ppm}$。</p>



1.3.5.3 USB Host/Device 电源注意事项

图1-36 USB 电源



- Host only 时，电容 C 的容值 120uF 或者以上。
- Device only 时，电容 C 的容值 10uF 或者以下。
- Host/Device 时，电容 C 的容值 120uF 或以上。

1.3.6 ADC

Hi3559CV100 支持 4 路模拟信号输入，进行 AD 转换，其中 2 路位于 Sensor Hub 模块。这 4 个管脚均可复用为 GPIO 信号。

1.3.7 RTC

内置 RTC 在固定分频模式，计时精度主要取决于外置晶体，请综合考虑晶体频率误差、温度漂移等因素，选择合适的晶体；对计时精度要求较严格的产品，建议选择外置高精度集成 RTC。



注意

- RTC_XIN 为 RTC 时钟输入管脚。
- AVDD18_RTC_PMC 掉电后，AVDD_BAT_RTC 必须保持供电，否则时间会被清零。

1.3.8 PWM

Hi3559CV100 有 8 个 PWM 位于 Sensor Hub 模块；SOC 的 SVB_PWM0, SVB_PWM1, SVB_PWM2 和 SVB_PWM3 只能作为 4 路 core 电源调压信号，PWM_OUT0/1 用于对接外设。

- SVB_PWM0: 控制 DVDD 电源电压；
- SVB_PWM1: 控制 DVDD_GPU 电源电压；



- SVB_PWM2: 控制 DVDD_MEDIA 电源电压;
- SVB_PWM3: 控制 DVDD_CPU 电源电压。

所有 PWM 接口不使用时均可复用为 GPIO 使用。

1.3.9 UART

Hi3559CV100 支持 12 个 Uart 接口, 其中 7 个 UART 位于 Sensor Hub 模块, UART0、UART2 和 UART4 是 2 线串口, UART1 和 UART3 是 4 线串口。

- UART0 用于系统调试, UART2 与 UART1_CTSN、UART1_RTSEN 复用, UART4 与 UART3_CTSN、UART3_RTSEN 复用, 用于通信串口。
- UART0 可复用为 CANBUS0, UART1 可复用为 CANBUS1, 用于 CAN 通信。

1.4 特殊管脚说明

1.4.1 具有防倒灌功能的管脚

Hi3559CV100 防倒灌功能的管脚, 如表 1-24 所示。

表1-24 Hi3559CV100 防倒灌功能的管脚

管脚名		
EPHY0_CLK	RGMII0_TXD3	GPIO0_2
EPHY0_RSTN	RGMII0_TXEN	GPIO0_3
FLASH_TRIG	SENSOR_CLK0_A	GPIO16_7
GPIO0_0	SENSOR_CLK0_B	HDMI_CEC
GPIO0_1	SENSOR_CLK1_A	HDMI_HOTPLUG
HDMI_SCL	SENSOR_HS0	SFC_MOSI_IO0
HDMI_SDA	SENSOR_HS1	SFC_WP_IO2
I2C11_SCL	SENSOR_HS2	SHUB_I2C0_SCL
I2C11_SDA	SENSOR_HS3	SHUB_I2C0_SDA
JTAG_EN	SENSOR_RSTN0	SHUB_I2C1_SCL
JTAG_TCK	SENSOR_RSTN1	SHUB_I2C1_SDA
JTAG_TDI	SENSOR_RSTN2	SHUB_LSADC1_CH0
JTAG_TDO	SENSOR_RSTN3	SHUB_LSADC1_CH1
JTAG_TMS	SENSOR_VS0	SHUB_PWM_OUT0
JTAG_TRSTN	SENSOR_VS1	SHUB_PWM_OUT1
LSADC_CH0	SENSOR_VS2	SHUB_PWM_OUT2



管脚名		
LSADC_CH1	SENSOR_VS3	SHUB_PWM_OUT3
MDCK0	SENSOR_VSOUT0	SHUB_PWM_OUT4
MDIO0	SENSOR_VSOUT1	SHUB_PWM_OUT5
PWM_OUT0	SENSOR_VSOUT2	SHUB_PWM_OUT6
PWM_OUT1	SENSOR_VSOUT3	SHUB_PWM_OUT7
RGMII0_RXCK	SFC_CLK	SHUB_SPI0_CSN
RGMII0_RXD0	SFC_CS0N	SHUB_SPI0_SCLK
RGMII0_RXD1	SFC_CS1N	SHUB_SPI0_SDI
RGMII0_RXD2	SFC_HOLD_IO3	SHUB_SPI0_SDO
RGMII0_RXD3	SFC_MISO_IO1	SHUB_SPI1_CSN
RGMII0_RXDV	SHUB_UART1_TXD	SHUB_SPI1_SCLK
RGMII0_TXCKOUT	SHUB_UART2_CTSN	SHUB_SPI1_SDI
RGMII0_TXD0	SHUB_UART2_RTSN	SHUB_SPI1_SDO
RGMII0_TXD1	SHUB_UART2_RXD	SHUB_UART1_RTSN
RGMII0_TXD2	SHUB_UART2_TXD	SHUB_UART1_RXD
SENSOR_CLK1_B	SHUB_UART0_CTSN	SHUTTER_TRIG
SENSOR_CLK2_A	SHUB_UART0_RTSN	SPI0_CSN0
SENSOR_CLK2_B	SHUB_UART0_RXD	SPI0_CSN1
SENSOR_CLK3_A	SHUB_UART0_TXD	SPI0_SCLK
SENSOR_CLK3_B	SHUB_UART1_CTSN	SPI0_SDI
SPI0_SDO	SPI4_CSN3	USB3_PWREN1
SPI1_CSN0	SPI4_SCLK	VOU1120_CLK
SPI1_CSN1	SPI4_SDI	VOU1120_DATA0
SPI1_SCLK	SPI4_SDO	VOU1120_DATA1
SPI1_SDI	SVB_PWM0	VOU1120_DATA10
SPI1_SDO	SVB_PWM1	VOU1120_DATA11
SPI2_CSN0	SVB_PWM2	VOU1120_DATA12
SPI2_CSN1	SVB_PWM3	VOU1120_DATA13
SPI2_SCLK	UART0_RXD	VOU1120_DATA14
SPI2_SDI	UART0_TXD	VOU1120_DATA15
SPI2_SDO	UART1_RXD	VOU1120_DATA2



管脚名		
SPI3_CSN0	UART1_TXD	VOU1120_DATA3
SPI3_CSN1	UART2_RXD	VOU1120_DATA4
SPI3_SCLK	UART2_TXD	VOU1120_DATA5
SPI3_SDI	UART3_RXD	VOU1120_DATA6
SPI3_SDO	UART3_TXD	VOU1120_DATA7
SPI4_CSN0	UART4_RXD	VOU1120_DATA8
SPI4_CSN1	UART4_TXD	VOU1120_DATA9
SPI4_CSN2	USB3_PWREN0	

1.4.2 未使用的模块处理

未使用的模块电源和管脚处理建议如表 1-25 所示。

表1-25 未使用模块电源及管脚处理建议

Net Name	POWER	STATUS(IF NOT USED)	备注
AVSS_AC	-	TIED TO VSS	-
AVDD18_AC	-	PULL TO 1.8V	-
AC_IN0L	AVDD18_AC	TIED TO VSS	-
AC_IN0R			-
AC_IN1L			-
AC_IN1R			-
AC_MICBIAS0		N.C.	-
AC_MICBIAS1			-
AC_OUTL			-
AC_OUTR			-
AC_VREF			-
AVDD18_MIPITX			-
AVSS_MIPITX	-	TIED TO VSS	
DSI_CKN	AVDD18_MIPITX	N.C.	
DSI_CKP			
DSI_D0N			
DSI_D0P			



Net Name	POWER	STATUS(IF NOT USED)	备注
DSI_D1N			
DSI_D1P			
DSI_D2N			
DSI_D2P			
DSI_D3N			
DSI_D3P			
AVDD08_UFSCOMB	-	PULL TO DVDD	-
AVDD1218_UFSCOMB	-	PULL TO 1.8V	-
AVDD18_UFSCOMB	-		-
AVSS_UFSCOMB	-	TIED TO VSS	-
EMMC_CALIO	AVDD18_UFSCOMB	接 200 Ω 电阻到地	此管脚不能悬空
EMMC_CLK	AVDD1218_UFSCOMB	N.C.	-
EMMC_CMD	AVDD18_UFSCOMB		-
EMMC_DATA0			-
EMMC_DATA1			-
EMMC_DATA2			-
EMMC_DATA3			-
EMMC_DATA4			-
EMMC_DATA5			-
EMMC_DATA6	N.C.	-	
EMMC_DATA7		-	
EMMC_DS		-	
AVDD08_HDMITX	-	PULL TO DVDD	-
AVDD18_HDMITX	-	PULL TO 1.8V	-
AVDDDRV_HDMITX	-	PULL TO 3.3V	-
AVDDPLL_HDMITX	-	PULL TO 1.8V	-
AVSS_HDMITX	-	TIED TO VSS	-
HDMI_REXT	AVDD18_HDMITX	N.C.	-
HDMI_EARCN			-



Net Name	POWER	STATUS(IF NOT USED)	备注
HDMI_EARCP			-
HDMI_TX0N			-
HDMI_TX0P			-
HDMI_TX1N			-
HDMI_TX1P			-
HDMI_TX2N			-
HDMI_TX2P			-
HDMI_TXCN			-
HDMI_TXCP			-
AVDD18_LSADC0	-	PULL TO 1.8V	-
AVSS_LSADC0	-	TIED TO VSS	-
LSADC_CH0	AVDD18_LSADC0	N.C.	-
LSADC_CH1			-
AVDD18_SHUB_LSADC1	-	PULL TO 1.8V	-
AVSS_SHUB_LSADC1	-	TIED TO VSS	-
SHUB_LSADC1_CH0	AVDD18_SHUB_LSADC1	N.C.	-
SHUB_LSADC1_CH1	AVDD18_SHUB_LSADC1	N.C.	-
AVDD08_MIPIRX	-	PULL TO DVDD	-
AVDD18_MIPIRX	-	PULL TO 1.8V	-
AVSS_MIPIRX	-	TIED TO VSS	-
MIPI_RX0_CK0N	AVDD18_MIPIRX	N.C.	-
MIPI_RX0_CK0P			-
MIPI_RX0_CK1N			-
MIPI_RX0_CK1P			-
MIPI_RX0_D0N			-
MIPI_RX0_D0P			-
MIPI_RX0_D1N			-
MIPI_RX0_D1P			-
MIPI_RX0_D2N			-



Net Name	POWER	STATUS(IF NOT USED)	备注
MIPI_RX0_D2P			-
MIPI_RX0_D3N			-
MIPI_RX0_D3P			-
MIPI_RX1_CK0N			-
MIPI_RX1_CK0P			-
MIPI_RX1_CK1N			-
MIPI_RX1_CK1P			-
MIPI_RX1_D0N			-
MIPI_RX1_D0P			-
MIPI_RX1_D1N			-
MIPI_RX1_D1P			-
MIPI_RX1_D2N			-
MIPI_RX1_D2P			-
MIPI_RX1_D3N			-
MIPI_RX1_D3P			-
MIPI_RX2_CK0N			-
MIPI_RX2_CK0P	AVDD18_MIPIRX	N.C.	-
MIPI_RX2_CK1N			-
MIPI_RX2_CK1P			-
MIPI_RX2_D0N			-
MIPI_RX2_D0P			-
MIPI_RX2_D1N			-
MIPI_RX2_D1P			-
MIPI_RX2_D2N			-
MIPI_RX2_D2P			-
MIPI_RX2_D3N			-
MIPI_RX2_D3P			-
MIPI_RX3_CK0N			-
MIPI_RX3_CK0P			-
MIPI_RX3_CK1N			-
MIPI_RX3_CK1P			-



Net Name	POWER	STATUS(IF NOT USED)	备注
MIPI_RX3_D0N			-
MIPI_RX3_D0P			-
MIPI_RX3_D1N			-
MIPI_RX3_D1P			-
MIPI_RX3_D2N			-
MIPI_RX3_D2P			-
MIPI_RX3_D3N			-
MIPI_RX3_D3P			-
VDD_TEST_RTC	-	N.C.	1. PMC 不用，RTC 用时： PWR 所有信号浮空， AVDD18_RTC_PWC/ AVDD_BAT_RTC 正常接 模拟电。 2. PMC&RTC 都不用时： PWR 所有信号浮 空,RTC_XIN 接 地,RTC_XOUT 浮空， AVDD18_RTC_PWC 接数 字 1.8V， AVDD_BAT_RTC 浮 空,AVSS 接地
AVDD18_RTC_PMC	-	PULL TO 1.8V	
AVDD_BAT_RTC	-	N.C.	
AVSS_RTC	-	TIED TO VSS	
RTC_XIN	AVDD_BAT_RTC/A VDD18_RTC_PMC	TIED TO VSS	
RTC_XOUT	AVDD_BAT_RTC/A VDD18_RTC_PMC	N.C.	
PWR_BUTTON0	常供电区， AVDD_BAT_RTC	N.C.	
PWR_EN0			
PWR_EN1			
PWR_EN2			
PWR_RSTN			
PWR_SEQ0			
PWR_SEQ1			
PWR_SEQ2			
PWR_STARTUP			
PWR_WAKEUP0			
PWR_WAKEUP1			
PWR_WAKEUP2			
AVDD33_USB0	-	TIED TO VSS	-
AVDDH33_USB0	-	TIED TO VSS	-



Net Name	POWER	STATUS(IF NOT USED)	备注
DVDD_USB0	-	TIED TO VSS	-
USB_DM0	AVDD33_USB0	N.C.	-
USB_DP0			-
USB_ID0			-
USB_REXT0			-
USB_VBUS0			-
AVDD33_USB1	-	TIED TO VSS	-
AVDDH33_USB1	-	TIED TO VSS	-
DVDD_USB1	-	TIED TO VSS	-
USB_DM1	AVDD33_USB1	N.C.	-
USB_DP1			-
USB_ID1			-
USB_REXT1			-
USB_VBUS1			-
AVDD08_USB_PCIE_0	-	PULL TO 0.8V	将 IP 设置永久复位状态;
AVDD08_USB_PCIE_1	-		
AVDD18_USB_PCIE_0	-	PULL TO 1.8V	
AVDD18_USB_PCIE_1	-		
AVSS_USB_PCIE_0	-	TIED TO VSS	
AVSS_USB_PCIE_1	-		
PCIE_REFCLKM	AVDD18_USB_PCIE_0	N.C.	
PCIE_REFCLKP			
USB3_PCIE_RXM0			
USB3_PCIE_RXP0			
USB3_PCIE_TXM0			
USB3_PCIE_TXP0			
USB3_PCIE_TXM1	AVDD18_USB_PCIE_1		
USB3_PCIE_TXP1			
USB3_PCIE_RXM1			



Net Name	POWER	STATUS(IF NOT USED)	备注
USB3_PCIE_RXP1			
VDDIO_DDR	-	若其中一个 PHY 不使用, 电源地处理方案: 1.VDDIO_DDR 正常供电; 2.VDDIO_DDR0/1_CK 正常供电; 3.对应 PHY 的 AVDD18_DDR_PLL_AC/ DQ 电源接数字电源 1.8V; 4.对应 PHY 的 AVSS_DDR_PLL_AC/DQ 接 VSS	-
VDDIO_DDR0_CK	-		-
VDDIO_DDR1_CK	-		-
AVDD18_DDR0_PLL_AC	-		-
AVDD18_DDR0_PLL_DQ	-		-
AVDD18_DDR1_PLL_AC	-		-
AVDD18_DDR1_PLL_DQ	-		-
AVSS_DDR0_PLL_AC	-		-
AVSS_DDR0_PLL_DQ	-		-
AVSS_DDR1_PLL_AC	-		-
AVSS_DDR1_PLL_DQ	-		-
DDR0_A0	VDDIO_DDR	N.C.	-
DDR0_A1			-
DDR0_A10			-
DDR0_A11			-
DDR0_A12			-
DDR0_A13			-
DDR0_A14			-
DDR0_A15			-
DDR0_A16			-
DDR0_A2			-
DDR0_A3			-
DDR0_A4			-
DDR0_A5			-
DDR0_A6			-



Net Name	POWER	STATUS(IF NOT USED)	备注
DDR0_A7			-
DDR0_A8			-
DDR0_A9			-
DDR0_ACT	VDDIO_DDR	N.C.	-
DDR0_BA0			-
DDR0_BA1			-
DDR0_BG0			-
DDR0_BG1			-
DDR0_CKE0			-
DDR0_CKE1			-
DDR0_CLK0_N	VDDIO_DDR0_CK	N.C.	-
DDR0_CLK0_P			-
DDR0_CLK1_N			-
DDR0_CLK1_P			-
DDR0_CS0_N	VDDIO_DDR	N.C.	-
DDR0_CS1_N			-
DDR0_DM0			-
DDR0_DM1			-
DDR0_DM2			-
DDR0_DM3			-
DDR0_DQ0			-
DDR0_DQ1			-
DDR0_DQ10			-
DDR0_DQ11			-
DDR0_DQ12			-
DDR0_DQ13			-
DDR0_DQ14			-
DDR0_DQ15			-
DDR0_DQ16			-
DDR0_DQ17			-
DDR0_DQ18			-



Net Name	POWER	STATUS(IF NOT USED)	备注
DDR0_DQ19	VDDIO_DDR	N.C.	-
DDR0_DQ2			-
DDR0_DQ20			-
DDR0_DQ21			-
DDR0_DQ22			-
DDR0_DQ23			-
DDR0_DQ24			-
DDR0_DQ25			-
DDR0_DQ26			-
DDR0_DQ27			-
DDR0_DQ28			-
DDR0_DQ29			-
DDR0_DQ3			-
DDR0_DQ30			-
DDR0_DQ31			-
DDR0_DQ4			-
DDR0_DQ5			-
DDR0_DQ6			-
DDR0_DQ7			-
DDR0_DQ8			-
DDR0_DQ9			-
DDR0_DQS0_N			-
DDR0_DQS0_P			-
DDR0_DQS1_N			-
DDR0_DQS1_P			-
DDR0_DQS2_N			-
DDR0_DQS2_P			-
DDR0_DQS3_N			-
DDR0_DQS3_P			-
DDR0_ODT0			-
DDR0_ODT1			-



Net Name	POWER	STATUS(IF NOT USED)	备注
DDR0_RESET_N			-
DDR0_ZQ			-
DDR1_A0			-
DDR1_A1	VDDIO_DDR	N.C.	-
DDR1_A10			-
DDR1_A11			-
DDR1_A12			-
DDR1_A13			-
DDR1_A14			-
DDR1_A15			-
DDR1_A16			-
DDR1_A2			-
DDR1_A3			-
DDR1_A4			-
DDR1_A5			-
DDR1_A6			-
DDR1_A7			-
DDR1_A8			-
DDR1_A9			-
DDR1_ACT			-
DDR1_BA0			-
DDR1_BA1			-
DDR1_BG0			-
DDR1_BG1			-
DDR1_CKE0			-
DDR1_CKE1			-
DDR1_CLK0_N	VDDIO_DDR1_CK	N.C.	-
DDR1_CLK0_P			-
DDR1_CLK1_N			-
DDR1_CLK1_P			-
DDR1_CS0_N	VDDIO_DDR	N.C.	-



Net Name	POWER	STATUS(IF NOT USED)	备注
DDR1_CS1_N	VDDIO_DDR	N.C.	-
DDR1_DM0			-
DDR1_DM1			-
DDR1_DM2			-
DDR1_DM3			-
DDR1_DQ0			-
DDR1_DQ1			-
DDR1_DQ10			-
DDR1_DQ11			-
DDR1_DQ12			-
DDR1_DQ13			-
DDR1_DQ14			-
DDR1_DQ15			-
DDR1_DQ16			-
DDR1_DQ17			-
DDR1_DQ18			-
DDR1_DQ19			-
DDR1_DQ2			-
DDR1_DQ20			-
DDR1_DQ21			-
DDR1_DQ22			-
DDR1_DQ23			-
DDR1_DQ24			-
DDR1_DQ25			-
DDR1_DQ26			-
DDR1_DQ27			-
DDR1_DQ28			-
DDR1_DQ29			-
DDR1_DQ3			-
DDR1_DQ30			-
DDR1_DQ31			-



Net Name	POWER	STATUS(IF NOT USED)	备注
DDR1_DQ4	VDDIO_DDR	N.C.	-
DDR1_DQ5			-
DDR1_DQ6			-
DDR1_DQ7			-
DDR1_DQ8			-
DDR1_DQ9			-
DDR1_DQS0_N			-
DDR1_DQS0_P			-
DDR1_DQS1_N			-
DDR1_DQS1_P			-
DDR1_DQS2_N			-
DDR1_DQS2_P			-
DDR1_DQS3_N			-
DDR1_DQS3_P			-
DDR1_ODT0			-
DDR1_ODT1			-
DDR1_RESET_N			-
DDR1_ZQ			-
AVDD18_ULPFL	-	Waive	-
DVDD_SENHUB_LD O_DECAP	-	接 1uf 电容	-
DVDD18_SENHUB	-	Waive	-
SHUB_I2C0_SCL	DVDD18_SENHUB	N.C.(将 IO 配置为输出模式)	-
SHUB_I2C0_SDA			-
SHUB_I2C1_SCL			-
SHUB_I2C1_SDA			-
SHUB_PWM_OUT0			-
SHUB_PWM_OUT1			-
SHUB_PWM_OUT2			-
SHUB_PWM_OUT3			-
SHUB_PWM_OUT4			-



Net Name	POWER	STATUS(IF NOT USED)	备注
SHUB_PWM_OUT5	DVDD18_SENHUB	N.C.(将 IO 配置为输出模式)	-
SHUB_PWM_OUT6			-
SHUB_PWM_OUT7			-
SHUB_SPI0_CSN			-
SHUB_SPI0_SCLK			-
SHUB_SPI0_SDI			-
SHUB_SPI0_SDO			-
SHUB_SPI1_CSN			-
SHUB_SPI1_SCLK			-
SHUB_SPI1_SDI			-
SHUB_SPI1_SDO			-
SHUB_UART0_CTS N			-
SHUB_UART0_RTS N			-
SHUB_UART0_RXD			-
SHUB_UART0_TXD			-
SHUB_UART1_CTS N			-
SHUB_UART1_RTS N			-
SHUB_UART1_RXD			-
SHUB_UART1_TXD			-
SHUB_UART2_CTS N			-
SHUB_UART2_RTS N			-
SHUB_UART2_RXD	DVDD18_SENHUB	N.C.(将 IO 配置为输出模式)	-
SHUB_UART2_TXD			-
PCIE_CLK_REQ_N	DVDD18	N.C.(将 IO 配置为输出模式)	-
USB3_PWREN0			-
USB3_PWREN1			-
SHUTTER_TRIG			-



Net Name	POWER	STATUS(IF NOT USED)	备注
EMMC_RST_N			-
FLASH_TRIG			-
GPIO0_0			-
GPIO0_1			-
GPIO0_2			-
GPIO0_3			-
GPIO16_7			-
HDMI_HOTPLUG		TIED TO VSS	-
HDMI_CEC		N.C.(将 IO 配置为输出模式)	-
HDMI_SCL			-
HDMI_SDA			-
I2C11_SCL			-
I2C11_SDA			-
JTAG_TCK			-
JTAG_TDI			-
JTAG_TDO			-
JTAG_TMS			-
JTAG_TRSTN			-
PWM_OUT0			-
PWM_OUT1			-
EPHY0_CLK			-
EPHY0_RSTN	DVDD18	N.C.(将 IO 配置为输出模式)	-
MDCK0	DVDD18	N.C.(将 IO 配置为输出模式)	-
MDIO0			-
RGMII0_RXCK			-
RGMII0_RXD0			-
RGMII0_RXD1			-
RGMII0_RXD2			-
RGMII0_RXD3			-
RGMII0_RXDV			-



Net Name	POWER	STATUS(IF NOT USED)	备注
RGMII0_TXCKOUT			-
RGMII0_TXD0			-
RGMII0_TXD1			-
RGMII0_TXD2			-
RGMII0_TXD3			-
RGMII0_TXEN			-
SDIO0_CARD_DETE CT	DVDD33	N.C.(将 IO 配置为输出模 式)	-
SDIO0_CARD_POW ER_EN			-
SDIO0_CCLK_OUT	DVDD33/DVDD18(通 过 powerswitch 切换)	N.C.(将 IO 配置为输出模 式)	-
SDIO0_CCMD			-
SDIO0_CDATA0			-
SDIO0_CDATA1			-
SDIO0_CDATA2			-
SDIO0_CDATA3			-
SDIO1_CARD_DETE CT	DVDD33	N.C.(将 IO 配置为输出模 式)	-
SDIO1_CARD_POW ER_EN			-
SDIO1_CCLK_OUT			-
SDIO1_CCMD			-
SDIO1_CDATA0			-
SDIO1_CDATA1	DVDD33	N.C.(将 IO 配置为输出模 式)	-
SDIO1_CDATA2			-
SDIO1_CDATA3			-
SENSOR_CLK0_A	DVDD18	N.C.(将 IO 配置为输出模 式)	-
SENSOR_CLK0_B			-
SENSOR_CLK1_A			-
SENSOR_CLK1_B			-
SENSOR_CLK2_A			-
SENSOR_CLK2_B			-
SENSOR_CLK3_A			-



Net Name	POWER	STATUS(IF NOT USED)	备注
SENSOR_CLK3_B			-
SENSOR_HS0			-
SENSOR_HS1			-
SENSOR_HS2			-
SENSOR_HS3			-
SENSOR_RSTN0			-
SENSOR_RSTN1			-
SENSOR_RSTN2			-
SENSOR_RSTN3			-
SENSOR_VS0			-
SENSOR_VS1			-
SENSOR_VS2			-
SENSOR_VS3			-
SENSOR_VSOUT0			-
SENSOR_VSOUT1			-
SENSOR_VSOUT2	DVDD18	N.C.(将 IO 配置为输出模式)	-
SENSOR_VSOUT3			-
SFC_CLK			-
SFC_CS0N			-
SFC_CS1N			-
SFC_HOLD_IO3			-
SFC_MISO_IO1			-
SFC_MOSI_IO0			-
SFC_WP_IO2			-
SPI0_CSN0			-
SPI0_CSN1			-
SPI0_SCLK			-
SPI0_SDI			-
SPI0_SDO			-
SPI1_CSN0			-
SPI1_CSN1			-



Net Name	POWER	STATUS(IF NOT USED)	备注
SPI1_SCLK			-
SPI1_SDI			-
SPI1_SDO			-
SPI2_CSN0			-
SPI2_CSN1			-
SPI2_SCLK			-
SPI2_SDI			-
SPI2_SDO			-
SPI3_CSN0			-
SPI3_CSN1			-
SPI3_SCLK			-
SPI3_SDI			-
SPI3_SDO			-
SPI4_CSN0			-
SPI4_CSN1	DVDD18	N.C.(将 IO 配置为输出模式)	-
SPI4_CSN2			-
SPI4_CSN3			-
SPI4_SCLK			-
SPI4_SDI			-
SPI4_SDO			-
SVB_PWM0			-
SVB_PWM1			-
SVB_PWM2			-
SVB_PWM3			-
SYS_RSTN_OUT			-
UART0_RXD			-
UART0_TXD			-
UART1_RXD			-
UART1_TXD			-
UART2_RXD			-
UART2_TXD			-



Net Name	POWER	STATUS(IF NOT USED)	备注
UART3_RXD			-
UART3_TXD			-
UART4_RXD			-
UART4_TXD			-
VOU1120_CLK			-
VOU1120_DATA0			-
VOU1120_DATA1			-
VOU1120_DATA10			-
VOU1120_DATA11			-
VOU1120_DATA12			-
VOU1120_DATA13			-
VOU1120_DATA14	DVDD18	N.C.(将 IO 配置为输出模式)	-
VOU1120_DATA15			-
VOU1120_DATA2			-
VOU1120_DATA3			-
VOU1120_DATA4			-
VOU1120_DATA5			-
VOU1120_DATA6			-
VOU1120_DATA7			-
VOU1120_DATA8			-
VOU1120_DATA9			-
JTAG_EN		TIED TO VSS	-
TEST_MODE			-
RST_N			-
POR_SEL		Waive	-
DVDD18_OSC	-	Waive	-
XIN	DVDD18_OSC		-
XOUT	DVDD18_OSC		-
AVDD08_PLL	-		-
AVDD18_PLL	-		-
AVSS_PLL	-		-



Net Name	POWER	STATUS(IF NOT USED)	备注
DVDD	-		-
DVDD_CPU	-		-
DVDD_GPU	-		-
DVDD_MEDIA	-		-
VSS	-		-
DVDD18	-	PULL TO 1.8V	-
DVDD33	-	PULL TO 3.3V	-
DVDD18_LDO_DEC AP_1	-	接 1uf 电容	-
DVDD18_LDO_DEC AP_2	-	接 1uf 电容	-
DVDD18_LDO_DEC AP_3	-	接 1uf 电容	-
DVDD3318_SDIO_V OUT	-	接 4.7uf 电容	-

备注：N.C.：浮空； Waive：不涉及

1.4.3 5V tolerance 管脚

表1-26 5V tolerance 管脚

管脚名	描述
I2C11_SCL	OD, 5V tolerance
I2C11_SDA	
HDMI_SCL	
HDMI_SDA	
HDMI_CEC	
HDMI_HOTPLUG	
PCIE_CLK_REQ_N	



2 PCB 设计

2.1 电源与滤波电容设计

2.1.1 内核电源设计

滤波电容类型、数量和布局要求复制 Hi3559CDMEB 的设计，电容材质推荐 X7R 材质。

2.1.1.1 DVDD 电源

滤波电容类型、数量和布局

电源使用平面供电，铜皮总宽度不小于 70mil，其去耦电容布局要求如下：

- Pin AB18、V18、V20、V22 各就近放置 1 个 220nF 电容。
- AB20、T22 和 T24、V26、V28、T26、P32 各就近放置 1 个 1uF 电容。
- DVDD 电源平面要做好隔离，相邻层不能走电源平面，最好使用 GND 平面隔离。



说明

该部分设计，必须完全拷贝 Hi3559CDMEBPCB。

2.1.1.2 DVDD_MEDIA 电源

滤波电容类型、数量和布局

至少使用两层平面供电，铜皮总宽度不小于 240mil，其去耦电容布局要求如下：

- Pin AV14 和 AV16，AP28 和 AP30 每两个 pin 就近放置至少 1 个 220nF 电容。
- Pin AP14 和 AP16，AK14 和 AK16，AF14 和 AF16，AF18 和 AF20 每两个 pin 就近放置至少 1 个 1uF 电容。
- Pin AV18、AV20、AV22、AV28、AV30、AV32、AP32、AP36 各就近放置 1 个 220nF 电容。
- Pin AP18、AK18、AP20、AK20、AP22、AK22、AP34 各就近放置 1 个 1uF 电容。



说明

该部分设计，必须完全拷贝 Hi3559CDMEB PCB

2.1.1.3 DVDD_CPU 电源

滤波电容类型、数量和布局

电源使用平面供电，铜皮宽度不小于 80mil，其去耦电容布局要求如下：

- Pin AB28、AB30、AB32、AB34、V38 各就近放置 1 个 1uF 电容。
- Pin V32、V34、V36、P38 各就近放置 1 个 220nF 电容。
- Pin AB36 和 AB38 就近放置 1 个 2.2uF 电容。



说明

该部分设计，必须完全拷贝 Hi3559CDMEB PCB

2.1.1.4 DVDD_GPU 电源

至少使用两层平面供电，铜皮总宽度不小于 120mil，其去耦电容布局要求如下：

- Pin AK26、AK28、AK30、AF34 各就近放置 1 个 1uF 电容。
- Pin AF26、AF28、AF30、AF32 各就近放置 1 个 220nF 电容。
- Pin AK32 和 AK34 就近放置 1 个 2.2uF 电容。
- Pin AK36 和 AK38 就近放置 1 个 1uF 电容。



说明

该部分设计，必须完全拷贝 Hi3559CDMEB PCB

2.1.2 DDR IO 电源设计

滤波电容类型、数量和布局

VDDIO_DDR0_CK 和 VDDIO_DDR1_CK 需要分别使用磁珠与 1.2V/1.1V 电源隔离，靠近芯片管脚处放置 1 个 1uF 的电容。

电源使用平面供电，其去耦电容布局要求如下：

- Pin R11、T12、P12、M14、L15、M16 各就近放置 1 个 1uF 电容。
- Pin AA11、AB12 和 Y12 就近放置 2 个 1uF 电容。
- Pin AH12、AF12 和 AG11 就近放置 2 个 1uF 电容。
- Pin M10 和 K12 就近放置 1 个 2.2uF 电容。
- Pin M20、L21 和 M22 就近放置 2 个 1uF 电容。
- Pin M26、M28 和 L27 就近放置 2 个 1uF 电容。

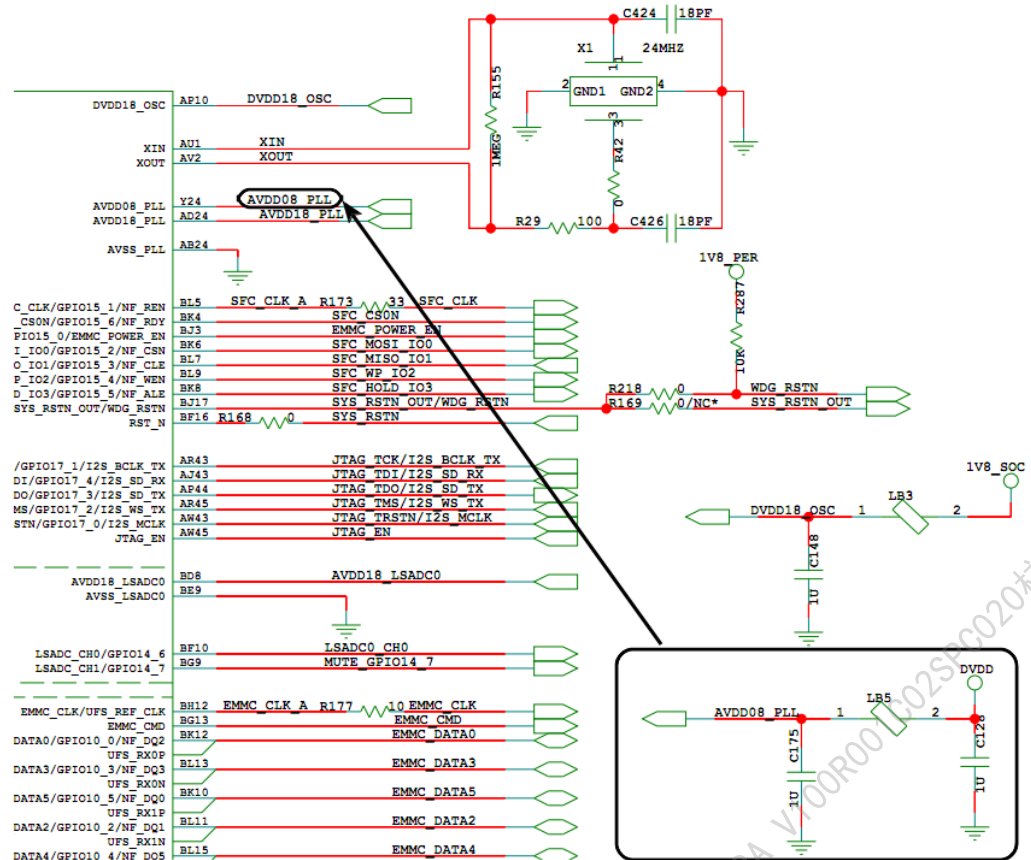
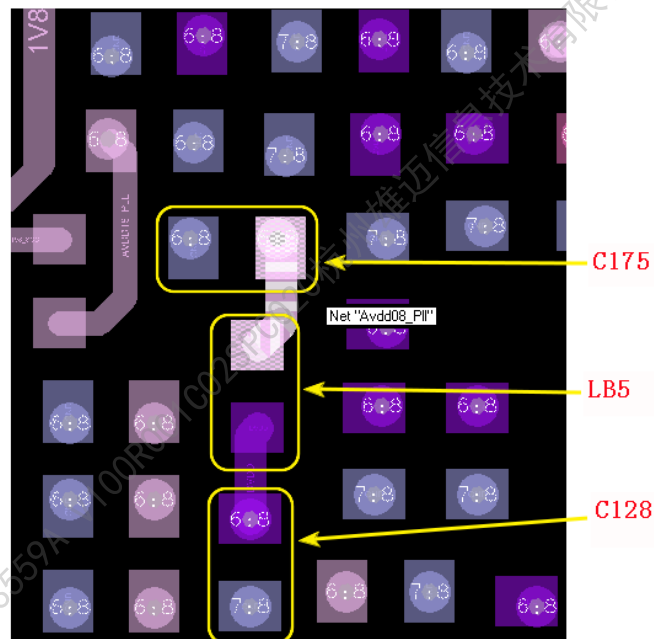


说明

该部分设计，必须完全拷贝 Hi3559CDMEB PCB

2.1.3 PLL 电源设计

- AVDD08_PLL 与 DVDD 内核电源之间用磁珠（**1000Ω @100M**）进行隔离，并与周边电容组成 π 型滤波电路。如图 2-1 和图 2-2 所示。

图2-1 AVDD08_PLL 供电 π 型滤波电路 SCH 设计图2-2 AVDD08_PLL 供电 π 型滤波电路 PCB 设计



- AVDD18_PLL 与数字电源 1.8V 之间用磁珠（ $1000\ \Omega @ 100M$ ）进行隔离，并与周边电容组成 π 型滤波电路。如图 2-3 和图 2-4 所示。

图2-3 AVDD18_PLL 供电 π 型滤波电路 SCH 设计

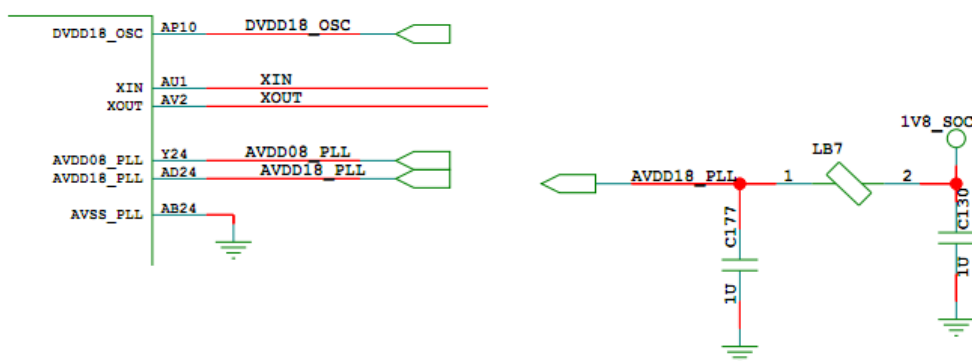
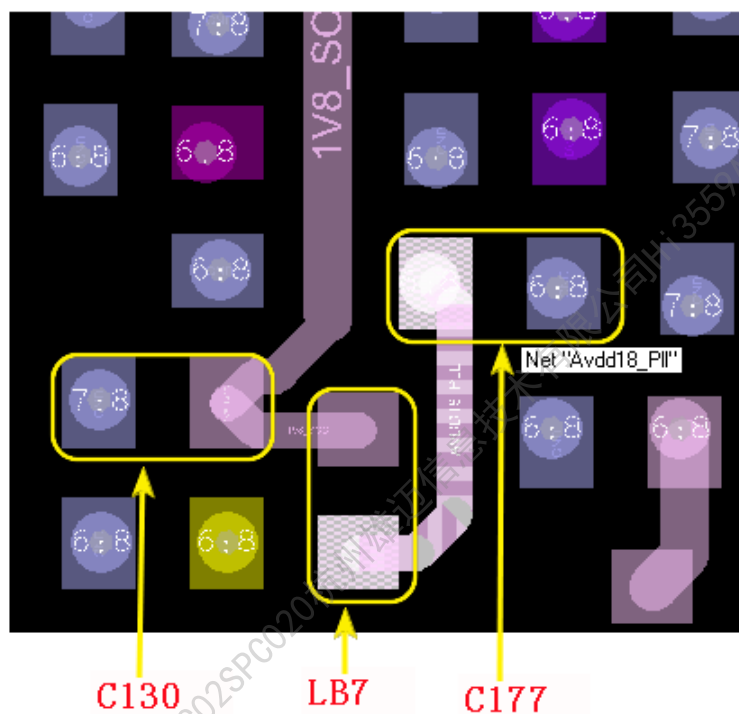


图2-4 AVDD18_PLL 供电 π 型滤波电路 PCB 设计



- AVDD18_DDR0/1_PLL_AC, AVDD18_DDR0/1_PLL_DQ 与数字电源 1.8V 之间用磁珠（ $1000\ \Omega @ 100M$ ）进行隔离，并与周边电容组成 π 型滤波电路。如图 2-5 和图 2-6 所示。



图2-5 AVDD18_DDR0/1_PLL_AC, AVDD18_DDR0/1_PLL_DQ 供电滤波电路 SCH 设计

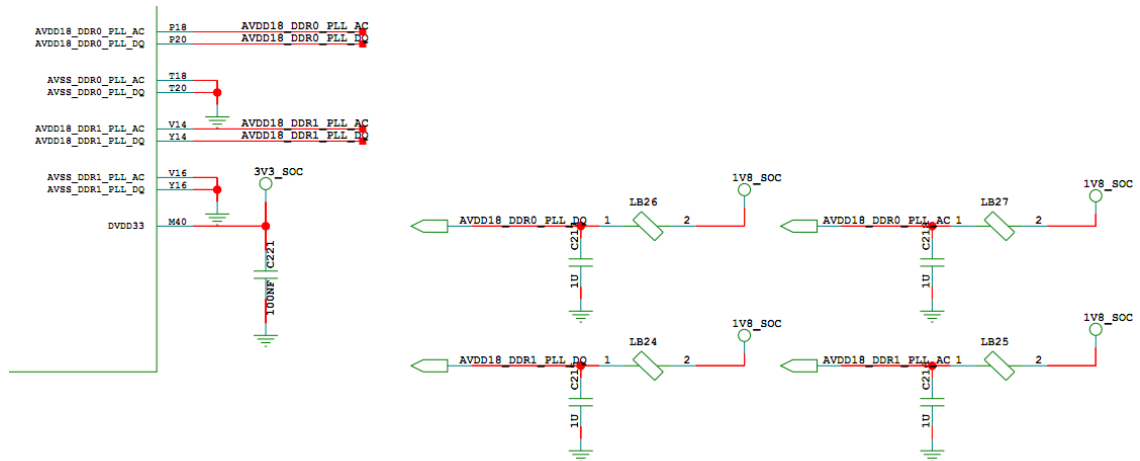
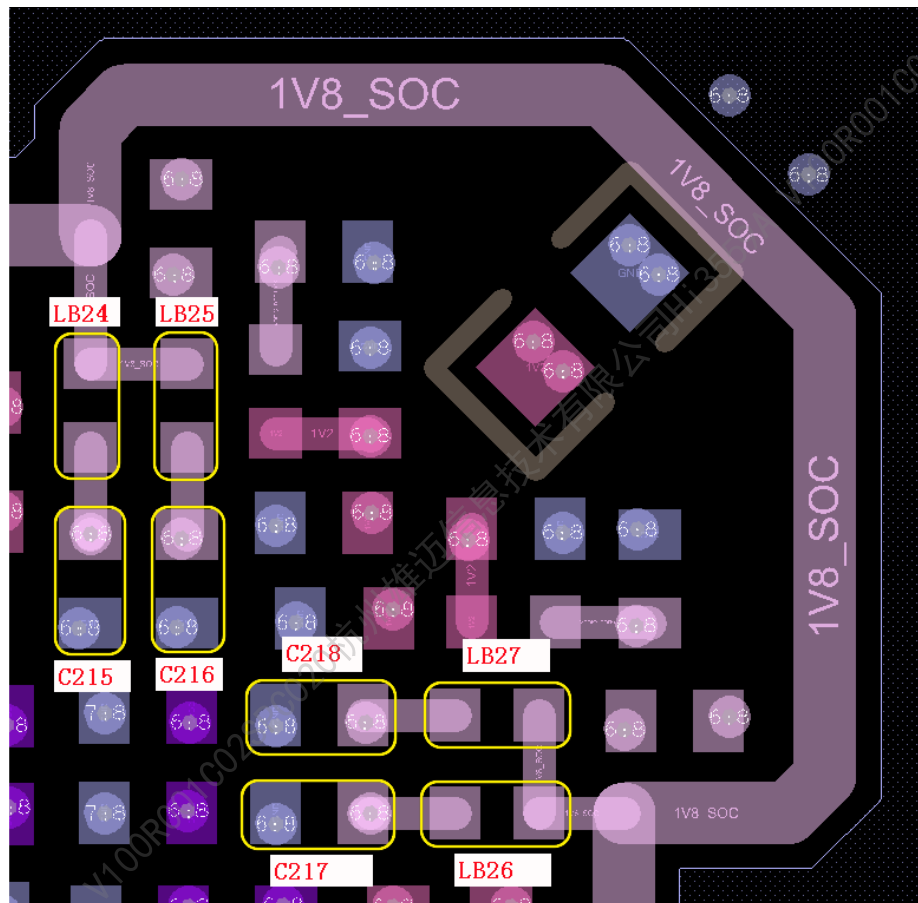


图2-6 AVDD18_DDR0/1_PLL_AC, AVDD18_DDR0/1_PLL_DQ 供电滤波电路 PCB 设计



说明

该部分设计，必须完全拷贝 Hi3559CDMEB PCB



2.1.4 模拟音频电源设计

AVDD18_AC 与 1.8V 之间用磁珠进行隔离，并在靠近芯片管脚的位置至少放置一个 2.2uF 电容。

2.2 晶体电路设计

晶体的 Xin、Xout、RTC_XIN、RTC_XOUT 信号走线全程做包地处理，并保证这些信号有完整的参考平面。晶体电路下方不能有高速信号穿过。

2.3 DDR 电路设计

Hi3559CV100 DDR4 4PCS 16bit 位宽颗粒设计，请完全拷贝 Hi3559CDMEB 设计；
Hi3559CV100 DDR4 8PCS 8bit 位宽颗粒设计，请完全拷贝 Hi3559CDMBPLUS 设计；

Hi3559CV100 LPDDR4 的设计，请完全拷贝 Hi3559CDMEBLITE 设计；包括线宽、线距、走线长度、包地、滤波电容放置、匹配方式等。



注意

在设计 DDR4 8PCS 8bit 位宽 PCB 时，对于 DDR0/1_CS0_N、DDR0/1_CKE0_N、DDR0/1_ODT0_N 这三种信号以及 DDR0/1_CLK_P/N 时钟信号，需要在分支点到颗粒端做等长控制，等长偏差范围在 5mil 以内；而对于其他地址命令线也需要在分支点到颗粒端做等长控制，等长偏差范围在 50mil 以内。

2.4 FLASH 电路设计

2.4.1 SPI FLASH

SPI FLASH 信号设计要求如下。

- 避免信号走线穿越电源分割区域，并保持信号参考平面完整；
- 相邻信号走线间距保持“3W”原则；
- 走线长度以及匹配方式见 1.1.9.2 信号处理节的表 1-8 和表 1-9；
- SFC_CSN0/1、SFC_SDO_IO0、SFC_SDI_IO1、SFC_WP_IO2、SFC_HOLD_IO3 的线长以 SFC_CLK 的线长为基准，误差控制在±300mil 以内。

2.4.2 NAND FLASH

NAND FLASH 信号设计要求如下。

- 避免信号走线穿越电源分割区域，并保持信号参考平面完整；



- 相邻信号走线间距保持“3W”原则；
- 走线长度以及匹配方式见 1.1.9.2 信号处理节的表 1-10。

2.4.3 eMMC

eMMC 信号设计要求如下，

- 避免信号走线穿越电源分割区域，并保持信号参考平面完整；
- 相邻信号走线间距保持“3W”原则；
- 走线长度以及匹配方式见 1.1.9.2 信号处理节的表 1-11；
- EMMC_DATA[0:7]、EMMC_CMD、EMMC_DS 的线长以 EMMC_CLK 的线长为基准，误差控制在 $\pm 300\text{mil}$ 以内。

2.4.4 UFS

UFS 信号设计要求如下，

- 避免信号走线穿越电源分割区域，并保持信号参考平面完整；
- 走线长度以及匹配方式见 1.1.9.2 信号处理 的表 1-12；
- 差分 100Ω 阻抗控制；
- 差分对内 5mil 等长控制，RX0 和 RX1 之间等长控制在 160mil 以内，TX0 和 TX1 之间等长控制在 80mil 以内；
- 不同 lane 之间线间距离至少保持“3W”原则；
- UFS_REF_CLK 信号必须周围包地。

为保证阻抗连续性，SOC 端及颗粒端差分对信号 ball 对应第二层 VSS 平面建议做挖空处理，信号换层处的信号过孔，除距离最近的参考层外，信号过孔与 VSS 平面的 airgap 应大于 30mil 。

2.5 GMAC 信号 PCB 设计

GMAC 信号设计要求如下，

- 避免信号走线穿越电源分割区域，并保持信号参考平面完整；
- 相邻信号走线间距保持“3W”原则；
- 走线长度以及匹配方式见 1.3.1 节的表 1-17；
- RGMII_TXD[0:3]、RGMII_TX_EN 的线长以 RGMII_TX_CLK 的线长为基准，误差控制在 $\pm 500\text{mil}$ 以内；
RGMII_RXD[0:3]、RGMII_RX_DV 的线长以 RGMII_RX_CLK 的线长为基准，误差控制在 $\pm 500\text{mil}$ 以内；
- MDI0+、MDI0-、MDI1+、MDI1-、MDI2+、MDI2-、MDI3+、MDI3-差分线对长度控制在 5mil ，差分阻抗控制在 100Ω 。

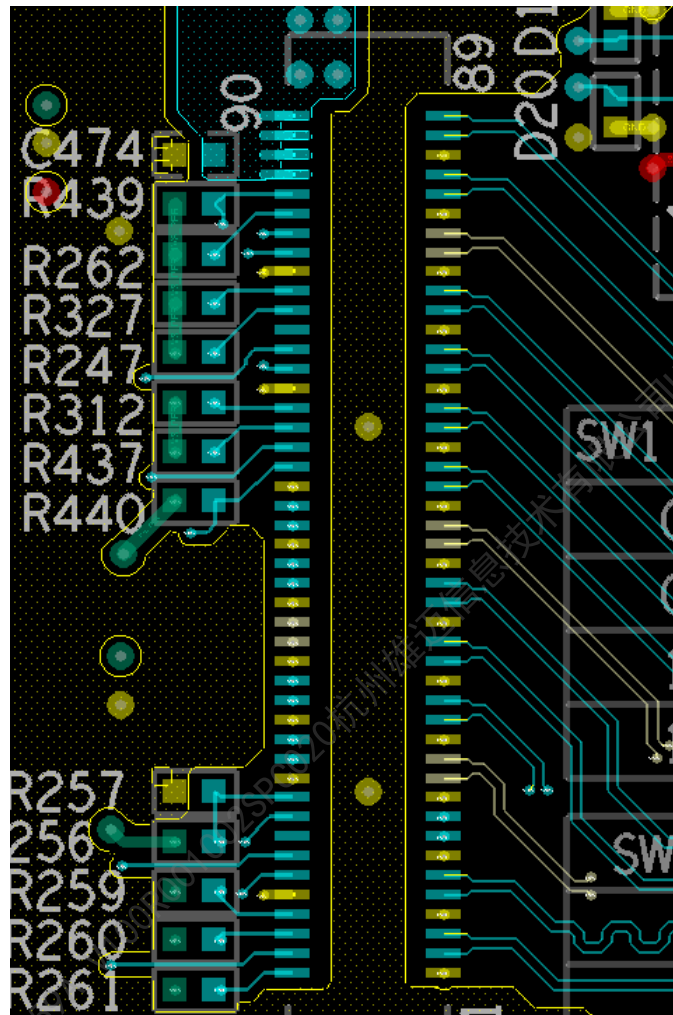
2.6 Vedio Input 信号 PCB 设计

2.6.1 MIPI RX

MIPI RX 信号设计要求如下，

- 差分信号以 GND 为参考平面，并保持参考平面完整；
- 差分信号线走线长度不超过 3inch；
- MIPI0 的数据信号、MIPI1、MIPI2 和 MIPI3 的时钟和数据信号线长均以 MIPI0 的时钟信号线长为基准，偏差控制在 $\pm 300\text{mil}$ 以内；
- 差分信号组内走线长度偏差控制在 $\pm 10\text{mil}$ 以内，差分阻抗控制在 100Ω ；
- 差分信号经过连接器时，相邻差分信号对之间必须使用 GND 管脚进行隔离，如图 2-8 所示。黄色是 GND 网络，绿色是差分线对。

图2-8 MIPI/LVDS 差分信号隔离示意图





2.6.2 Parallel CMOS

Parallel CMOS 信号设计要求如下：

- 避免信号走线穿越电源分割区域，并保持信号参考平面完整；
- 相邻信号走线间距保持“3W”原则；
- VI_DATA[0:15]、VI_HS 和 VI_VS 的线长以 VI_CLK 的线长为基准，偏差控制在 $\pm 500\text{mil}$ 。

2.7 Video Output 信号 PCB 设计

Vedio Output 信号设计要求如下：

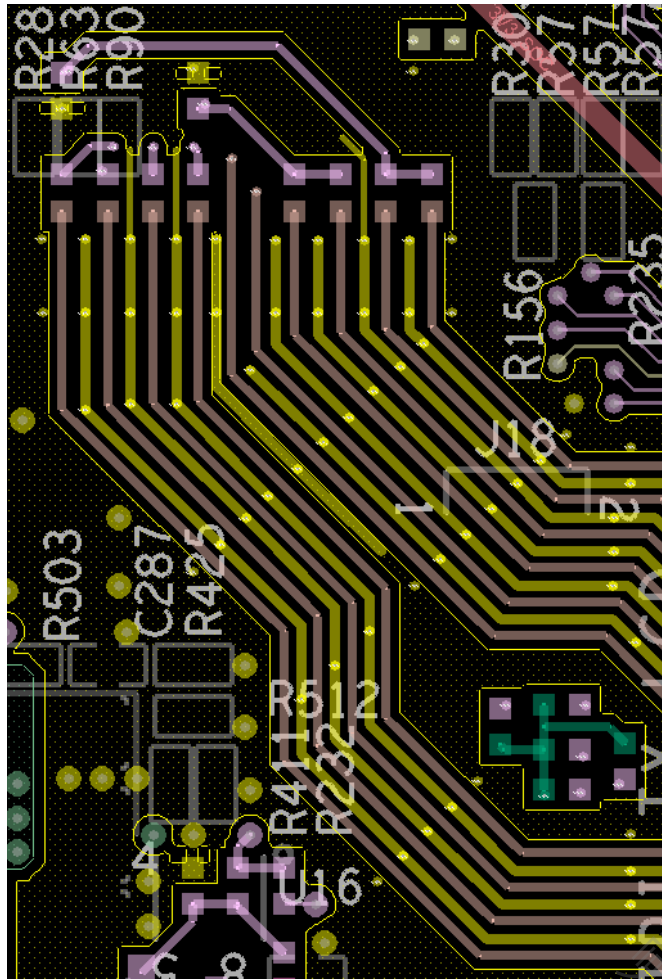
- 避免信号走线穿越电源分割区域，并保持信号参考平面完整；
- 相邻信号走线间距保持“3W”原则；
- VO_DATA[0:24]、VO_HS、VO_VS 和 VO_DE 的线长以 VO_CLK 的线长为基准，偏差控制在 $\pm 500\text{mil}$ 。

2.8 模拟音频电路设计

模拟音频电路走线设计要求如下：

- AC_VREF 管脚上对接的电容需要靠近主芯片放置，最大间距不超过 150mil。
- 在使用 MIC 输入时，为获得较好的音频质量，建议 AC_MICBIAS 信号在 Hi3559CV100 端将信号分为两路，各自对应做左声道及右声道的偏置电平，详细请参考 Hi3559CDMEB 板最新版本原理图。
- 模拟音频输入输出信号、MICBIAS 信号以 GND 为参考平面，并保证参考平面完整。
- 模拟音频输入输出信号、MICBIAS 信号要求全程包地处理，并且相邻信号之间的 GND 过孔均匀放置，如图 2-9 所示。

图2-9 模拟音频信号包地示意图



2.9 SDIO 信号 PCB 设计

SDIO 信号设计要求如下：

- 相邻信号走线间距保证“3W”原则。
- 走线长度以及匹配方式见 1.3.4 的表 1-22。
- SDIO0_CDATA[0:3]、SDIO0_CCMD 的线长以 SDIO0_CCLK_OUT 的线长为基准，偏差控制在 $\pm 300\text{mil}$ 。

SDIO1_CDATA[0:3]、SDIO1_CCMD 的线长以 SDIO1_CCLK_OUT 的线长为基准，偏差控制在 $\pm 300\text{mil}$ 。

SDIO2_CDATA[0:3]、SDIO2_CCMD 的线长以 SDIO2_CCLK_OUT 的线长为基准，偏差控制在 $\pm 300\text{mil}$ 。

- 如果需要在支持 SDXC 卡，那么 SDIO 数据信号必须以 GND 为参考平面，并保持信号参考平面完整。



2.10 USB2.0 信号设计

USB2.0 信号设计要求如下：

- 差分信号组内走线长度偏差控制在 $\pm 5\text{mil}$ 以内，差分阻抗控制在 90Ω 。
- 差分信号必须以 GND 为参考平面，并保持信号参考平面完整。
- Hi3559CV100 的 USB2.0 接口外接插座时，差分信号线走线长度不大于 5inch，过孔数量不超过 2 个，外挂线缆长度控制在 1.5 米以内；当 USB2.0 信号做板级级联时，差分信号线走线长度不大于 10inch，过孔数量不超过 2 个。

USB2.0 信号过孔附近需要放置一个 GND 过孔，以获取更好的信号质量。

- 避免邻近其他信号，并保证与其他信号的间距大于 20mil。
- REXT 电阻要求靠近主芯片放置。

2.11 USB3.0 信号设计

USB3.0 信号设计要求如下：

- 差分信号组内走线长度偏差控制在 $\pm 5\text{mil}$ 以内，差分阻抗控制在 90Ω 。
- 差分信号必须以 GND 为参考平面，并保持信号参考平面完整。
- Hi3559CV100 的 USB3.0 接口外接插座时，差分信号线走线长度不大于 5inch，过孔数量不超过 1 个，外挂线缆长度控制在 1 米以内；当 USB3.0 信号做板级级联时，差分信号线走线长度不大于 10inch，过孔数量不超过 2 个。

USB3.0 信号过孔附近需要放置一个 GND 过孔，以获取更好的信号质量。

- 差分信号与对接器件之间需要添加 AC 耦合电容，电容值为 75~200nF（推荐 100nF）。
- 为保证阻抗连续性，AC 耦合电容和 ESD 器件下方的相邻层 GND 需要做挖空处理，如图 2-10 所示，接插件处的信号过孔，除相邻层外，信号过孔与 GND 平面的 airgap 应大于 30mil，如图 2-11 所示。
- 避免邻近其他信号，并保证与其他信号的间距大于 20mil。



图2-10 USB3.0 AC 耦合电容和 ESD 器件下方的相邻层 GND 挖空

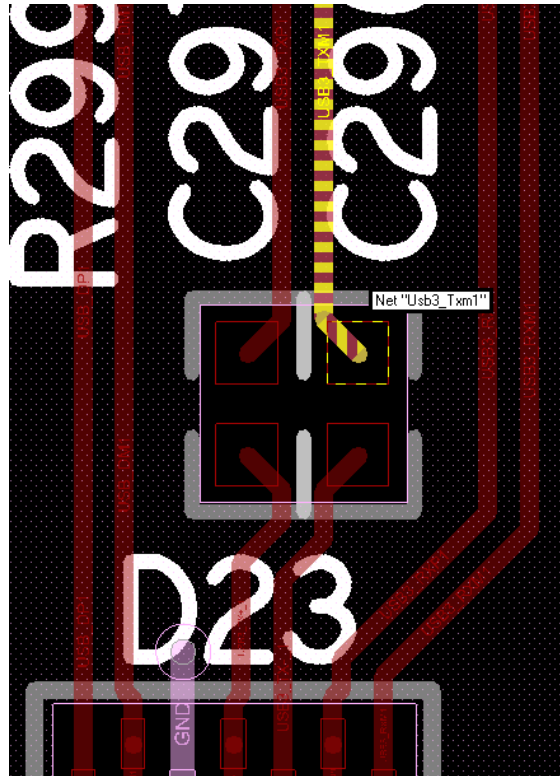
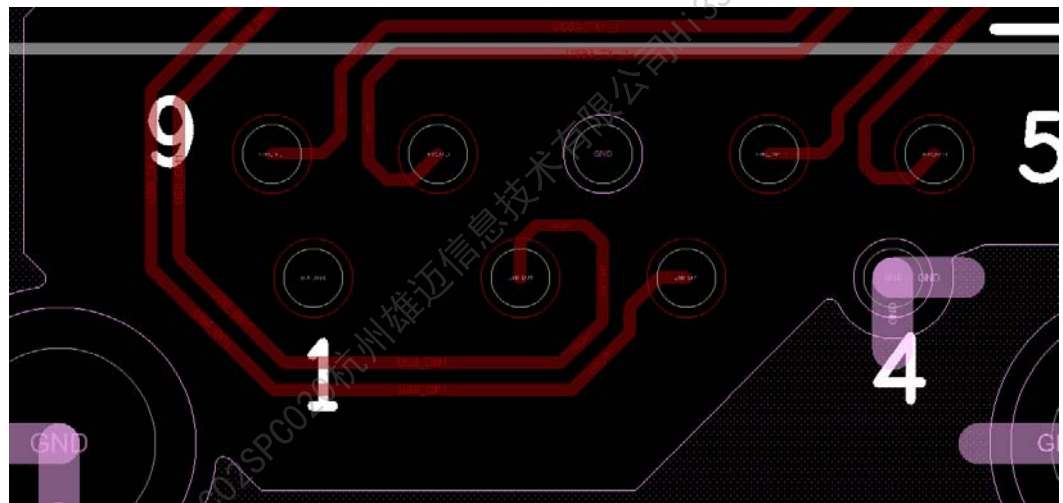


图2-11 USB3.0 插件处的信号过孔与 GND 平面（除相邻层）的 airgap



2.12 PCIE 信号设计

PCIE 信号设计要求如下：

- 差分信号组内走线长度偏差控制在 $\pm 5\text{mil}$ 以内，差分阻抗控制在 100Ω 。

- 差分信号必须以 GND 为参考平面，并保持信号参考平面完整。
- Hi3559CV100 的 PCIE 接口外接插座时，差分信号线走线长度不大于 5inch，过孔数量不超过 1 个，外挂线缆长度控制在 1 米以内；当 PCIE 信号做板级级联时，差分信号线走线长度不大于 10inch，过孔数量不超过 2 个。

PCIE 信号过孔附近需要放置一个 GND 过孔，以获取更好的信号质量。

- 差分信号与对接器件之间需要添加 AC 耦合电容，电容值为 75~200nF（推荐 100nF）。
- 为保证阻抗连续性，AC 耦合电容下方的相邻层 GND 需要做挖空处理，如图 2-12 所示，接插件处的信号过孔，除相邻层外，信号过孔与 GND 平面的 airgap 应大于 30mil，如图 2-13 所示。
- 避免邻近其他信号，并保证与其他信号的间距大于 20mil。

图2-12 PCIe AC 耦合电容和下方的相邻层 GND 挖空

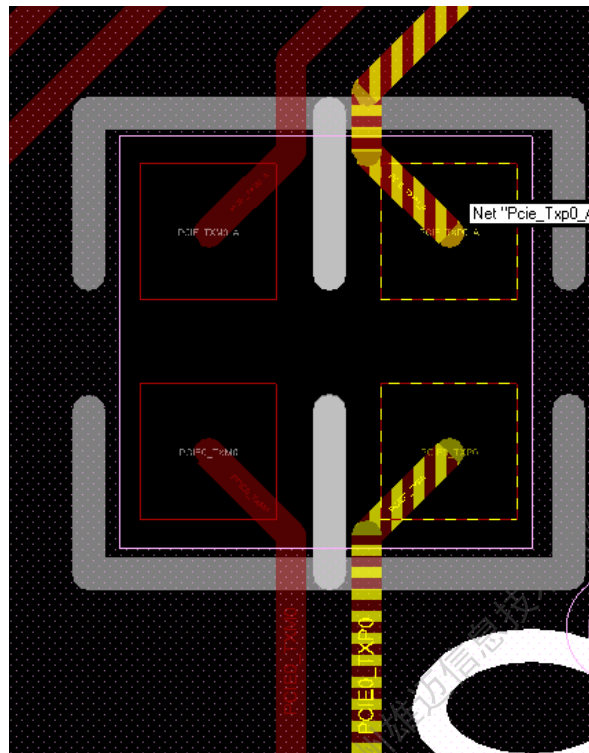
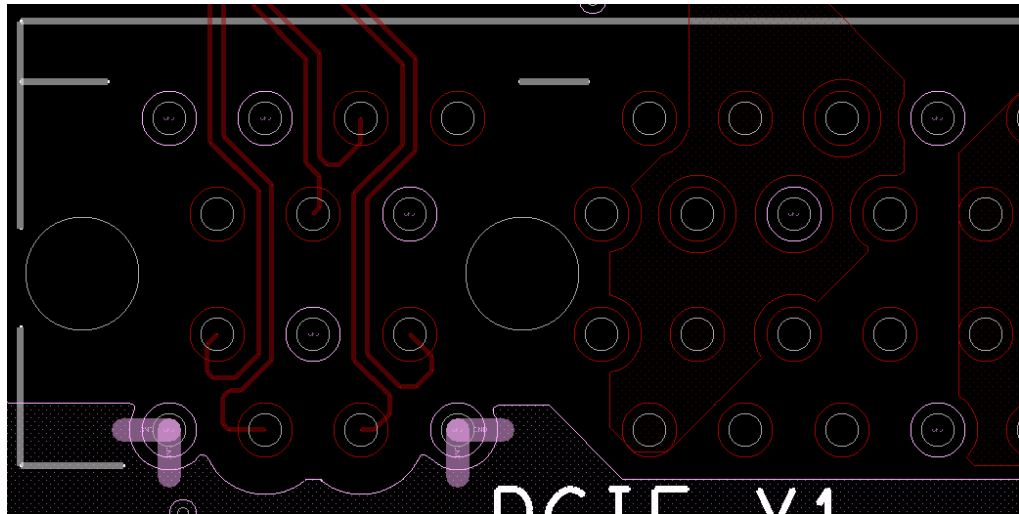


图2-13 PCIE 插件处的信号过孔与 GND 平面（除相邻层）的 airgap



2.13 HDMI 信号设计

HDMI 信号设计要求如下：

- HDMITX 差分对的 PCB 走线控制差分阻抗 $100\Omega \pm 10\%$;
- 外接插卡时，线长度应尽量短，建议 5in 以内，尽量缩短 fanout 区域内的走线长度，建议表层走线，不可以换层；
- 差分对内等长控制 20mil, 最大不超过 25mil; 如果超出 25mil 不多(30mil 以内), 可考虑走较短的蛇形线, 将 skew 控制到 25mil;
- 差分走线应保证阻抗连续，差分对间等长在 80mil 以内，以阻抗连续优先(尽量不走蛇形线)。
- 由于 ESD 器件以及连接器存在寄生电容，导致阻抗偏低，需要对该处进行阻抗补偿。将 ESD 器件以及连接器件下方的相邻层 GND 平面挖空，并且在 ESD 挖空旁边增加 VSS 过孔，如图 2-14 所示；为了减小封装 ball 的寄生电容，将 ball 下方的相邻层 GND 挖空，如图 2-15 所示。
- 避免邻近其他信号，并保证与其他信号的间距大于 20mil。

图2-14 HDMI ESD 器件和连接器下方的相邻层 GND 挖空

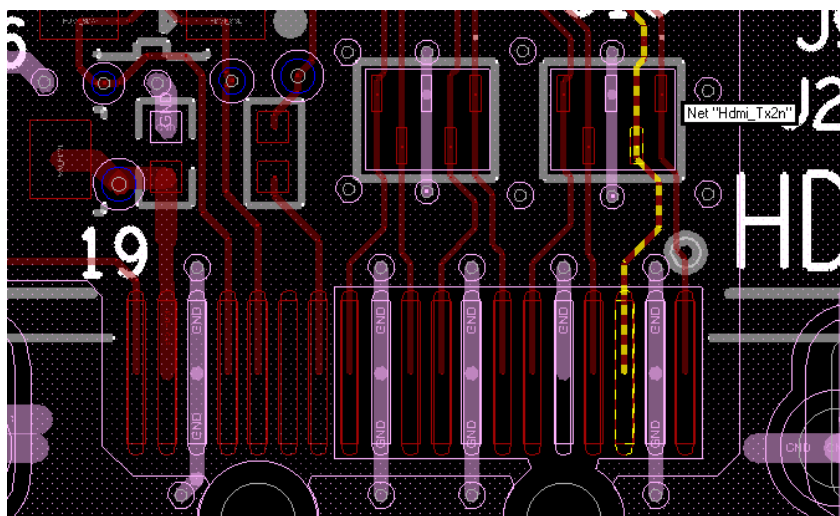
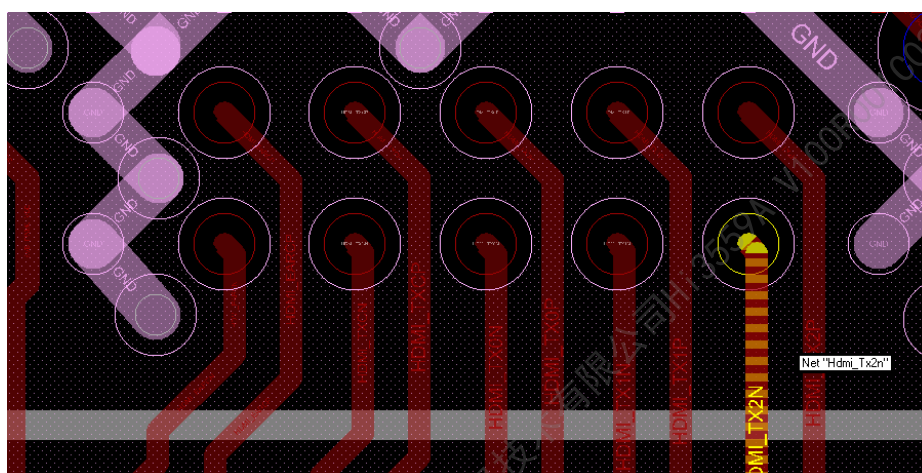


图2-15 HDMI 信号 ball 下方的相邻层 GND 挖空



2.14 MIPI TX 信号设计

MIPI TX 信号设计要求如下：

- 差分信号组内走线长度偏差控制在 $\pm 10\text{mil}$ 以内，差分阻抗控制在 100Ω ，数据线参照 CLK 做等长，差值控制在 $-10\text{mil}\sim +60\text{mil}$ 以内（Package+PCB 总长度）。
- 差分信号必须以 GND 为参考平面，并保持信号参考平面完整。
- 如果使用 FPC 连接，建议 PCB+FPC 的总长不超过 9inch。
- 避免邻近其他信号，并保证与其他信号的间距大于 20mil。



3 整机 ESD 设计

3.1 背景

由于芯片性能提高，时钟频率越来越高，整机对外界干扰更敏感，客户在整机设计时需要非常重视整机的 ESD 设计。

Hi3559CV100 芯片本身的 ESD 测试是按照 JEDEC 标准，通过 $\pm 2000\text{V}$ 测试，符合行业标准。而客户需要根据自己企业的 ESD 测试标准，对单板硬件设计和整机设计做评估。本文针对整机 ESD 设计风险，提供一些设计建议和风险规避措施。

3.2 整机 ESD 设计

- 关于系统 24MHz 时钟设计，要求客户选用 4pin 贴片晶振，其中 2 个 GND 管脚与单板地充分连接，增强系统时钟抗干扰能力。其他的走线远离晶振区域，不要在晶振底下有走线通过。
- 建议 PCB 器件布局设计时，小系统部分离金属接口部分越远，整机 ESD 性能越好。
- 单板对外的接插件（例如音视频输入输出接口、USB、网口和报警等端口），需要增加 ESD 保护器件，加强接口的抗干扰能力。
- 整机设计为浮地设备时，单板金属化接口部分严禁采用分割地设计。
- 单板定位孔采用金属化过孔，并与单板 GND 连接，确保单板 GND 通过螺丝孔与金属外壳充分连接。
- 整机为接地设备时，要求金属外壳充分连接大地，分割保护地与单板数字地之间采用单点连接，单点连接的位置要远离小系统电路，建议靠近整机电源连接器放置。
- 接口连接器外壳推荐采用金属外壳，且与整机金属外壳充分连接（例如带定位螺丝的 HDMI 口和 USB 口，带弹片的 RJ45 口等），必要时甚至采用导电柱或者导电泡棉来实现连接器与外壳的充分连接。

以上措施请根据自身企业标准和工程经验综合评估。



4 芯片散热设计

4.1 最大功耗

Hi3559CV100 仿真预估最大功耗为 6763mW，该数据仅供参考，最终的功耗数据以最新发布的《Hi3559CV100 功耗测试报告》为准。