

Hi3519AV100 4 层板方案设计约束条件

文档版本 00B01

发布日期 2018-06-15

版权所有 © 深圳市海思半导体有限公司 2018。保留一切权利。

非经本公司书面许可,任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部,并不得以任何形 式传播。

商标声明

(上) AISILICON、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标,由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束,本文档中描述的全部或部分产品、 · i导,从根据证明。 服务或特性可能不在您的购买或使用范围之内。除非合同另有约定,海思公司对本文档内容不做任何明 示或默示的声明或保证。

由于产品版本升级或其他原因,本文档内容会不定期进行更新。除非另有约定,本文档仅作为使用指导, 本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

深圳市海思半导体有限公司

地址: 深圳市龙岗区坂田华为基地D区 邮编: 518129

http://www.hisilicon.com 网址:

客户服务电话: +86-755-28788858

客户服务传真: +86-755-28357515

客户服务邮箱: support@hisilicon.com



前言

概述

本文档主要介绍 Hi3519V100 支持的 4层板方案设计约束条件。

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本	1013
Hi3519A	V100	ROO.

读者对象

本文档(本指南)主要适用于以下工程师:

• 硬件开发工程师

修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

文档版本 00B01 (2018-06-20)

第1次临时发布

目 录

前	言	i
1 Hi	3519AV100 4 层板方案设计约束条件	1
	1.1 Hi3519ADMEBLITE 4 层板规格简介	4 , (1)
	1.2 板级硬件设计约束条件	5
		West of the second
	co/spco'	

表格目录

表 1-1	Hi3519ADMEBLITE 4 层板规格	1
表 1-2	板及硬件设计约束条件 4	5

海思专有和保密信息 版权所有 © 深圳市海思半导体有限公司

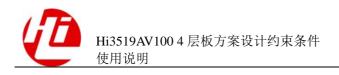
1

Hi3519AV100 4 层板方案设计约束条件

1.1 Hi3519ADMEBLITE 4 层板规格简介

表1-1 Hi3519ADMEBLITE 4 层板规格

单板规格	单板名称
单板叠层	4层通孔板
PCB 厚度	1.6mm
Core 电源路数	2路
DDR 设计规格	控制器位宽 32bit,可对接 2 颗 16bit 位宽 DDR4,单颗粒 DDR4 最大可支持 16Gbit, DEMBLITE 对接 2 颗粒 16Gbit DDR4
FLASH 规格	支持 SPI NOR/SPI NAND/并口 NAND
ETH: RGMII	支持 1V8 RGMII
BT1120	支持 BT1120 转 HDMI
PCIE	支持 PCIEX1
USB	支持两个 USB2.0
Audio Codec	支持内部 Audio Codec
I2S	支持4路4线输入
HDMI CONTRACTOR	支持内置 HDMI 输出
UART	支持 UART0/UART2



1.2 板级硬件设计约束条件

表1-2 板及硬件设计约束条件

序号	4 层通孔板硬件设计约束条件完整说明		
1	DDR 部分采用 flyby 拓扑结构		
2	MIPI RX 只能进 MIPI RX0 和 MIPI RX1 数据或者只能使用 8lane VI 输入		
3	AVDD08_MIPIRX 电源球需要直连到 Core 电源,无法加电容和磁珠		
4	TEST_MODE 管脚无法出线		
5	LSADC_CH1/GPIO1_1 管脚无法出线		
6	USB2_ID 和 USB3_ID 管脚无法出线		
7	常电区 PWR_EN1、PWR_SEQ2、PWR_STARTUP 和 PWR_SEQ1 管脚无法出线		
8	DDR 的 1F1 和 1F2 管脚无法出线(DDR_CKE1 和 DDR_ODT1),这两个管脚只有在 Hi3519A 对接 LPDDR4 的时候使用		
9	RGMII/BT1120/LCD/BT656 信号只能支持 1.8V 电平		
10	IPC 场景下,使用 SD 卡的时候,无法使用 BT.1120 规格智能 XVR 场景下,不使用 SD 卡的时候,可以使用 BT.1120 规格		