



# Hi3519AV100 LPDDR4 参数配置方法

文档版本 00B01  
发布日期 2018-10-30

**版权所有 © 深圳市海思半导体有限公司 2018。保留一切权利。**

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

## 商标声明



**HISILICON**、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

## 注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

## 深圳市海思半导体有限公司

地址：深圳市龙岗区坂田华为基地华为电气生产中心 邮编：518129

网址：<http://www.hisilicon.com>

客户服务电话：+86-755-28788858

客户服务传真：+86-755-28357515

客户服务邮箱：[support@hisilicon.com](mailto:support@hisilicon.com)



# 前言

## 产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3519A	V100

## 读者对象

本文档（本指南）主要适用于以下工程师：

技术支持工程师

软件开发工程师

## 修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2018-10-30	00B01	第一次临时版本发布



# 目 录

前 言.....	i
目 录.....	ii
<b>1 Hi3519AV100 LPDDR4 驱动配置说明 .....</b>	<b>1</b>
1.1 Hi3519AV100 LPDDR4 CLK/AC 驱动配置方法 .....	1
1.2 Hi3519AV100 LPDDR4 写方向 DQS/DQ 驱动配置方法 .....	1
1.3 Hi3519AV100 LPDDR4 读方向 DQS/DQ 驱动配置方法 .....	2
<b>2 Hi3519AV100 LPDDR4 ODT 配置说明 .....</b>	<b>3</b>
2.1 Hi3519AV100 LPDDR4 CLK/CS/CA ODT 配置 .....	3
2.2 Hi3519AV100 LPDDR4 写方向 DQS/DQ ODT 配置 .....	3
2.3 Hi3519AV100 LPDDR4 读方向 DQS/DQ ODT 配置 .....	4
2.3.1 读方向 ODT 使能 .....	4
2.3.2 读方向 ODT 大小配置 .....	4
<b>3 Hi3519AV100 LPDDR4 容量配置说明 .....</b>	<b>5</b>
3.1 LPDDR4 uboot 表格说明 .....	5
<b>4 Hi3519AV100 LPDDR4 频率配置说明 .....</b>	<b>6</b>
4.1 LPDDR4 时钟频率配置说明 .....	6
4.2 LPDDR4 时序参数配置说明 .....	6



# 1 Hi3519AV100 LPDDR4 驱动配置说明

## 1.1 Hi3519AV100 LPDDR4 CLK/AC 驱动配置方法

寄存器地址

DDR PHY: 0x0460d0bc

寄存器描述

- Bit[5:3]: CLK0 驱动
- Bit[8:6]: CLK1 驱动
- Bit[14:12]: 2T 驱动
- Bit[20:18]: 1T 驱动

驱动大小定义

- 000: Disable
- 001: 240ohm
- 010: 120ohm
- 011: 80ohm
- 100: 60ohm
- 101: 48ohm
- 110: 40ohm
- 111: 34ohm



说明

1T 信号指 CKE、CSN、ODT、RESET，2T 信号指的是除 1T 外的其他 AC 信号。

## 1.2 Hi3519AV100 LPDDR4 写方向 DQS/DQ 驱动配置方法

寄存器地址

DDR PHY: 0x0460d228(byte0/1)、0x0460d328(byte2/3)

寄存器描述

- Bit[2:0]: 写方向 DQS 驱动



- Bit[8:6]: 写方向 DQ 驱动

驱动大小定义

- 000: Disable
- 001: 240ohm
- 010: 120ohm
- 011: 80ohm
- 100: 60ohm
- 101: 48ohm
- 110: 40ohm
- 111: 34ohm

### 1.3 Hi3519AV100 LPDDR4 读方向 DQS/DQ 驱动配置方法

寄存器地址

DDR PHY: 0x0460c068

寄存器描述

- Bit[2:0]: LPDDR4 读方向 DQS/DQ 驱动配置

驱动大小定义

- 000: Disable
- 001: 240ohm
- 010: 120ohm
- 011: 80ohm
- 100: 60ohm
- 101: 48ohm
- 110: 40ohm
- 111: Reserved



## 2 Hi3519AV100 LPDDR4 ODT 配置说明

### 2.1 Hi3519AV100 LPDDR4 CLK/CS/CA ODT 配置

寄存器地址

DDR PHY: 0x0460c064

寄存器描述

- Bit[30:28]: LPDDR4 的 CLK/CS/CA ODT 大小的配置

CLK/CS/CA ODT 大小定义

- 000: Disable
- 001: 240ohm
- 010: 120ohm
- 011: 80ohm
- 100: 60ohm
- 101: 48ohm
- 110: 40ohm
- 111: Reserved

### 2.2 Hi3519AV100 LPDDR4 写方向 DQS/DQ ODT 配置

寄存器地址

DDR PHY: 0x0460c064

寄存器描述

- Bit[27:24]: LPDDR4 写方向 DQS/DQ ODT 大小的配置

写方向 DQS/DQ ODT 大小定义

- 000: Disable
- 001: 240ohm
- 010: 120ohm
- 011: 80ohm



- 100: 60ohm
- 101: 48ohm
- 110: 40ohm
- 111: Reserved
- 

## 2.3 Hi3519AV100 LPDDR4 读方向 DQS/DQ ODT 配置

### 2.3.1 读方向 ODT 使能

寄存器地址

DDR PHY: 0x0460d248(byte0)、0x0460d2c8(byte1)  
0x0460d348(byte2)、0x0460d3c8(byte3)

寄存器描述

- Bit[3]=0: 读方向 **ODT 打开**
- Bit[3]=1: 读方向 **ODT 关闭**

### 2.3.2 读方向 ODT 大小配置

寄存器地址

DDR PHY: 0x0460d204(byte0/1)、0x0460d304(byte2/3)

寄存器描述

- Bit[31:29]: 读方向 DQS 的 ODT
- Bit[28:26]: 读方向 DQ 的 ODT

读方向 ODT 大小定义

- 000: Disable
- 001: 240ohm
- 010: 120ohm
- 011: 80ohm
- 100: 60ohm
- 101: 48ohm
- 110: 40ohm
- 111: 34ohm





# 3 Hi3519AV100 LPDDR4 容量配置说明

## 3.1 LPDDR4 uboot 表格说明

Hi3519AV100 存储器接口在对接 LPDDR4 的时候，最大支持数据位宽 32bit，两通道模式。关于 DDR 的相关配置都是在 uboot 表格中实现的，Hi3519AV100 发布的 LPDDR4 只有一个 uboot 表格，对应 LPDDR4B 单板的设计，

- LPDDR4B uboot 表格：Hi3519AV100-LPDDR4B-8L\_T\_LPDDR4\_2664M\_2GB\_32bitx1-A53\_1500M  
发布表格支持的 DDR 规格如表 3-1 所示。

表3-1 LPDDR4B 单板发布的表格支持的 DDR 规格

Uboot 表格	总容量/总位宽	通道	DDR 类型	DDR 速率/Mbps	Rank 数量	DDR 位宽(单颗粒位宽*数量)	单颗 DDR 容量
LPDDR4B uboot 表格 (32bit)	2GByte/32bit Or 1Gbyte/32bit	通道 0/1	LPDDR4	2666	1	32bit*1	16Gbit Or 8Gbit



说明

LPDDR4 单颗粒为 32bit，双通道模式。



# 4 Hi3519AV100 LPDDR4 频率配置说明

## 4.1 LPDDR4 时钟频率配置说明

Hi3519A V100 LPDDR4 最高支持速率 2666Mbps，如需降低 DDR 频率，可通过更改 CRG 寄存器 DPLL 相关配置实现。详细配置说明可参考《Hi3519AV100 4K Smart IP Camera SoC 用户指南》的 3.2.4 章节 PLL 配置。

以 LPDDR4 降频到 2400Mbps 为例，需要将 uboot 表格做如下修改：

### DPLL 频率修改

Uboot 表格中的 pll 页面原始配置：

PERI_CRG_PLL4	0x04510010	0x12800000	0	write	31	0	0x0000000FD
PERI_CRG_PLL5	0x04510014	0x00001037	0	write	31	0	0x0000000FD

修改后的配置：

PERI_CRG_PLL4	0x04510010	0x12000000	0	write	31	0	0x0000000FD
PERI_CRG_PLL5	0x04510014	0x00001032	0	write	31	0	0x0000000FD

## 4.2 LPDDR4 时序参数配置说明

如 LPDDR4 有降频的修改，对应的 LPDDR4 时序参数也应做相应的调整，我们建议只调整自动刷新周期，其他参数可不作修改。

自动刷新周期的定义如下：

寄存器地址

通道 0: 0x04608108

通道 1: 0x04609108

寄存器描述



Bit[10:0]: 自动刷新周期 taref

自动刷新周期的时间计算公式为:  $T * 32 * \text{taref}$ , 其中 T 为 DDR 的时钟周期。

以发布表格为例, 默认配置值为 0x50(十进制 80), DDR 时钟周期为 750ps (时钟 1333MHz, 速率 2666Mbps), 根据公式计算自动刷新周期  $750\text{ps} * 32 * 80 = 1.92\mu\text{s}$ , 如把 DDR 速率从 2666Mbps 降低至 2400Mbps, 则周期从 750ps 变为 833ps, 如保持自动刷新周期 1.92us, 则 taref 就应配置为 0x48 (十进制 72)。对应 uboot 表格修改如下:

## 自动刷新周期修改

Uboot 表格中的 ddrc 页面原始配置:

DMC0_CFG_TIMING2	0x8108	0x57fdb050	0	write	31	0	0x0000000FD
DMC1_CFG_TIMING2	0x9108	0x57fdb050	0	write	31	0	0x0000000FD

修改后的配置:

DMC0_CFG_TIMING2	0x8108	0x57fdb048	0	write	31	0	0x0000000FD
DMC1_CFG_TIMING2	0x9108	0x57fdb048	0	write	31	0	0x0000000FD



说明

关于降频后 DDR 的可行性需要客户自己验证。