



# Hi3519AV100 DDR4 参数配置方法

文档版本 00B01  
发布日期 2018-10-30

版权所有 © 深圳市海思半导体有限公司 2018。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

## 商标声明



**HISILICON**、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

## 注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

## 深圳市海思半导体有限公司

地址：深圳市龙岗区坂田华为基地华为电气生产中心 邮编：518129

网址：<http://www.hisilicon.com>

客户服务电话：+86-755-28788858

客户服务传真：+86-755-28357515

客户服务邮箱：[support@hisilicon.com](mailto:support@hisilicon.com)



# 前言

## 产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3519A	V100

## 读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 软件开发工程师

## 修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2018-10-30	00B01	第一次临时版本发布



# 目 录

前 言.....	i
目 录.....	ii
1 Hi3519AV100 DDR4 驱动配置说明 .....	1
1.1 Hi3519AV100 DDR4 CLK/AC 驱动配置方法 .....	1
1.2 Hi3519AV100 DDR4 写方向 DQS/DQ 驱动配置方法.....	1
1.3 Hi3519AV100 DDR4 读方向 DQS/DQ 驱动配置方法.....	2
2 Hi3519AV100 DDR4 ODT 配置说明 .....	3
2.1 Hi3519AV100 DDR4 写方向 DQS/DQ ODT 配置 .....	3
2.1.1 写方向 ODT 使能 .....	3
2.1.2 写方向 ODT 大小配置 .....	3
2.2 Hi3519AV100 DDR4 读方向 DQS/DQ ODT 配置 .....	4
2.2.1 读方向 ODT 使能 .....	4
2.2.2 读方向 ODT 大小配置 .....	4
3 Hi3519AV100 DDR4 容量配置说明 .....	5
3.1 DDR4 uboot 表格说明 .....	5
3.2 DDR4 单板容量及位宽修改说明.....	6
4 Hi3519AV100 DDR4 频率配置说明 .....	9
4.1 DDR4 时钟频率配置说明 .....	9
4.2 DDR4 时序参数配置说明 .....	9



# 1 Hi3519AV100 DDR4 驱动配置说明

## 1.1 Hi3519AV100 DDR4 CLK/AC 驱动配置方法

- 寄存器地址  
DDR PHY: 0x0460d0bc  
寄存器描述
  - Bit[5:3]: CLK 驱动
  - Bit[14:12]: 2T 驱动
  - Bit[20:18]: 1T 驱动
- 驱动大小定义
  - 000: Disable
  - 001: 240ohm
  - 010: 120ohm
  - 011: 80ohm
  - 100: 60ohm
  - 101: 48ohm
  - 110: 40ohm
  - 111: 34ohm



说明

1T 信号指 CKE、CSN、ODT、RESET，2T 信号指的是除 1T 外的其他 AC 信号。

## 1.2 Hi3519AV100 DDR4 写方向 DQS/DQ 驱动配置方法

- 寄存器地址  
DDR PHY: 0x0460d228(byte0/1)、0x0460d328(byte2/3)
- 寄存器描述
  - Bit[2:0]: 写方向 DQS 驱动
  - Bit[8:6]: 写方向 DQ 驱动



- 驱动大小定义
  - 000: Disable
  - 001: 240ohm
  - 010: 120ohm
  - 011: 80ohm
  - 100: 60ohm
  - 101: 48ohm
  - 110: 40ohm
  - 111: 34ohm

### 1.3 Hi3519AV100 DDR4 读方向 DQS/DQ 驱动配置方法

- 寄存器地址  
DDR PHY: 0x0460c064
- 寄存器描述
  - Bit[18:17]: DDR4 读方向 DQS/DQ 驱动配置
- 驱动大小定义
  - 00: 34ohm
  - 01: 48ohm
  - 10: Reserved
  - 11: Reserved



## 2 Hi3519AV100 DDR4 ODT 配置说明

### 2.1 Hi3519AV100 DDR4 写方向 DQS/DQ ODT 配置

#### 2.1.1 写方向 ODT 使能

- 寄存器地址  
DDRC: 0x046080a0
- 寄存器描述
  - Bit0=0: 写方向 ODT 关闭。
  - Bit0=1: 写方向 ODT 打开。

#### 2.1.2 写方向 ODT 大小配置

- 寄存器地址  
DDR PHY: 0x0460c064
- 寄存器描述
  - Bit[26:24]: DDR4 写方向 DQS/DQ ODT 配置
- 写方向 ODT 大小定义
  - 000: Disable
  - 001: 60ohm
  - 010: 120ohm
  - 011: 40ohm
  - 100: 240ohm
  - 101: 48ohm
  - 110: 80ohm
  - 111: 34ohm

**注意**

写方向 ODT 配置对于 DQS 和 DQ 信号同时生效。

## 2.2 Hi3519AV100 DDR4 读方向 DQS/DQ ODT 配置

### 2.2.1 读方向 ODT 使能

- 寄存器地址  
DDR PHY: 0x0460d248(byte0)、0x0460d2c8(byte1)  
0x0460d348(byte2)、0x0460d3c8(byte3)
- 寄存器描述
  - Bit[3]=0: 读方向 **ODT 打开**
  - Bit[3]=1: 读方向 **ODT 关闭**

### 2.2.2 读方向 ODT 大小配置

- 寄存器地址  
DDR PHY: 0x0460d204(byte0/1)、0x0460d304(byte2/3)
- 寄存器描述
  - Bit[31:29]: 读方向 DQS 的 ODT
  - Bit[28:26]: 读方向 DQ 的 ODT

读方向 ODT 大小定义

  - 000: Disable
  - 001: 240ohm
  - 010: 120ohm
  - 011: 80ohm
  - 100: 60ohm
  - 101: 48ohm
  - 110: 40ohm
  - 111: 34ohm





# 3 Hi3519AV100 DDR4 容量配置说明

## 3.1 DDR4 uboot 表格说明

Hi3519AV100 存储器接口在对接 DDR4 的时候，支持最大数据位宽 32bit，单通道模式。关于 DDR 的相关配置都是在 uboot 表格中实现的，Hi3519AV100 发布的 DDR4 有五个 uboot 表格，分别对应 DMEB (2GB)、DMEBLITE (2GB)、DMEBPLUS (2GB)、DMEBPRO (2GB)、DMEBLITE (4GB) 的设计。

- DMEB (2GB) uboot 表格: Hi3519AV100-DMEB\_8L\_T-DDR4\_2664M\_2GB\_16bitx2-A53\_1500M
- DMEBLITE (2GB) uboot 表格: Hi3519AV100-DMEBLITE\_4L\_FLYBY-DDR4\_2664M\_2GB\_16bitx2-A53\_1500M
- DMEBPLUS (2GB) uboot 表格: Hi3519AV100-DMEBPLUS\_4L\_FLYBY-DDR4\_2664M\_2GB\_8bitx4-A53\_1500M
- DMEBPRO (2GB) uboot 表格: Hi3519AV100-DMEBPRO\_4L\_FLYBY-DDR4\_2664M\_2GB\_16bitx2-A53\_1500M
- DMEBLITE (4GB) uboot 表格: Hi3519AV100-DMEBLITE\_4L\_FLYBY-DDR4\_2664M\_4GB\_16bitx2-A53\_1500M

发布表格支持的 DDR 规格如表 3-1 所示。

表3-1 发布表格支持的 DDR 规格

Uboot 表格	总容量/总位宽	通道	DDR 类型	DDR 速率 (Mbps)	Rank 数量	DDR 位宽(单颗粒位宽*数量)	单颗 DDR 容量
DMEB (2GB) uboot 表格	2GByte/32bit Or 1GByte/32bit	通道 0	DDR4	2666	1	16bit*2	8Gbit Or 4Gbit
DMEBLITE (2GB) uboot 表格	2GByte/32bit Or 1GByte/32bit	通道 0	DDR4	2666	1	16bit*2	8Gbit Or 4Gbit
DMEBPLUS (2GB) uboot 表格	2GByte/32bit Or 4Gbyte/32bit	通道 0	DDR4	2666	1	8bit*4	4Gbit Or 8Gbit



Uboot 表格	总容量/ 总位宽	通道	DDR 类型	DDR 速率 (Mbps)	Rank 数量	DDR 位宽(单颗粒位宽*数量)	单颗 DDR 容量
DMEBPRO (2GB) uboot 表格	2GByte/32bit Or 1GByte/32bit	通道 0	DDR4	2666	1	16bit*2	8Gbit Or 4Gbit
DMEBLITE (4GB) uboot 表格	4GByte/32bit	通道 0	DDR4	2666	1	16bit*2	16Gbit



说明

DMEBLITE 单板支持的 16Gbit 容量（位宽 16bit）DDR4 颗粒为双 die 颗粒，有 BG1 信号。

## 3.2 DDR4 单板容量及位宽修改说明

上面所有单板发布的默认的 uboot 表格支持的总位宽都是 32bit，如果有只使用 16bit 的需求，对应容量减半，需要对 uboot 表格做相应的修改，下面为所有 DDR4 单板改为 16bit 对应的设计方案及配置修改说明。

表3-2 单板不同容量和位宽的设计方案

Uboot 表格	总容量/ 总位宽	通道	DDR 类型	DDR 速率 (Mbps)	Rank 数量	DDR 位宽(单颗粒位宽*数量)	单颗 DDR 容量
DMEB (2GB) uboot 表格	1GByte/16bit Or 0.5GByte/16bit	通道 0	DDR4	2666	1	16bit*1	8Gbit Or 4Gbit
DMEBLITE (2GB) uboot 表格	1GByte/16bit Or 0.5GByte/16bit	通道 0	DDR4	2666	1	16bit*1	8Gbit Or 4Gbit
DMEBPLUS (2GB) uboot 表格	1GByte/16bit Or 2Gbyte/16bit	通道 0	DDR4	2666	1	8bit*2	4Gbit Or 8Gbit
DMEBPRO (2GB) uboot 表格	1GByte/16bit Or 0.5GByte/16bit	通道 0	DDR4	2666	1	16bit*1	8Gbit Or 4Gbit
DMEBLITE (4GB) uboot 表格	2GByte/16bit	通道 0	DDR4	2666	1	16bit*1	16Gbit



说明

总位宽为 16bit 的方案只能用低 16bit(DQ0~DQ15)。



## 地址映射修改

- DMEBPLUS (2GB)、DMEBLITE (4GB) 两个表格修改的方法如下：

Uboot 表格中的 ddrc 页面原始配置：

AXI_REGION_MAP	0x0100	0x1520	0	write	31	0	0x0000000FD
AXI_REGION_MAP	0x0110	0x1640	0	write	31	0	0x0000000FD
AXI_REGION_MAP	0x0120	0x1580	0	write	31	0	0x0000000FD
AXI_REGION_MAP	0x0130	0x15a0	0	write	31	0	0x0000000FD
AXI_REGION_MAP	0x0140	0x15c0	0	write	31	0	0x0000000FD
AXI_REGION_MAP	0x0150	0x15e0	0	write	31	0	0x0000000FD
AXI_REGION_ATTRIB	0x0104	0x40050014	0	write	31	0	0x0000000FD
AXI_REGION_ATTRIB	0x0114	0x40054014	0	write	31	0	0x0000000FD
AXI_REGION_ATTRIB	0x0124	0x40052014	0	write	31	0	0x0000000FD
AXI_REGION_ATTRIB	0x0134	0x40058014	0	write	31	0	0x0000000FD
AXI_REGION_ATTRIB	0x0144	0x4005a014	0	write	31	0	0x0000000FD
AXI_REGION_ATTRIB	0x0154	0x4005c014	0	write	31	0	0x0000000FD

修改后的配置：

AXI_REGION_MAP	0x0100	0x1520	0	write	31	0	0x0000000FD
AXI_REGION_MAP	0x0110	0x1540	0	write	31	0	0x0000000FD
AXI_REGION_MAP	0x0120	0x1560	0	write	31	0	0x0000000FD
AXI_REGION_MAP	0x0130	0x1580	0	write	31	0	0x0000000FD
AXI_REGION_ATTRIB	0x0104	0x70050018	0	write	31	0	0x0000000FD
AXI_REGION_ATTRIB	0x0114	0x70051018	0	write	31	0	0x0000000FD
AXI_REGION_ATTRIB	0x0124	0x70052018	0	write	31	0	0x0000000FD
AXI_REGION_ATTRIB	0x0134	0x70053018	0	write	31	0	0x0000000FD

- DMEB (2GB)、DMEBLITE (2GB)、DMEBPRO (2GB) 的 uboot 表格由于默认配置跟上面修改后的配置一致，所以地址映射配置不用修改。

## 位宽修改

Uboot 表格中的 ddrc 页面原始配置：

DMC0_CFG_DDRMODE	0x8050	0xC10027	0	write	31	0	0x0000000FD
------------------	--------	----------	---	-------	----	---	-------------



修改后的配置:

DMC0_CFG_DDRMODE	0x8050	0xC10017	0	write	31	0	0x0000000FD
------------------	--------	----------	---	-------	----	---	-------------



说明

位宽修改方法所有 DDR4 uboot 表格一致。

## 关闭高位 DQ

Uboot 表格中的 ddrphy 页面原始配置:

DXNCTRL	0xc308	0x03f80800	0	write	31	0	0x0000000FD
DXNCTRL	0xc388	0x03f80800	0	write	31	0	0x0000000FD

修改后的配置:

DXNCTRL	0xc308	0x03f80803	0	write	31	0	0x0000000FD
DXNCTRL	0xc388	0x03f80803	0	write	31	0	0x0000000FD



说明

关闭高位 DQ 的修改方法所有 DDR4 uboot 表格一致。



# 4 Hi3519AV100 DDR4 频率配置说明

## 4.1 DDR4 时钟频率配置说明

Hi3519AV100 DDR4 最高支持速率 2666Mbps，如需降低 DDR 频率，可通过更改 CRG 寄存器 DPLL 相关配置实现。详细配置说明可参考《Hi3519AV100 4K Smart IP Camera SoC 用户指南》的 3.2.4 章节 PLL 配置。

以 DDR4 降频到 2400Mbps 为例，需要将 uboot 表格做如下修改。

### DPLL 频率修改

Uboot 表格中的 pll 页面原始配置：

PERI_CRG_PLL4	0x04510010	0x12800000	0	write	31	0	0x0000000FD
PERI_CRG_PLL5	0x04510014	0x00001037	0	write	31	0	0x0000000FD

修改后的配置：

PERI_CRG_PLL4	0x04510010	0x12000000	0	write	31	0	0x0000000FD
PERI_CRG_PLL5	0x04510014	0x00001032	0	write	31	0	0x0000000FD

## 4.2 DDR4 时序参数配置说明

如 DDR4 有降频的修改，对应的 DDR4 时序参数也应做相应的调整，我们建议只调整自动刷新周期，其他参数可不作修改。因为在降频的时候其他时序参数都是往宽松的方向变化。

自动刷新周期的定义如下：

- 寄存器地址  
通道 0: 0x04608108



- 寄存器描述

Bit[10:0]: 自动刷新周期 taref

自动刷新周期的时间计算公式为:  $T * 32 * \text{taref}$ , 其中 T 为 DDR 的时钟周期。

以发布表格为例, 默认配置值为 0x9e(十进制 158), DDR 时钟周期为 750ps (时钟 1333MHz, 速率 2666Mbps), 根据公式计算自动刷新周期  $750\text{ps} * 32 * 158 = 3.79\mu\text{s}$ , 如把 DDR 速率从 2666Mbps 降低到 2400Mbps, 则周期从 750ps 变为 833ps, 如果需保持自动刷新周期 3.84us, 则 taref 应配置为 0x8E (十进制 142)。对应 uboot 表格修改如下。

## 自动刷新周期修改

Uboot 表格中的 ddrc 页面原始配置:

DMC0_CFG_TIMING2	0x8108	0x42fd809e	0	write	31	0	0x0000000FD
------------------	--------	------------	---	-------	----	---	-------------

修改后的配置:

DMC0_CFG_TIMING2	0x8108	0x42fd808E	0	write	31	0	0x0000000FD
------------------	--------	------------	---	-------	----	---	-------------



### 说明

关于降频后 DDR 的可行性需要客户自己验证。