



Hi3519AV100 硬件设计 用户指南

文档版本 00B06
发布日期 2018-11-13

版权所有 © 深圳市海思半导体有限公司 2018。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



HISILICON、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

深圳市海思半导体有限公司

地址：深圳市龙岗区坂田华为基地华为电气生产中心 邮编：518129

网址：<http://www.hisilicon.com>

客户服务电话：+86-755-28788858

客户服务传真：+86-755-28357515

客户服务邮箱：support@hisilicon.com



前 言

概述

本文档主要介绍 Hi3519AV100 芯片方案的硬件原理图设计、PCB 设计、单板热设计建议等。本文档提供 Hi3519AV100 芯片的硬件设计方法。

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3519A	V100

读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师

修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2018-11-13	00B06	第六次临时版本发布 1.1.7.2、1.1.7.4、1.2.1、1.3.2 和 1.4.1 小节涉及修改 1.1.8 小节，表 1-9 涉及修改
2018-09-04	00B05	第五次临时版本发布



修订日期	版本	修订说明
		1.1.6 和 1.3.2.6 小节添加注意 1.3.4、2.11、2.12 小节涉及修改
2018-08-08	00B04	第四次临时版本发布 1.1.1 小节，图 1-2 涉及修改 1.1.8.2 小节，图 1-11 和表 1-9 涉及修改 1.2.1、1.2.3、1.3.2.5、2.1.1.1、2.13 小节涉及修改 2.1.3 小节，图 2-1，图 2-3 和图 2-5 涉及修改
2018-07-10	00B03	第三次临时版本发布 1.1.6 小节，表 1-4 涉及修改 1.1.7.3 小节涉及修改 1.3.2.3、1.3.2.6 小节涉及修改
2018-06-15	00B02	第二次临时版本发布 1.1.5、1.2.3、1.3.2.5、1.3.3 小节涉及修改
2018-05-15	00B01	初始版本



目 录

前 言.....	i
1 原理图设计.....	1
1.1 小系统外部电路要求.....	1
1.1.1 Clocking 电路.....	1
1.1.2 复位电路.....	3
1.1.3 JTAG 接口.....	3
1.1.4 电源管理（PMC）电路设计.....	5
1.1.5 待机场景下 RTC&PMC 的电源方案.....	6
1.1.6 HI3519AV100 硬件初始化系统配置电路.....	6
1.1.7 DDR 电路设计.....	8
1.1.8 FLASH 原理图设计.....	14
1.2 电源设计建议.....	19
1.2.1 CORE 电源设计.....	19
1.2.2 DDR 电源设计.....	19
1.2.3 IO 电源设计.....	20
1.2.4 PLL 电源设计.....	23
1.2.5 上下电时序.....	23
1.2.6 SVB 动态调压.....	24
1.3 外围接口设计建议.....	26
1.3.1 MAC 接口.....	26
1.3.2 音视频接口.....	28
1.3.3 SPI 和 I2C 接口.....	41
1.3.4 SDIO 设计.....	41
1.3.5 USB2.0 和 USB3.0 接口.....	42
1.3.6 ADC.....	43
1.3.7 RTC.....	43
1.3.8 PWM.....	43
1.3.9 UART.....	44
1.4 特殊管脚说明.....	44
1.4.1 未使用的模块处理.....	44



1.4.2 5V tolerance 管脚	56
2 PCB 设计	57
2.1 电源与滤波电容设计	57
2.1.1 内核电源设计	57
2.1.2 DDR IO 电源设计	57
2.1.3 PLL 电源设计	58
2.1.4 模拟音频电源设计	62
2.2 晶体电路设计	62
2.3 DDR 电路设计	63
2.4 FLASH 电路设计	63
2.4.1 SPI FLASH	63
2.4.2 NAND FLASH	63
2.4.3 eMMC	63
2.5 GMAC 信号 PCB 设计	64
2.6 Vedio Input 信号 PCB 设计	64
2.6.1 MIPI RX	64
2.6.2 Parallel CMOS	65
2.7 Video Output 信号 PCB 设计	65
2.8 模拟音频电路设计	66
2.9 SDIO 信号 PCB 设计	66
2.10 USB2.0 信号设计	67
2.11 USB3.0 信号设计	67
2.12 PCIE2.0 信号设计	67
2.13 HDMI 信号设计	68
2.14 MIPI TX 信号设计	70
3 整机 ESD 设计	72
3.1 背景	72
3.2 整机 ESD 设计	72
4 芯片散热设计	73
4.1 最大功耗	73



插图目录

图 1-1 晶体振荡电路	1
图 1-2 RTC 推荐晶振连接方式及器件参数	2
图 1-3 RTC 供电	2
图 1-4 外部复位电路连接方式示意图	3
图 1-5 JTAG 连接方式	4
图 1-5 DDR4 (T 型) 差分时钟信号一驱二应用	12
图 1-6 DDR4 (flyby) 差分时钟信号一驱一应用	13
图 1-7 LPDDR4 差分时钟信号一驱一应用	13
图 1-8 DDR4 (T 型结构) 地址和命令信号一驱二应用	14
图 1-9 单片 FLASH 连接示意图	15
图 1-10 两片 SPIFLASH 连接方法	16
图 1-11 eMMC 连接示意图	18
图 1-12 DDR4 电源分压网络参考设计	20
图 1-13 DVDD18_RGMILCD 和 DVDD3318_RGMILCD 上下电要求	21
图 1-14 1.8V 控制 DVDD3318_RGMILCD 时序电路图	22
图 1-15 外部复位上电时序图	23
图 1-16 外部复位下电时序图	24
图 1-17 电源动态调压示意图	25
图 1-18 Hi3519AV100 RGMII 模式下的信号连接示意图	27
图 1-19 Hi3519AV100 RMII 模式下的信号连接示意图	27
图 1-20 MIC 单端输入电路	29
图 1-21 MIC 差分输入电路	30
图 1-22 双 MIC 均为单端输入的接法 1	31
图 1-23 双 MIC 均为单端输入的接法 2	31
图 1-24 双 MIC 均为单端输入的接法 3	31



图 1-25 双 MIC 均为单端输入的接法 4	32
图 1-26 双 MIC 均为单端输入的接法 5	32
图 1-27 双 MIC 均为单端输入的接法 6	32
图 1-28 两个相同的 sensor 配置接口接法.....	34
图 1-29 四个相同的 sensor 配置接口接法.....	35
图 1-30 五个相同的 sensor 配置接口接法.....	36
图 2-1 AVDD08_PLL 供电滤波电路 SCH 设计	58
图 2-2 AVDD08_PLL 供电滤波电路 PCB 设计	59
图 2-3 AVDD18_PLL 供电滤波电路 SCH 设计	60
图 2-4 AVDD18_PLL 供电滤波电路 PCB 设计	60
图 2-5 AVDD18_DDR_PLL_AC, AVDD18_DDR_PLL_DQ 供电滤波电路 SCH 设计	61
图 2-6 AVDD18_DDR_PLL_AC, AVDD18_DDR_PLL_DQ 供电滤波电路 PCB 设计	62
图 2-7 MIPI/LVDS 差分信号隔离示意图	65
图 2-8 模拟音频信号包地示意图.....	66
图 2-9 HDMI ESD 器件和连接器下方的相邻层 GND 挖空	70
图 2-10 HDMI 信号 ball 下方的相邻层 GND 挖空.....	70



表格目录

表 1-1 JTAG 接口信号	4
表 1-2 TEST_MODE 模式说明	4
表 1-3 不同待机工作状态下 RTC 和 PMC 电源方案	6
表 1-4 信号描述	6
表 1-5 管脚 SWAP 信息	9
表 1-6 单片 SPI FLASH 匹配设计方法	14
表 1-7 两片 SPI FLASH 匹配设计方法	15
表 1-8 NAND FLASH 匹配设计方法	17
表 1-9 eMMC 匹配设计方法	18
表 1-10 DVDD18_RGMII LCD 和 DVDD3318_RGMII LCD 的电源处理方式	21
表 1-11 DVDD33 和 DVDD3318 的电源处理方式	22
表 1-12 DVDD SVB 调压 RC 参数	26
表 1-13 DVDD_CPU_MEDIA SVB 调压 RC 参数	26
表 1-14 ETH MAC 信号设计方法	28
表 1-15 I2S 不同场景的接法	32
表 1-16 MIPI RX 输入方式	37
表 1-17 信号接口模式与引脚对应关系	39
表 1-18 并行 VO 信号设计要求	40
表 1-19 SDIO 信号设计要求	41
表 1-20 USB3.0 和 PCIE 信号设计要求	43
表 1-21 未使用模块电源及管脚处理建议	44
表 1-22 5V tolerance 管脚	56



1 原理图设计

1.1 小系统外部电路要求

1.1.1 Clocking 电路

通过芯片内部的反馈电路与外部的 24MHz 晶体振荡电路一起构成系统时钟电路。

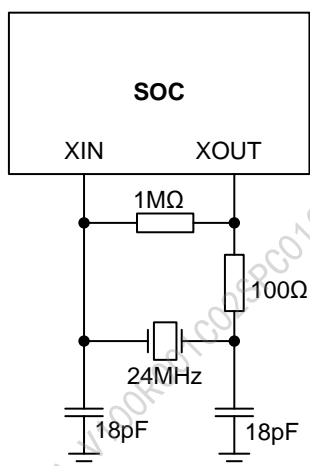
推荐晶振连接方式及器件参数如图 1-1 所示。



注意

选用的电容需要跟晶振的负载电容匹配，材质建议采用 NPO。建议选用 4pin 贴片晶振，其中 2 个 GND 管脚与单板地充分连接，增强系统时钟抗 ESD 干扰能力。

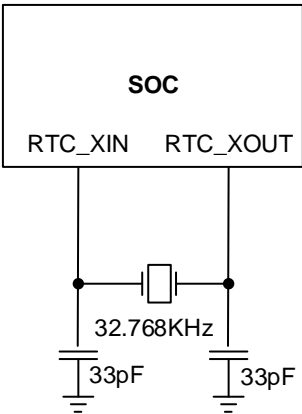
图1-1 晶体振荡电路



Hi3519AV100 内置 RTC，单板需要给 RTC 提供时钟电路，晶振连接方式及器件参数如图 1-2 所示。



图1-2 RTC 推荐晶振连接方式及器件参数



RTC 晶体选型约束：

- 晶体内阻不超过 75 k Ω ；
- 晶体的最大功耗（DL）为 0.5uW。

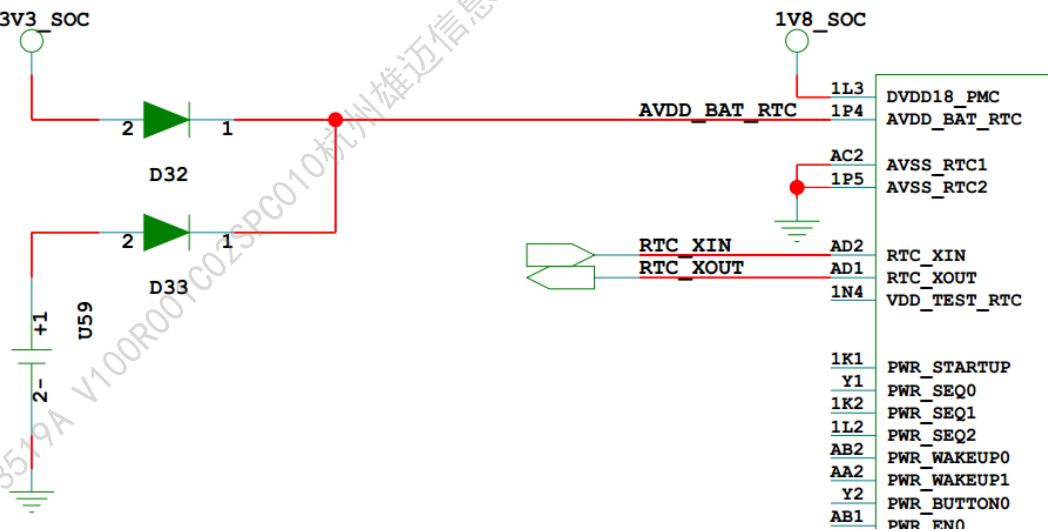


说明

- 电路中的电容取值需要与实际使用的晶体负载电容相匹配；不同品牌、不同型号的晶体，其固有的负载电容参数可能不同，那么电路中的电容取值也会不同。
- 系统 24Mhz 时钟或者 RTC 时钟使用有源晶体时，从管脚 XIN 或者 RTC_XIN 输入，管脚 XOUT 或者 RTC_XOUT 悬空。

若使用 RTC 功能且使用纽扣电池给 RTC 供电时，RTC 电源（AVDD_BAT_RTC）的供电要求如图 1-3 所示，其中 U59 是纽扣电池，D33 和 D32 是肖特基二极管，建议二极管的压降不超过 0.3V。

图1-3 RTC 供电





1.1.2 复位电路

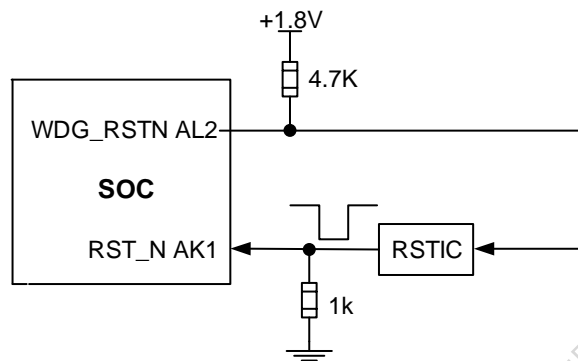
Hi3519AV100 芯片可通过判断 POR_SEL 管脚(1T1)在上电时的状态选择内部复位或者外部复位。当 POR_SEL 为高电平，选择内部复位；为低电平时，则选择外部复位。**建议客户使用外部复位。**

AL2 管脚具备 WDG_RSTN 和 SYS_RSTN_OUT 两种功能。当选择内部复位时，为 SYS_RSTN_OUT 功能；当选择外部复位时，为 WDG_RSTN 功能。

- 外部复位时，RST_N 管脚为复位信号输入管脚，要求复位的有效信号为低电平，建议复位时间不小于 32ms。
- 板级设计时，可采用专门的复位芯片产生复位信号。系统异常，看门狗生效时，WDG_RSTN 管脚会持续输出低电平，直到 RST_N 管脚检测到低电平复位信号，WDG_RSTN 才恢复为高电平。因此可以把 WDG_RSTN 管脚连接到外部复位芯片的输入管脚用于复位整个系统，此时 WDG_RSTN 管脚为 OD 输出，必须外置上拉电阻。

外部复位使用方式如图 1-4 所示。

图1-4 外部复位电路连接方式示意图



注意

为确保系统能正常启动，小系统相关的外设（例如：存放 boot 的 FLASH 器件）必须先于或同时与 Hi3519AV100 一起释放复位信号，否则可能会出现无法启动等异常情况。

1.1.3 JTAG 接口

JTAG 接口信号描述如表 1-1 所示。



表1-1 JTAG 接口信号

信号名	信号描述
TCK	JTAG 时钟输入，要求单板外接 1K 下拉电阻。
TDI	JTAG 数据输入，要求单板外接 4.7K 上拉电阻。
TMS	JTAG 模式选择输入，要求单板外接 4.7K 上拉电阻。
TRSTN	JTAG 复位输入，正常工作要求单板外接 10K 下拉电阻。
TDO	JTAG 数据输出，要求单板外接 4.7K 上拉电阻。

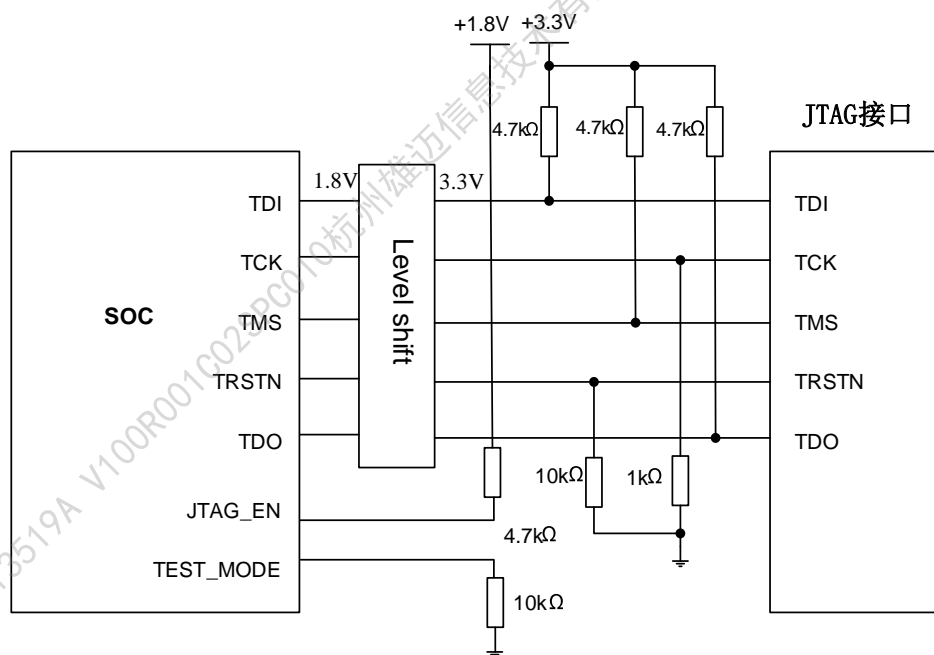
Hi3519AV100 可以通过 TEST_MODE 管脚选择正常和测试两种工作模式，具体说明如表 1-2 所示。

表1-2 TEST_MODE 模式说明

TEST_MODE	模式说明
0	正常工作模式
1	测试模式，实际产品中不用该功能

JTAG 连接方式及标准连接器管脚定义如图 1-5 所示。如果使用 JTAG 功能，请将单板上的 JTAG_EN 引脚上拉，推荐阻值 4.7k Ω 。

图1-5 JTAG 连接方式





注意

对于只支持 3.3V 电平的仿真器，需要在 Hi3519AV100 和 JTAG 接口之间增加电平转换电路，将 1.8V 电平信号转成 3.3V 电平信号。

1.1.4 电源管理（PMC）电路设计

1.1.4.1 接口介绍

电源管理（PMC）模块可以对非常电区的供电模块进行使能控制，接收按键信号/上升沿信号进行上下电控制以及接收外设输出的唤醒信号，从而实现产品的待机和唤醒功能。

该模块的详细功能及开关机逻辑描述请参考《Hi3519AV100 4K Smart IP Camera SoC 用户指南》3.11 章节相关内容。

1.1.4.2 电路设计

PMC 模块供电管脚为 AVDD_BAT_RTC、DVDD18_PMC。

- AVDD_BAT_RTC: RTC 模块供电电源，供电范围 1.6V~3.3 V。使用常电区功能时，该管脚必须接电池或其他不掉电的电源。
- DVDD18_PMC: PMC 常电区的 1.8V 数字 IO 电源。

对 PMC 模块进行硬件设计时，还有以下管脚需要注意：

- VDD_TEST_RTC: RTC 模块电源测试管脚，单板设计时把该管脚悬空。
- PWR_RSTN: PMC 模块复位管脚，低电平有效。该管脚上必须设计一个 RC 复位电路，电阻和电容的选型请参考 HI3519AV100DMEB 原理图设计文件。
- 使用 PMC 模块来实现 HI3519AV100 的待机、唤醒功能时，由于 PMC 模块的工作时钟来自 RTC 模块，所以使用 PMC 功能时，RTC 模块必须供电，RTC 电路也必须正常设计。
- PWR_BUTTON0 用于对接开机按键，PWR_STARTUP 上升沿可触发开机，PWR_SEQ0~PWR_SEQ2 用于使能各路 DC-DC 和 LDO，PWR_SEQ0 用于使能 1.8V 和 3.3V 电源，PWR_SEQ1 用于使能 DDRIO 电源，PWR_SEQ2 用于使能三路 Core 电源。PWR_EN0~PWR_EN1 用于使能 WIFI 或 BT 模块等需要待机工作的模块，PWR_WAKEUP0~PWR_WAKEUP1 用于接收唤醒信号。



注意

只要用到实时显示时间和断电保存时间功能以及开关机功能，电池或不掉电的电源必须接到 RTC 模块的电源管脚，RTC 电路需要正常设计。



1.1.5 待机场景下 RTC&PMC 的电源方案

在不同的待机工作状态下，RTC 和 PMC 有如下几种组合，不同组合下电源的接法建议方案如表 1-3 所示。

表1-3 不同待机工作状态下 RTC 和 PMC 电源方案

方案	工作状态		电源管脚处理方式	
	RTC	PMC	AVDD_BAT_RTC	DVDD18_PMC
方案 1	不使用	不使用	悬空	DVDD18_PMC 接数字 1.8V 电源，待机时下电
方案 2	使用	不使用	接电池或者其他不下电的电源	DVDD18_PMC 接数字 1.8V 电源，待机时下电
方案 3	使用	使用	AVDD_BAT_RTC 和 DVDD18_PMC 接 1V8_PMC 电源，待机时不下电	
方案 4	使用	使用	AVDD_BAT_RTC 接钮扣电池	DVDD18_PMC 接 1V8_PMC 电源，待机时不下电



注意

在表 1-3 中：

- 方案 1 和 2：PWR_BUTTON0、PWR_SEQ0/1/2、PWR_STARTUP、PWR_EN0/1 和 PWR_WAKEUP0/1 可悬空。
- 当 PMC 功能不使用的时候，PWR_RSTN 管脚必须预留一个 4.7uF 对地电容

1.1.6 HI3519AV100 硬件初始化系统配置电路

Hi3519AV100 上电初始化的过程中，需要根据配置管脚的上下拉电阻状态来确定各部分的工作模式。硬件配置信号描述如下表 1-4 所示。

表1-4 信号描述

信号名	方向	说明
JTAG_EN	I	JTAG debug 选择。 0: Disable JTAG; 1: Enable JTAG。
TEST_MODE	I	功能模式和测试模式选择。



信号名	方向	说明
		0: 功能模式; 1: 测试模式。
BOOT_SEL[1:0]	I	BOOT 源的选择。 00: 从 SPI NOR FLASH 启动 01: 从 SPI NAND FLASH 启动 10: 从并口 NAND 启动 11: 从 EMMC 启动
SFC_EMMC_BOOT_MODE	I	如果 BOOT_SEL[1:0]=00, SFC_EMMC_BOOT_MODE 的状态表明了 SPI NOR FLASH 的 boot 模式选择: 0: 3 Byte address mode 1: 4 Byte address mode 如果 BOOT_SEL[1:0]=01, SFC_EMMC_BOOT_MODE 的状态表明了 SPI NAND FLASH 的 boot 模式选择: 0: 1 I/O boot mode 1: 4 I/O boot mode 如果 BOOT_SEL[1:0]=11, SFC_EMMC_BOOT_MODE 的状态表明了 EMMC 的 boot 模式选择: 0: 4 bit boot mode 1: 8 bit boot mode
BOOT_SEL2	I	BOOTROM 启动选择。 0: 按照 BOOT_SEL[1:0]设定的方式启动; 1: 从 BOOTROM 启动。 注: 当选择从 BOOTROM 启动时, 将会启动串口 通信机制, 通过串口与 PC 端相应的软件建立通 信, 下载 boot 程序后完成启动; 如果在 BOOTROM 启动时与串口通信超时未响应, 系统 跳转至 FLASH 启动, FLASH 类型与 BOOT_SEL[1:0] 管脚配置相关。
BOOT_SEL4	I	PCIe 从启动使能。 0: 自主启动模式; 1: PCIe 从启动模式。
COMB_PHY_REFCLK_SEL	I	COMBO PHY 参考时钟源选择。 0: 选择内部时钟; 1: 选择外部时钟。



信号名	方向	说明
UPDATE_MODE_N	I	升级模式，低有效。在芯片上电复位时此信号低电平将引导系统进入 BOOTROM 升级模式。 注意：该管脚需要配合 BOOT_SEL2 使用，当需要使用升级模式时，要设置从 BOOTROM 启动，即 BOOT_SEL2 设置成“1”。
PCIE_DEEMPH_SEL	I	PCIe PHY 去加重参数选择。 0 : -3.5dB; 1 : -6dB。
COMBO_PHY_MODE	I	用于设定 COMBO PHY 接口的复用模式： 0: PCIe 模式; 1: USB3 模式。
POR_SEL	I	芯片复位选择。 0: 外部复位; 1: 内部 POR。

表 1-4 中所列的系统配置管脚有部分与 SENSOR_HS/VIS 复用。如果这些管脚和外设器件的信号管脚有连接，那么必须在该信号上设计上下拉电阻来确定配置管脚的初始状态，电阻阻值推荐 4.7kΩ。



注意

GPIO4_3/SPI4_CSN/UPDATE_MODE_N 管脚使用注意事项：

- 如果客户不使用 UPDATE_MODE_N 功能，客户只能用该管脚的 GPIO 输出功能或者 SPI 功能，硬件设计必须保证该管脚有外部上拉电阻，阻值建议为 4.7 kΩ。
- 如果客户完全不使用该管脚的任何功能，硬件设计也必须保证该管脚有外部上拉电阻，阻值建议为 4.7 kΩ。

1.1.7 DDR 电路设计

1.1.7.1 接口介绍

- Hi3519AV100 DDRC 接口支持 DDR4/LPDDR4。
- 主芯片有 1 个 DDRC，DDRC 有 16bit 地址线，32bit 数据线，可支持对接 2PCS 16bit 位宽 DDR4 颗粒，或者 1PCS 的 LPDDR4。
- 具体规格请参考《Hi3519AV100 4K Smart IP Camera SoC 用户指南》第 4 章节的内容。



1.1.7.2 DDR 拓扑结构

为了使 PCB layout 方便，对接 16bit 位宽的 DDR4 颗粒和 LPDDR4 颗粒时，采用不同的线序，管脚的 SWAP 信息如表 1-5 所示。

表1-5 管脚 SWAP 信息

Pin num	Pin name	信号名		
		2PCS T 型 16bit DDR4	1PCS 32bit LPDDR4	2PCS Flyby 16bit DDR4
P2	DDR_A0	DDR_A0	DDR_CA1_A	DDR_BG0
R1	DDR_A1	DDR_A1	DDR_CA0_B	DDR_A0
M1	DDR_A2	DDR_A2	DDR_CS0_A	DDR_ODT0
L1	DDR_A3	DDR_A3	DDR_CKE0_B	DDR_CS0_N
M2	DDR_A4	DDR_A4	NC	DDR_ACT
R2	DDR_A5	DDR_A5	DDR_ODT_CA_A	DDR_A6
U2	DDR_A6	DDR_A6	DDR_CA1_B	DDR_A2
U1	DDR_A7	DDR_A7	DDR_ODT_CA_B	DDR_A8
V1	DDR_A8	DDR_A8	DDR_CA3_B	DDR_A11
P1	DDR_A9	DDR_A9	DDR_CS1_B	DDR_BA0
1D1	DDR_A10	DDR_A10	-	DDR_A1
1H2	DDR_A11	DDR_A11	DDR_CA2_A	DDR_A13
F2	DDR_A12	DDR_A12	DDR_CKE1_A	DDR_A14
1G1	DDR_A13	DDR_A13	DDR_CA5_A	DDR_A9
1B2	DDR_A14	DDR_A14	-	DDR_A4
H1	DDR_A15	DDR_A15	DDR_CA0_A	DDR_A16
1D2	DDR_A16	DDR_A16	-	DDR_A3
1C2	DDR_ACT	DDR_ACT	DDR_CA3_A	DDR_A12
1E2	DDR_BA0	DDR_BA0	-	DDR_A7
J1	DDR_BA1	DDR_BA1	DDR_CS1_A	DDR_BA1
L2	DDR_BG0	DDR_BG0	DDR_CKE1_B	DDR_A5
1F3	DDR_BG1	NC	DDR_CA2_B	DDR_BG1
F1	DDR_CKE0	DDR_CKE0	DDR_CS0_B	DDR_CS0_N
1F2	DDR_CKE1	NC	-	-
H2	DDR_CS0_N	DDR_CS0_N	DDR_CKE0_A	DDR_A10



Pin num	Pin name	信号名		
		2PCS T 型 16bit DDR4	1PCS 32bit LPDDR4	2PCS Flyby 16bit DDR4
J2	DDR_CS1_N	NC	DDR_CA5_B	-
1C1	DDR_ODT0	DDR_ODT0	DDR_CA4_A	DDR_A15
1F1	DDR_ODT1	NC	DDR_CA4_B	-
1G2	DDR_RESET_N	DDR_RESET_N	DDR_RESET_N	DDR_RESET_N
V2	DDR_ZQ	DDR_ZQ	DDR_ZQ	DDR_ZQ
B17	DDR_DQ0	DDR_DQ0	DDR_DQ11_A	DDR_DQ1
A22	DDR_DQ1	DDR_DQ1	DDR_DQ8_A	DDR_DQ10
1B8	DDR_DQ2	DDR_DQ2	DDR_DQ12_A	DDR_DQ7
1A8	DDR_DQ3	DDR_DQ3	DDR_DQ5_A	DDR_DQ3
1A7	DDR_DQ4	DDR_DQ4	DDR_DQ4_A	DDR_DQ5
1A12	DDR_DQ5	DDR_DQ5	DDR_DQ1_A	DDR_DQ4
1B7	DDR_DQ6	DDR_DQ6	DDR_DQ13_A	DDR_DQ15
A17	DDR_DQ7	DDR_DQ0	DDR_DQ10_A	DDR_DQ13
1A13	DDR_DQ8	DDR_DQ8	DDR_DQ3_A	DDR_DQ0
A24	DDR_DQ9	DDR_DQ9	DDR_DQ7_A	DDR_DQ8
1B12	DDR_DQ10	DDR_DQ10	DDR_DQ15_A	DDR_DQ2
1B13	DDR_DQ11	DDR_DQ11	DDR_DQ2_A	DDR_DQ6
B18	DDR_DQ12	DDR_DQ12	DDR_DQ9_A	DDR_DQ11
B24	DDR_DQ13	DDR_DQ13	DDR_DQ0_A	DDR_DQ12
A18	DDR_DQ14	DDR_DQ14	DDR_DQ14_A	DDR_DQ9
B22	DDR_DQ15	DDR_DQ15	DDR_DQ6_A	DDR_DQ14
1B5	DDR_DQ16	DDR_DQ16	DDR_DQ2_B	DDR_DQ18
1A4	DDR_DQ17	DDR_DQ17	DDR_DQ1_B	DDR_DQ22
1A1	DDR_DQ18	DDR_DQ20	DDR_DQ6_B	DDR_DQ17
B7	DDR_DQ19	DDR_DQ19	DDR_DQ9_B	DDR_DQ27
A3	DDR_DQ20	DDR_DQ18	DDR_DQ7_B	DDR_DQ21
B5	DDR_DQ21	DDR_DQ21	DDR_DQ8_B	DDR_DQ25
B3	DDR_DQ22	DDR_DQ22	DDR_DQ15_B	DDR_DQ31
A5	DDR_DQ23	DDR_DQ23	DDR_DQ14_B	DDR_DQ29



Pin num	Pin name	信号名		
		2PCS T 型 16bit DDR4	1PCS 32bit LPDDR4	2PCS Flyby 16bit DDR4
B14	DDR_DQ24	DDR_DQ24	DDR_DQ13_B	DDR_DQ24
B8	DDR_DQ25	DDR_DQ25	DDR_DQ12_B	DDR_DQ23
B12	DDR_DQ26	DDR_DQ28	DDR_DQ10_B	DDR_DQ30
B15	DDR_DQ27	DDR_DQ27	DDR_DQ0_B	DDR_DQ20
1A6	DDR_DQ28	DDR_DQ30	DDR_DQ3_B	DDR_DQ16
A8	DDR_DQ29	DDR_DQ29	DDR_DQ11_B	DDR_DQ19
A14	DDR_DQ30	DDR_DQ26	DDR_DQ5_B	DDR_DQ26
A15	DDR_DQ31	DDR_DQ31	DDR_DQ4_B	DDR_DQ28
A23	DDR_DM0	DDR_DM0	DDR_DMI0_A	DDR_DM1
1B9	DDR_DM1	DDR_DM1	DDR_DMI1_A	DDR_DM0
A7	DDR_DM2	DDR_DM2	DDR_DMI0_B	DDR_DM2
A12	DDR_DM3	DDR_DM3	DDR_DMI1_B	DDR_DM3
C1	DDR_CLK0_N	DDR_CLK0_N	DDR_CLK_C_A	DDR_CLK0_N
C2	DDR_CLK0_P	DDR_CLK0_P	DDR_CLK_T_A	DDR_CLK0_P
E2	DDR_CLK1_N	NC	DDR_CLK_C_B	-
E1	DDR_CLK1_P	NC	DDR_CLK_T_B	-
1A10	DDR_DQS0_N	DDR_DQS0_N	DDR_DQS0_C_A	DDR_DQS0_N
1B10	DDR_DQS0_P	DDR_DQS0_P	DDR_DQS0_T_A	DDR_DQS0_P
B20	DDR_DQS1_N	DDR_DQS1_N	DDR_DQS1_C_A	DDR_DQS1_N
A20	DDR_DQS1_P	DDR_DQS1_P	DDR_DQS1_T_A	DDR_DQS1_P
1B3	DDR_DQS2_N	DDR_DQS2_N	DDR_DQS0_C_B	DDR_DQS2_N
1A3	DDR_DQS2_P	DDR_DQS2_P	DDR_DQS0_T_B	DDR_DQS2_P
B10	DDR_DQS3_N	DDR_DQS3_N	DDR_DQS1_C_B	DDR_DQS3_N
A10	DDR_DQS3_P	DDR_DQS3_P	DDR_DQS1_T_B	DDR_DQS3_P

- 板名 HI3519AV100DMEB 采用的是 8 层通孔板设计，应用 2PCS 16bit 位宽 DDR4，使用 T 型拓扑（地址线一驱二）。
- 板名 HI3519AV100LPDDR4TB 采用的是 8 层通孔板设计，应用 1PCS 32bit 位宽 LPDDR4，使用一驱一型拓扑（地址线一驱一）。



- 板名 HI3519AV100DMEBLITE 和 HI3519AV100DMEBPRO 均采用的是 4 层通孔板设计，应用 2PCS 16bit 位宽 DDR4，使用 flyby 型拓扑（地址线一驱二），推荐客户参考 HI3519AV100DMEBPRO，该 4 层板相对 HI3519AV100DMEBLITE 4 层板将 DDR 部分的 BOTTOM 走线修改到第 3 层以优化 4 层板裸板 ESD 能力。。



注意

DDR 走线必须完全拷贝 HI3519AV100DMEB、HI3519AV100LPDDR4TB、HI3519AV100DMEBLITE 和 HI3519AV100DMEBPRO 的设计。相关的设计文件请见发布包中的硬件部分。

1.1.7.3 匹配方式设计建议

DQ、DQS 双向信号

Hi3519AV100 应用中 DQ、DQS_P/N 信号都是点对点拓扑，直连即可。

差分时钟

Hi3519AV100 有两组差分时钟信号 DDR_CLK0_N/P, DDR_CLK1_N/P。

- 对接 2 颗 16bit DDR4 颗粒（T 型）时，DDR_CLK0_N/P 采用一驱二的拓扑，在靠近 SOC 的位置跨接 1 个 1pF 的电容，如图 1-5 所示。
- 对接 2 颗 16bit DDR4 颗粒（flyby 型）时，DDR_CLK0_N/P 采用一驱二的拓扑，在靠近颗粒侧的位置跨接 1 个 75 欧姆电阻，如图 1-5 所示。
- 对接 1 颗 LPDDR4 颗粒时，DDR_CLK0_N/P 和 DDR_CLK1_N/P 采用一驱一的拓扑，在靠近 SOC 的位置跨接 1 个 1pF 的电容，如图 1-7 所示。

图1-5 DDR4（T 型）差分时钟信号一驱二应用

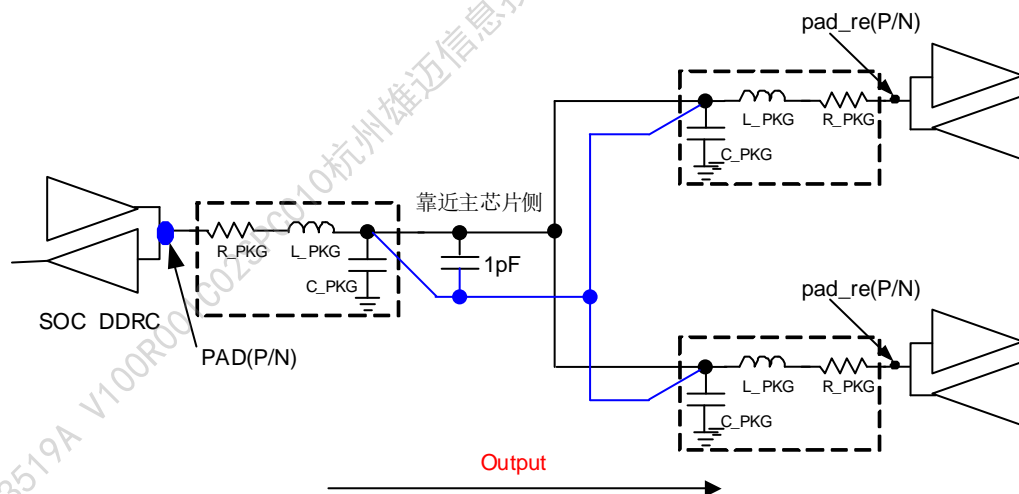


图1-6 DDR4 (flyby) 差分时钟信号一驱一应用

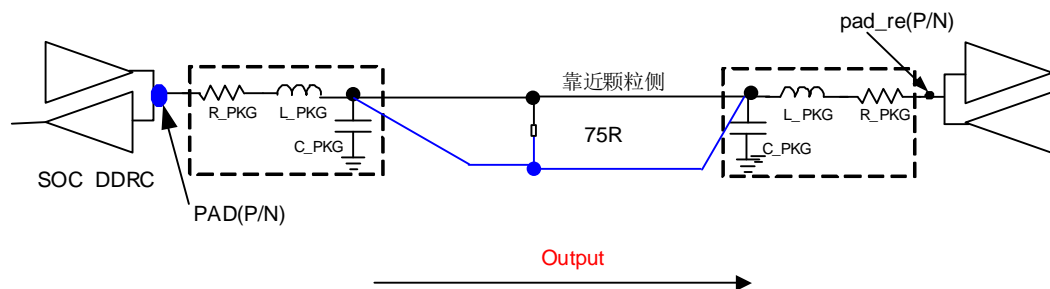
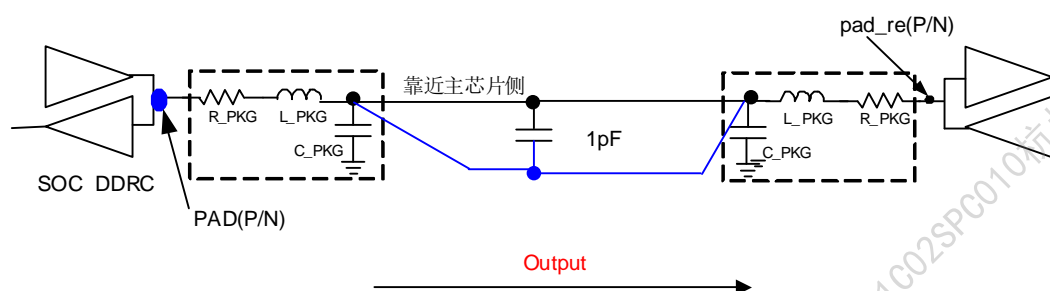


图1-7 LPDDR4 差分时钟信号一驱一应用



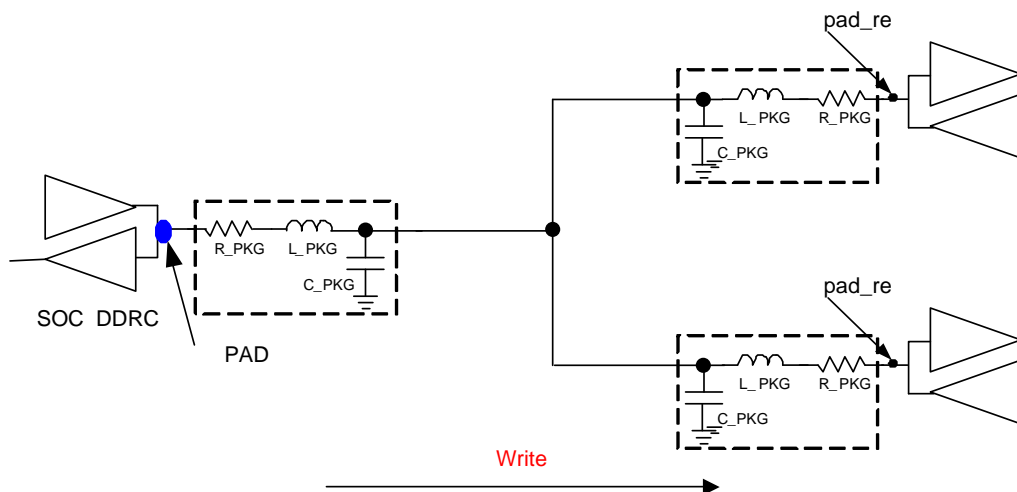
1.1.7.4 地址信号和命令信号

Hi3519AV100 DDR 应用中：

- 对接 2 颗 16bit 位宽 DDR4 颗粒 (T 型) 时，地址和命令信号一驱二连接，如图 1-8 所示。
- 对接 2 颗 16bit 位宽 DDR4 颗粒 (flyby 型) 时，地址和命令信号一驱一连接。匹配方式如下
- CSN：颗粒侧需要匹配 2pF 下拉电容，电容位置距离 SOC 侧 200~300mil。近端颗粒和远端颗粒间串联 10 欧姆 (HI3519AV100DMEBPRO 不需要该匹配电阻)，电阻的位置距离近端颗粒 ≤ 300mil；
- ODT：颗粒侧需要匹配 2pF 下拉电容，电容位置距离 SOC 侧 300~350mil。近端颗粒和远端颗粒串联 10 欧姆 (HI3519AV100DMEBPRO 不需要该匹配电阻)，电阻的位置距离近端颗粒 ≤ 300mil；
- 2T 信号：2T 信号如果走在 PCB 的 BOTTOM 层，需要在近端颗粒和近端颗粒间串联 49.9ohm 电阻 (HI3519AV100DMEBPRO 不需要该匹配电阻)；
- 如果对接 2PCS 16Gbit DDR4 颗粒时，DDR_BG1 信号需要在两颗粒间串 49.9ohm 电阻，电阻的具体位置请参考 HI3519AV100DMEBLITE 或 HI3519AV100DMEBPRO PCB。
- 对接 LPDDR4 颗粒时，地址和命令信号无需做匹配，DDR_CS_A/B、DDR_CKE_A/B、DDR_ODT_A/B 也无需做匹配，直连即可。



图1-8 DDR4 (T 型结构) 地址和命令信号一驱二应用



1.1.7.5 数据掩码信号

DDR 应用中 DM 信号都是点对点拓扑，直连即可。

1.1.7.6 DDR 颗粒外部电阻选择

DDR4 颗粒的外部电阻 (ZQ) 选择 240Ω，精度 ±1%；

LPDDR4 的外部电阻 (ZQ) 通过 240Ω，精度 ±1% 的电阻上拉到 VDDIO_DDR。

1.1.8 FLASH 原理图设计

1.1.8.1 接口介绍

FLASH 控制器支持 SPI NOR FLASH、SPI NAND FLASH、并行 NAND FLASH、和 eMMC。

1.1.8.2 信号处理

SPI FLASH 设计

外接单片 SPI FLASH 时，SPI FLASH 匹配设计推荐如表 1-6 所示，连接方式推荐如图 1-9 所示。

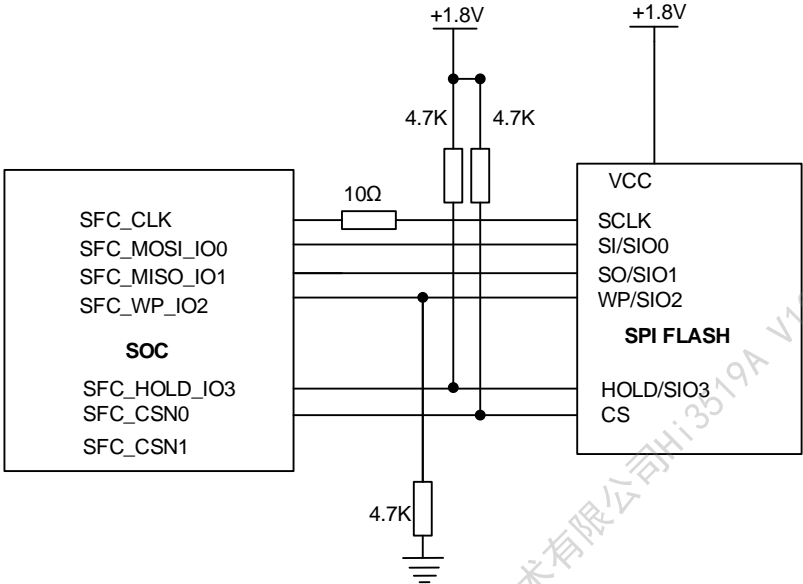
表1-6 单片 SPI FLASH 匹配设计方法

信号	设计方法
SFC_CLK	单沿 150MHz 采样，时钟一驱一时，Hi3519AV100 端串接 10Ω 电阻。信号走线长度不超过 5inch。 双沿 100MHz 采样，时钟一驱一时，Hi3519AV100 端串接 10Ω 电阻。信号走线长度不超过 3inch。



信号	设计方法
SFC_MOSI_IO0 SFC_MISO_IO1 SFC_WP_IO2 SFC_HOLD_IO3 SFC_CSN0	直接相连，其中 SFC_WP_IO2 需要下拉，推荐下拉电阻阻值为 4.7kΩ；SFC_HOLD_IO3 和 SFC_CSN0 需要上拉，推荐上拉电阻阻值为 4.7kΩ。 单沿 150MHz 采样，数据一驱一时，信号走线长度不超过 5inch。 双沿 100MHz 采样，数据一驱一时，信号走线长度不超过 3inch。

图1-9 单片 FLASH 连接示意图



外接两片 SPI Flash 时，SPI Flash 匹配设计方法推荐如表 1-7 所示，连接方式推荐如图 1-10 所示。

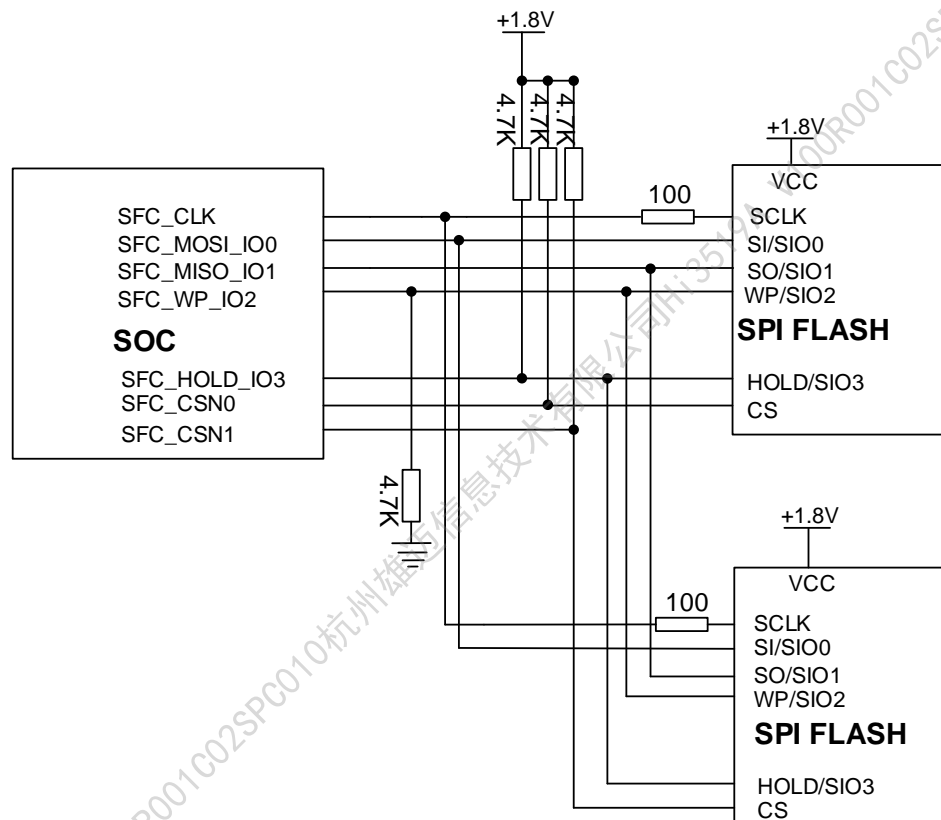
表1-7 两片 SPI FLASH 匹配设计方法

信号	设计方法
SFC_CLK	单沿 150MHz 采样，时钟一驱二时，FLASH 端串接 100Ω 电阻。信号走线主线长度不超过 3inch，分叉线长度不超过 1.5inch。 双沿 100MHz 采样，时钟一驱二时，FLASH 端串接 100Ω 电阻。信号走线主线长度不超过 2.4inch，分叉线长度不超过 1inch，分叉点之后的长度误差不超过 0.3inch



信号	设计方法
SFC_MOSI_IO0 SFC_MISO_IO1 SFC_WP_IO2 SFC_HOLD_IO3	直接相连。其中，SFC_WP_IO2 需要下拉，推荐下拉电阻阻值为 4.7kΩ；SFC_HOLD_IO3 需要上拉，推荐上拉电阻阻值为 4.7kΩ。 单沿 150MHz 采样，数据一驱二时，信号走线主线长度不超过 3inch，分叉线长度不超过 1.5inch。 双沿 100MHz 采样，数据一驱二时，信号走线主线长度不超过 2.4inch，分叉线长度不超过 1inch，分叉点之后的长度误差不超过 0.3inch。
SFC_CSN0 SFC_CSN1	直接相连。 其中，SFC_CSN0/1 需要上拉，上拉电阻阻值为 4.7kΩ。

图1-10 两片 SPIFLASH 连接方法



如果选择从 SPI FLASH 启动，那么主芯片的复位信号释放之后，主芯片默认从 SFC_CSN0 管脚（管脚号 1V3）控制的 FLASH 中读取 Boot。这种情况下，请将存放 Boot 的 FLASH 的 CS 管脚连接至 SFC_CSN0 管脚上。



推荐选用带复位功能的 SPI FLASH 器件，以避免出现主芯片 Watch Dog 生效复位时，FLASH 无法同步复位，从而无法正常重启。

NAND FLASH 信号设计

NAND FLASH 接口支持 8bit 位宽的 SLC NAND FLASH 器件。

外接 NAND FLASH 时，匹配设计方法推荐如表 1-8 所示。

表1-8 NAND FLASH 匹配设计方法

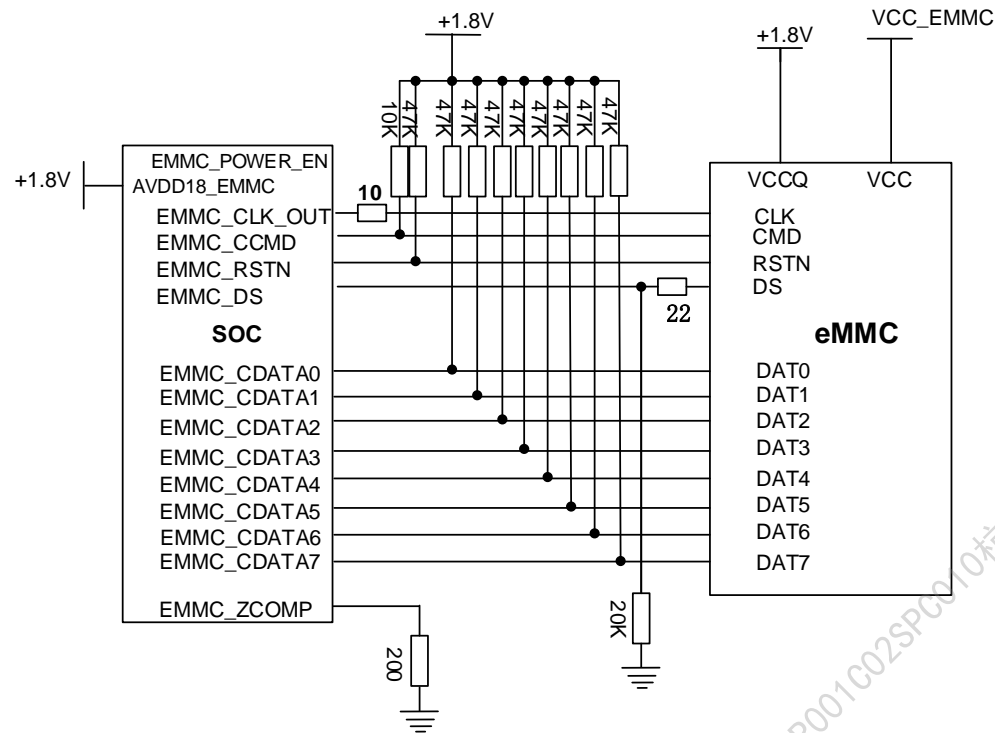
信号	设计方法
NF_WEN NF_REN	源端串联 10Ω 电阻（若走线长度在 2inch 以内可不串电阻），信号走线长度不超过 4inch。
NF_DQ[0:7] NF_ALE NF_CLE NF_CSN NF_RDY	直接相连。 信号走线长度不超过 4inch。 NF_CSN 和 NF_RDY 需外接 4.7k 上拉电阻。

eMMC 信号设计

eMMC 连接示意图，如图 1-11 所示。



图1-11 eMMC 连接示意图



外接 eMMC 时，匹配设计推荐如表 1-9 所示。

表1-9 eMMC 匹配设计方法

信号	设计方法
EMMC_CLK	HI3519AV100 端串联 10Ω 电阻。信号走线长度不超过 4inch。
EMMC_DATA[0:7]	直接相连，建议客户使用芯片内部上拉电阻。 信号走线长度不超过 4inch。
EMMC_CMD	直接相连，建议客户使用芯片内部上拉电阻。 信号走线长度不超过 4inch。
EMMC_DS	EMMC 端串联 22Ω，建议客户使用芯片内部下拉电阻。 信号走线长度不超过 4inch。如果对接的 EMMC 器件无 DS 管脚，HI3519AV100 的 EMMC_DS 管脚可以悬空处理。
EMMC_RST_N	直接相连，建议客户使用芯片内部上拉电阻。
EMMC_POWER_EN	EMMC 电路使用常供电方式，该管脚可复用成 GPIO 使用。



信号	设计方法
EMMC_ZCOMP	必须通过 200Ω 电阻下拉到地。



注意

无论 eMMC 使用与否，EMMC_ZCOMP 管脚始终通过 200Ω 电阻下拉到地。

1.1.8.3 FLASH 配置

- 支持多种规格的 SPI NAND Flash 器件。
 - 支持页大小 2K、4K 的器件。
 - 支持块大小 64 Pages/Block、128 Pages/Block 的器件。
- 支持多种规格的 NAND Flash 器件；
 - 支持页大小 2K、4K、8K、16K 的器件。
 - 支持块大小 64、128、256、512 Pages/Block 的器件。
- 支持自适应 Boot 功能（SPI NAND Flash 和 NAND Flash），控制器自动找到正确的 Page-size、ECC 类型、Block-size 配置。

1.2 电源设计建议

Hi3519AV100 芯片电源设计参数请参见《Hi3519AV100 4K Smart IP Camera SoC 用户指南》2.5 节 电性能参数。

Hi3519AV100 的电源设计，包括电容的容值和数量，要求完全拷贝 HI3519AV100DMEB 的原理图设计。

1.2.1 CORE 电源设计

Hi3519AV100 的 CORE 电源有两种，分别是：

- DVDD_CPU_MEDIA：CPU 和 Media 部分的内核电源，典型电压 0.8V，实际电压由 SVB 动态调压电路控制，其电源芯片选型要求其供电能力不小于 3A。具体参考 HI3519AV100DMEB 最新原理图。
- DVDD：DDR 和 CORE 电源域，典型电压 0.8V，实际电压由 SVB 动态调压电路控制，具体参考 HI3519AV100DMEB 最新原理图。电源芯片选型要求其供电能力不小于 2A，建议客户使用**固定 PWM 模式**的 DCDC。

1.2.2 DDR 电源设计

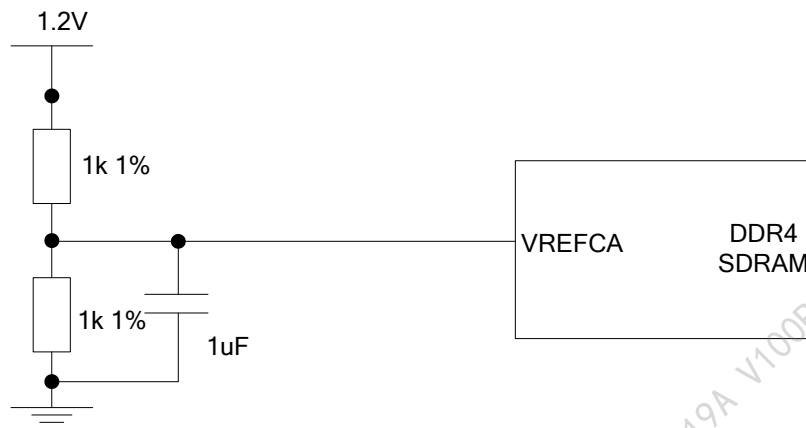
- Hi3519AV100 支持 DDR4/LPDDR4，典型电压 1.2V/1.1V，参考电压（Vref）0.6V（DDR4）。DDR 颗粒的电源要求与 Hi3519AV100 的 DDR IO 电源采用同一电源网络供电。



- 要求单板上采用单独的供电芯片给 DDR4 颗粒和 Hi3519AV100 DDR IO 电源管脚（管脚名 VDDIO_DDR）供电。
- DDR PLL 电源（管脚名 AVDD_DDR_PLL_AC/DQ）：连接 1.8V 电源。必须使用磁珠（1k Ω @100MHz）和主芯片的数字 1.8V 电源进行隔离。
- 主芯片的 DDRIO 的 CK 电源供电（管脚名为 VDDIO_DDR_CK）必须使用磁珠 1k Ω @100MHz）和 VDDIO_DDR 电源进行隔离。
- 通过 1k Ω 电阻（精度 $\pm 1\%$ ）分压为 DDR4（0.6V）颗粒的 Vref 供电。
- Hi3519AV100 主芯片的 Vref 电源集成到内部，外部无需做相应的设计。

DDR4 VREF 电源参考设计如图 1-12 所示。

图1-12 DDR4 电源分压网络参考设计



注意

DDR4 颗粒需要 2.5V 的供电电源 VPP，VPP 电源必须先于或同时与 1.2V VDD 电源上电，且无论什么时候 VPP 电源幅值必须大于等于 1.2V VDD 电源幅值。

1.2.3 IO 电源设计

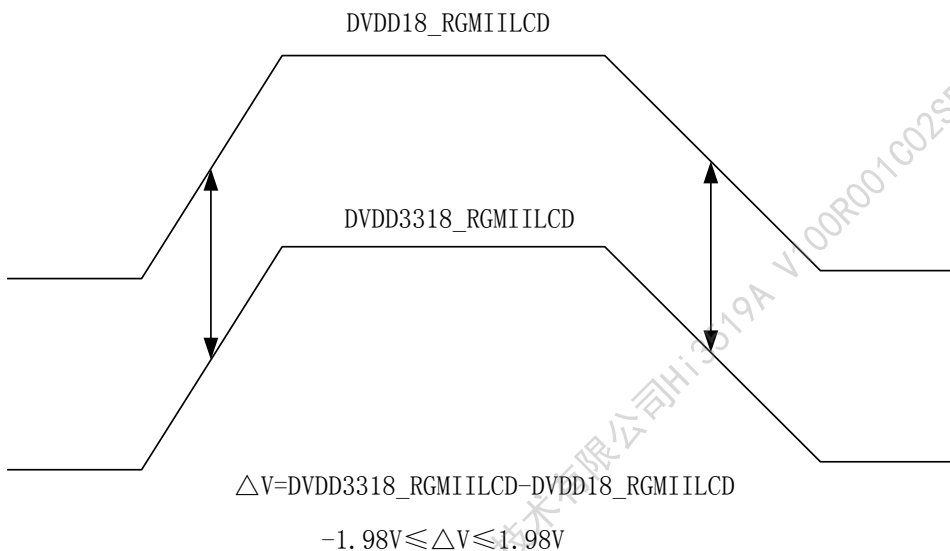
- DVDD33，接数字 3.3V 电源
- DVDD18，接数字 1.8V 电源，建议客户使用**固定 PWM 模式**的 DCDC。
- 在不同的应用场景下，DVDD18_RGMILCD、DVDD3318_RGMILCD、DVDD33 和 DVDD3318 电源的具体接法如表 1-10 所示。



表1-10 DVDD18_RGMII LCD 和 DVDD3318_RGMII LCD 的电源处理方式

应用场景描述	电源管脚处理方式
LCD/RGMII/BT1120/BT656 信号采用 1.8V 电平	DVDD18_RGMII LCD 和 DVDD3318_RGMII LCD 管脚接系统 1.8V 电源，DVDD18_RGMII LCD 和 DVDD3318_RGMII LCD 之间无上下电顺序要求
LCD/RGMII/BT1120/BT656 信号采用 3.3V	DVDD18_RGMII LCD 管脚接芯片的数字 1.8V 电源，DVDD3318_RGMII LCD 管脚接 3.3V 电源。DVDD18_RGMII LCD 和 DVDD3318_RGMII LCD 在上电和下电过程中必须保证压差在 $\pm 1.98V$ 之间，如图 1-13 所示。

图1-13 DVDD18_RGMII LCD 和 DVDD3318_RGMII LCD 上下电要求



如果 DVDD3318_RGMII LCD 接 3.3V 电源,那么建议 DVDD3318_RGMII LCD 管脚上的 3.3V 电源晚于 1.8V 电源上电，早于 1.8V 电源下电。建议的参考电路如图 1-14 所示。

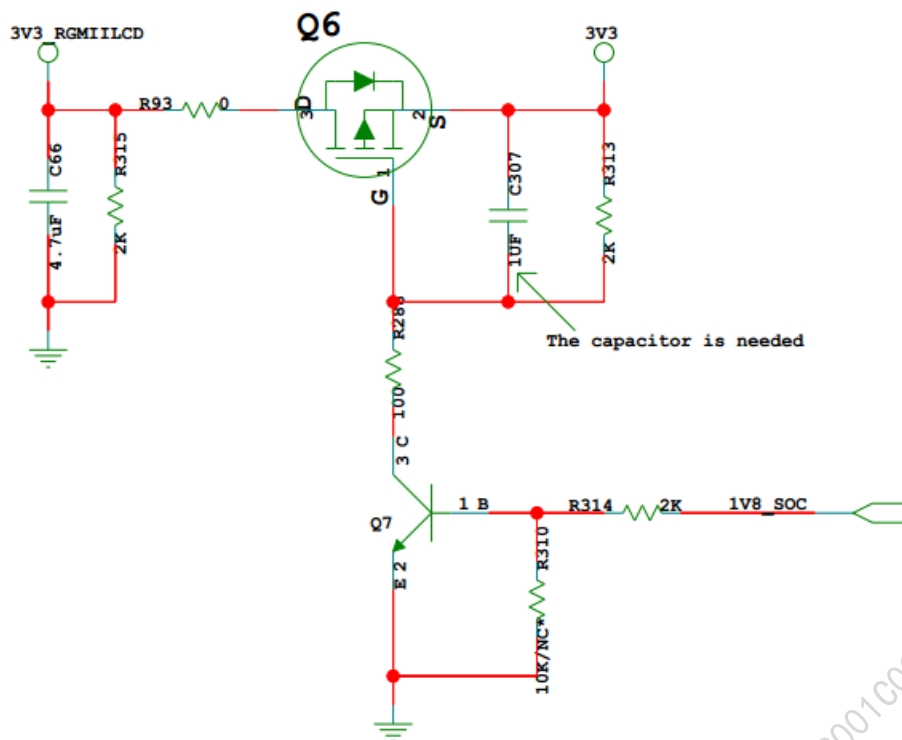


说明

此处是海思的建议方案，其他方案如果能够满足图中的压差要求，也是可行的。



图1-14 1.8V 控制 DVDD3318_RGMILCD 时序电路图



说明

建议客户选择的 MOS 管 $V_{gs(th)}$ 在 -2V 左右。

- 上电过程分析：上述 MOS 管控制时序电路在 1.8V 上升到 1.5-1.7V 之间 MOS 管可导通，DVDD3318_RGMILCD 完成上电，从而保证上电过程中 DVDD3318_RGMILCD 和 DVDD18_RGMILCD 压差小于 1.98V。
- 下电过程分析：由于海思的参考设计采用二级电源树，1.8V 是由 3.3V 产生。目前市面的 DCDC 大多数具有 UVLO（欠压保护）功能，3.3V 下降到约 2V 左右，1.8V 才停止输出，从而保证下电过程中 DVDD3318_RGMILCD 和 DVDD18_RGMILCD 压差小于 1.98V。

表1-11 DVDD33 和 DVDD3318 的电源处理方式

应用场景描述	电源管脚处理方式
SDIO0/LCD/VOU1120 复用成 SDIO0，对接 SD 卡	DVDD3318 必须接芯片的数字 3.3V 电源
SDIO0/LCD/VOU1120 复用成 3.3V 电平 VOU1120 或者 LCD	DVDD3318 必须接芯片的数字 3.3V 电源
SDIO0/LCD/VOU1120 复用成 1.8V 电平 VOU1120 或者 LCD	DVDD3318 必须接芯片的数字 1.8V 电源



注意

- 设计的 1.8V 控制 DVDD3318_RGMILCD 时序电路必须确保 1.8V 上升到 1.5-1.7V 之间 MOS 管可以导通，DVDD3318_RGMILCD 完成上电。
- 关于 LCD 接口 3.3V 和 1.8V 电平寄存器操作说明请参考《Hi3519AV100 3.3V/1.8V 管脚使用指南》。
- 在 RGMII/VOU1120/BT656/LCD 或者 SDIO0/LCD/VOU1120 接口在硬件设计为 3.3V 情况下，如果寄存器配置上述接口为 1.8V，会对这些接口造成损坏。

1.2.4 PLL 电源设计

Hi3519AV100 的 PLL 电源有 2 个，分别是：

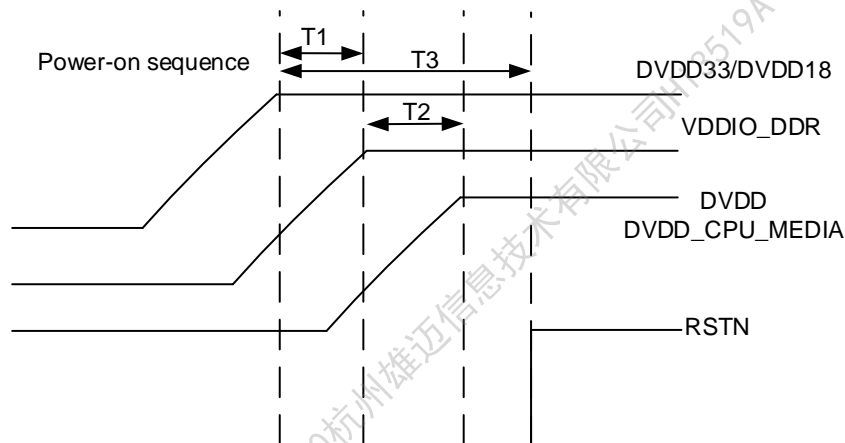
- AVDD08_PLL：设计上必须用磁珠（1kΩ@100MHz）对 DVDD 电源进行隔离。
- AVDD18_PLL：设计上必须用磁珠（1kΩ@100MHz）对数字 1.8V 电源进行隔离。

具体电路设计请参考 HI3519AV100DMEB 板原理图。

1.2.5 上下电时序

Core 电源、DDR 电源和 IO 电源有上下电时序的要求，如图 1-15 到图 1-16 所示。

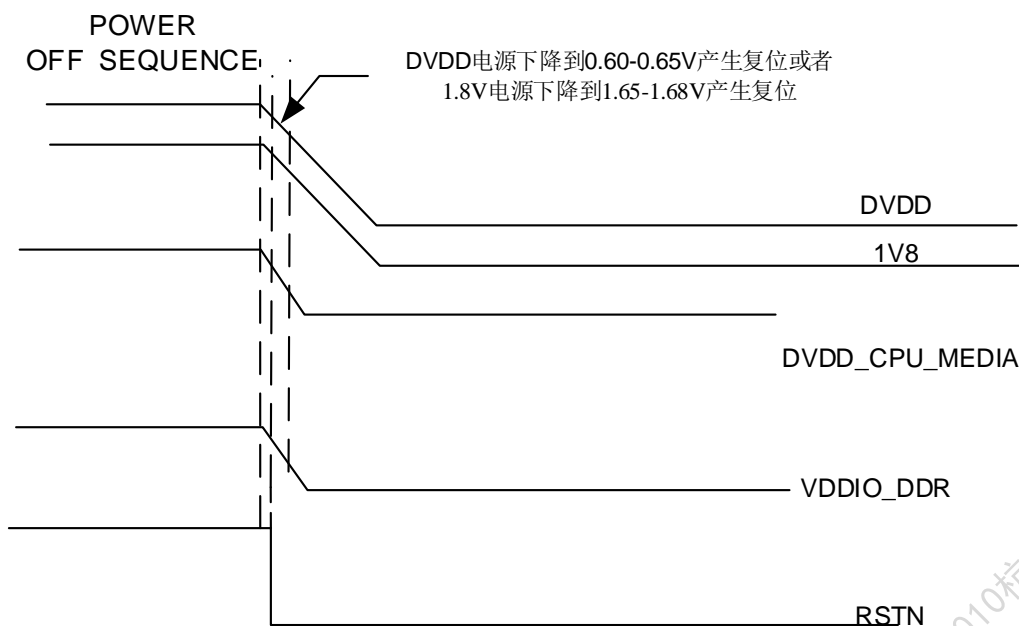
图1-15 外部复位上电时序图



其中， $T1+T2 \leq 10\text{ms}$ ， $T3 \geq 32\text{ms}$ ，二路 Core 电源同时上电。



图1-16 外部复位下电时序图



说明

要求客户设计的外部复位电路必须保证 DVDD 电源下降到 0.6-0.65V 或者 1.8V 电源下降到 1.65-1.68V 范围内，触发外部复位芯片产生 RST_N 复位信号。

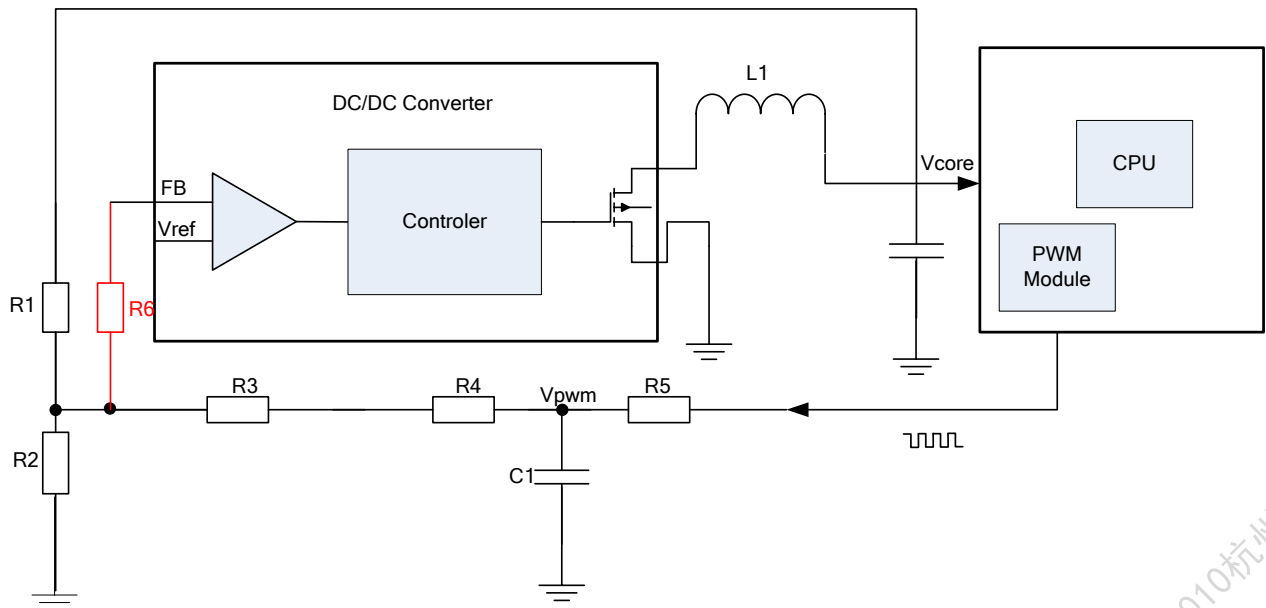
1.2.6 SVB 动态调压

Hi3519AV100 的 Core 电源必须增加动态调压功能，实现方式如下：

通过 Hi3519AV100 的 PWM 波形输出管脚 SVB_PWM0 和 SVB_PWM2，经过 RC 滤波后输出 0~1.8V 不同电压的直流电平，该直流电平叠加到 DC-DC 的反馈电压输入处，实现 DC-DC 输出电压的调节。调节 Hi3519AV100 相关的寄存器可以改变 PWM 的频率和占空比，最终可以实现动态调节 DC-DC 的输出电压，如图 1-17 所示。



图1-17 电源动态调压示意图



SVB 电路设计中，将 Hi3519AV100 SVB_PWM 管脚通过 SVB 电路连接至 CORE 电源 DC/DC 的 FB 管脚即可。设计中需注意事项如下：

- PWM0 用于控制 DVDD 电源的电压；
PWM2 用于控制 DVDD_MEDIA 和 DVDD_CPU 合并后电源的电压；
- DC-DC 的 FB 管脚前预留一个电阻 R6，用于调节 DC-DC 器件的环路稳定性；
通常 R6 的阻值可以按照下面的规则进行计算。该计算方法仅适用 MPS 的 DC/DC，其他方案 DC/DC，需客户与厂家确认。

$$R6 * (V_{out}/V_{ref}) + R1 = 200k$$

其中，V_{out} 是 DC/DC 输出的标称电压值，V_{ref} 是 DC/DC 的参考电压值，R1 是 DC/DC FB 管脚的上分压电阻值。

等式右边的 200k 是一个经验值，当 DC/DC 输出电容容值大于 DC/DC 手册中的参考电容容值，那么这里可以改为 100k。

计算出来的 R6 是一个参考值，实际阻值可以在计算值左右波动，尽量接近即可。

- 要求选用 DC-DC 参考电压 V_{ref} 小于 0.65V，DCDC 的 VEF 精度偏差不能超过 2%。



注意

所有的电阻精度均要求 1%，电容材质必须为 X7R。

SVB 电路的参数配置必须保持与表 1-12 和表 1-13 一致。



表1-12 DVDD SVB 调压 RC 参数

Vref(V)	R1(kohm)	R2(kohm)	R3(kohm)	R4(kohm)	R5(kohm)	C(uF)
0.45	33.2	36.5	100	75	1	2.2
0.6	12.7	33.2	39.2	27	1	2.2
0.608	15.4	43.2	56.2	24.3	1	2.2

表1-13 DVDD_CPU_MEDIA SVB 调压 RC 参数

Vref(V)	R1(kohm)	R2(kohm)	R3(kohm)	R4(kohm)	R5(kohm)	C(uF)
0.45	36.5	35.7	7.5	150	1	2.2
0.6	12	27	30.9	22.1	1	2.2
0.608	12.7	30.1	30	26.1	1	2.2

1.3 外围接口设计建议

1.3.1 MAC 接口

MAC 接口设计

Hi3519AV100 的 MAC 支持 RGMII 和 RMII 模式，不支持 MII 模式。MAC 信号在 1.8V 情况下的信号连接如图 1-18 和图 1-19 所示。



图1-18 Hi3519AV100 RGMII 模式下的信号连接示意图

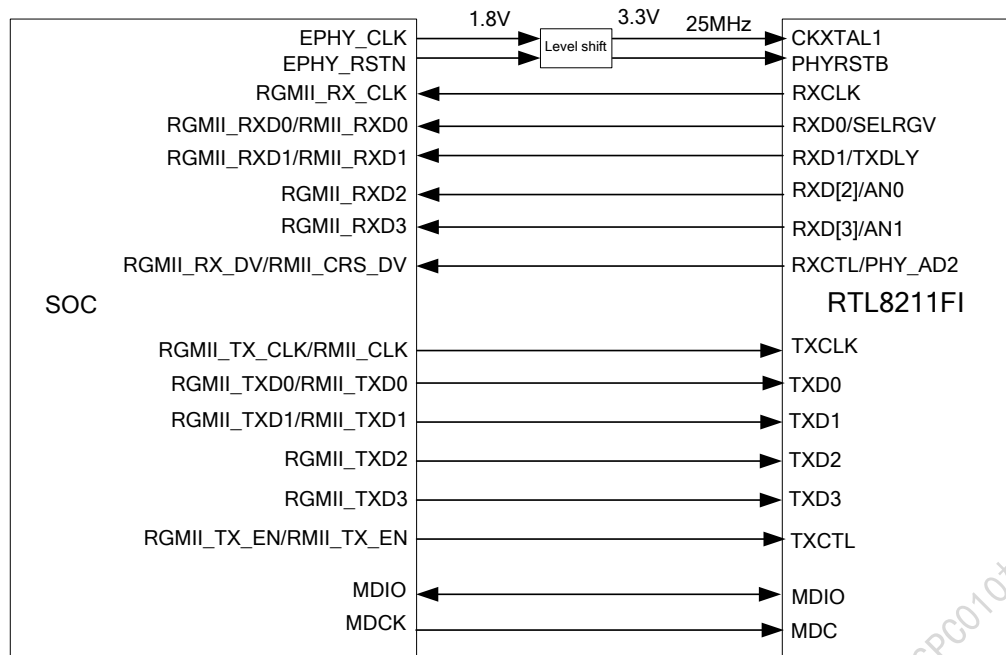
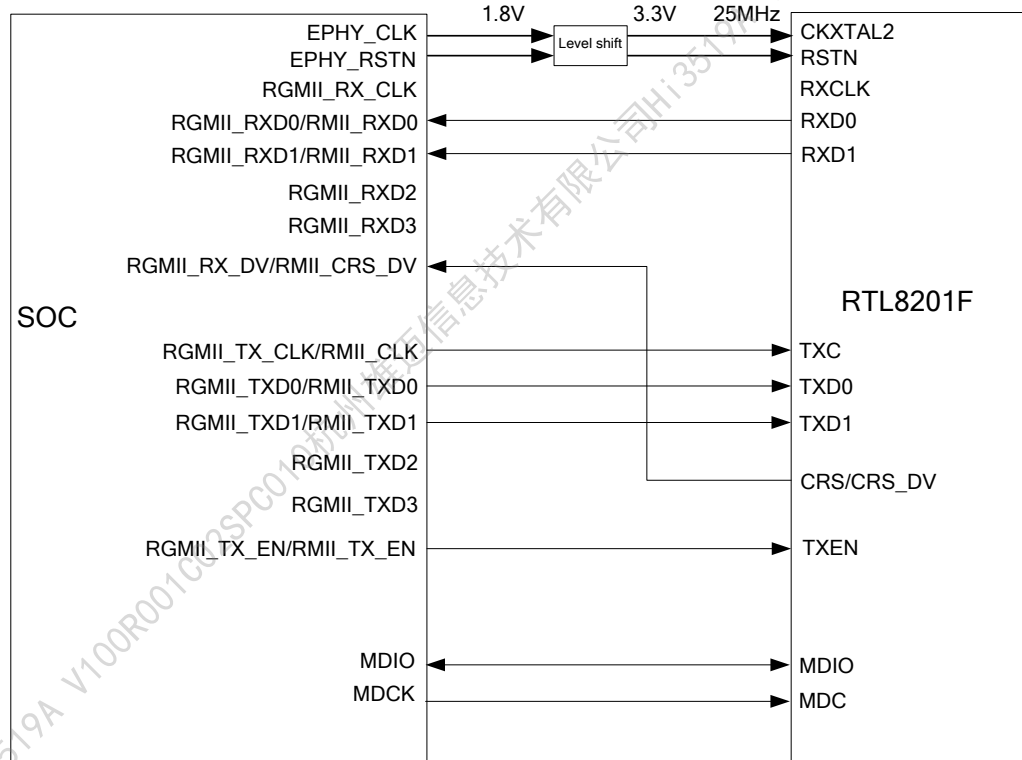


图1-19 Hi3519AV100 RMII 模式下的信号连接示意图





说明

RTL8211FI 的 TXD[2]、TXD[3]、TXER 管脚有内部弱下拉，外部可以悬空处理。Hi3519AV100 的 MAC 接口支持 1.8V 和 3.3V 电平。

- 当 Hi3519AV100 的 MAC 接口为 1V8 的时候，由于 RTL8211FI 和 RTL8201F 的时钟输入管脚和复位管脚只支持 3.3V 电平，所以主芯片输出的 EPHY_CLK 和 EPHY_RSTN 信号需要经过电平转换到 3.3V 才能对接以上两种 PHY；
- 当 Hi3519AV100 的 MAC 接口为 3V3 的时候，主芯片输出的信号和 RTL8211FI 和 RTL8201F 相对应的管脚直连；
- 如果用户使用其他 PHY 芯片，则需要查看 PHY 手册关于这两个管脚的电平要求，再做处理。

ETH MAC 信号设计要求如表 1-14 所示。

表1-14 ETH MAC 信号设计方法

信号	设计方法
RGMII_TX_CLK	信号在 Hi3519AV100 端串联 33Ω 电阻，电阻离 SOC 端 0.3inch 以内，走线长度不能超过 5inch。
RGMII_TXD[0:3] RGMII_TX_EN	信号在 Hi3519AV100 端串联 33Ω 电阻，电阻离 SOC 端 0.3inch 以内，走线长度不能超过 5inch。
RGMII_RX_CLK	建议在 ETH PHY 端串联 33Ω 电阻。
RGMII_RXD[0:3] RGMII_RX_DV	在 ETH PHY 端串联 33Ω 电阻。
MDCK	信号在 Hi3519AV100 端串联 33Ω 电阻，走线长度不能超过 5inch。
MDIO	MDIO 需要接 1.5kΩ 上拉电阻。
EPHY_CLK	信号在 Hi3519AV100 端串联 33Ω 电阻。

1.3.2 音视频接口

1.3.2.1 模拟音频接口设计

Hi3519AV100 提供 2 组双声道音频输入接口（AC_IN0L/R、AC_IN1L/R），1 组双声道输出接口（AC_OUTL/R）。

AC_IN0L/R 可以复用为一个差分输入接口 AC_IN0_P/N，AC_IN1L/R 可以复用为一个差分输入接口 AC_IN1_P/N。音频输出接口不支持差分输出。

- Audio 模块的模拟电源 AVDD18_AC 必须使用磁珠与系统 1.8V 电源隔离。
- AC_VREF 引脚上的滤波电容 4.7uF+100nF 的低 ESR 陶瓷电容。
- Audio 模块的输入接口均可作为 LINEIN 或者 MIC_IN 的输入通道。如果输入设备为无源 MIC，则需要提供 MIC_BIAS 偏置电压。如果输入设备为有源 LINE 输出设备（例如：PC），则不需要。

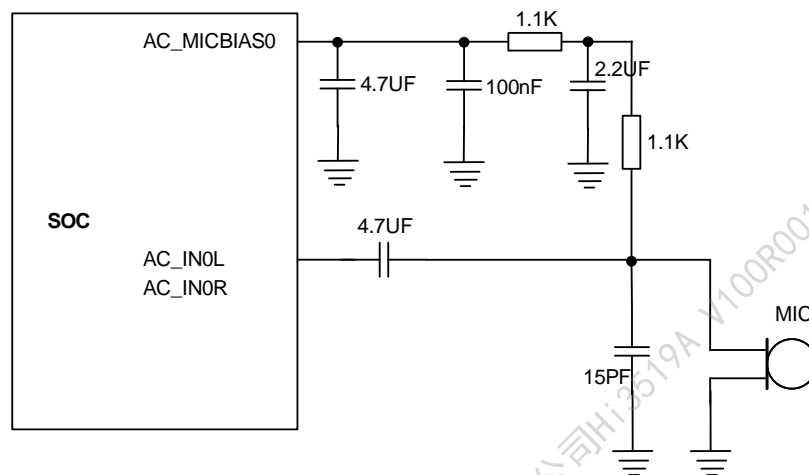


- 音频输入信号上的隔直电容靠近 Hi3519AV100 放置，电容容值推荐选择 4.7 μ F。
- Hi3519AV100 提供了 2 个 MIC_BIAS 管脚，其中 AC_MICBIAS0 对应 AC_IN0L/R，AC_MICBIAS1 对应 AC_IN1L/R。
- AC_MICBIAS0/1 管脚处需要各放置一个 4.7 μ F 电容。
- 为获得较好的音频质量，建议在音频输出管脚 AC_OUTL 和 AC_OUTR 的外围增加音频放大器以及滤波电路。
- 音频输出信号线上必须有 ESD 保护措施，加强接口的抗干扰能力。

MIC 单端输入电路设计

MIC 单端输入参考电路如图 1-20 所示。

图1-20 MIC 单端输入电路

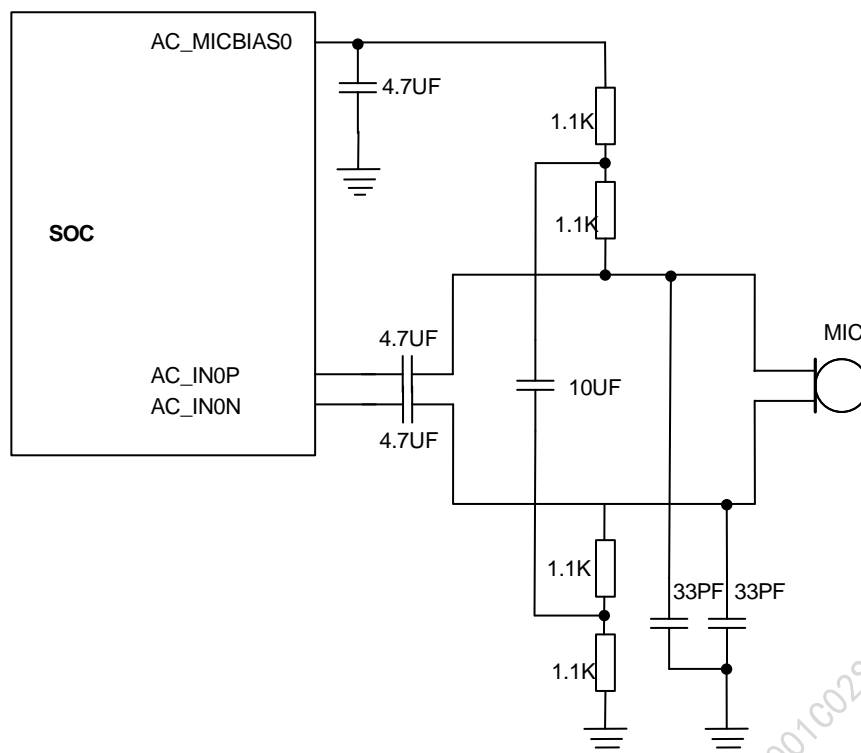


MIC 差分输入电路设计

MIC 差分输入参考电路如图 1-21 所示，图中使用的 MIC 为普通单端 MIC。



图1-21 MIC 差分输入电路



注意

Audio 模块容易受电源噪声和信号串扰影响，为了有效降低音频底噪，需要根据使用场景做以下处理：

1、场景一（单 MIC 或双 MIC）

- 推荐 MIC 输入电路采用差分设计，MIC 可选用普通单端 MIC；
- 若 MIC 输入电路采用单端设计，则需要按照场景二的方法处理。

2、场景二（三个 MIC 或四个 MIC）

- MIC 输入电路采用单端设计，这时候建议通过限制输入增益或关闭 ADC 增益 Boost 控制的方式来降低底噪，推荐把输入增益调节到 36db 以下，并关闭 ADC 增益 boost 控制；
- 如果对远距离拾音有要求，则可以打开 ADC 增益 boost 控制，并把输入增益调节到 27dB 以下，或适当选用灵敏度更高的 MIC 或选择外置 audio codec。

以上两种方法都需要对相应寄存器进行设置，具体寄存器描述请参考《Hi3519AV100 4K Smart IP Camera SoC 用户指南》12.2.5 章节，寄存器调节方法请参考《Hi3519AV100/Hi3556AV100 音频优化方案》。

双 MIC 接法说明

通过配置寄存器 AUDIO_ANA_CTRL_1 中的 LINEIN_R_SEL 和 LINEIN_L_SEL 实现双 MIC 不同接法。双 MIC 有如下组合。



- 双 MIC 均为单端输入
- 双 MIC 均为差分输入
- 双 MIC 一路单端，一路差分输入



说明

寄存器 **AUDIO_ANA_CTRL_1** 的描述请参考《Hi3519AV100 4K Smart IP Camera SoC 用户指南》的 12.2.5 章节。

以双 MIC 均为单端输入举例说明，正确接法如图 1-22 到图 1-27 所示。

双 MIC 均为差分输入或者双 MIC 中一路是单端输入、另一路是差分输入的接法，请参考寄存器 **AUDIO_ANA_CTRL_1** 中的 **LINEIN_R_SEL** 和 **LINEIN_L_SEL** 的值，在硬件上选择对应的通道。

- 双 MIC 均为单端输入时的接法示意图，如图 1-22 到图 1-27。

图1-22 双 MIC 均为单端输入的接法 1

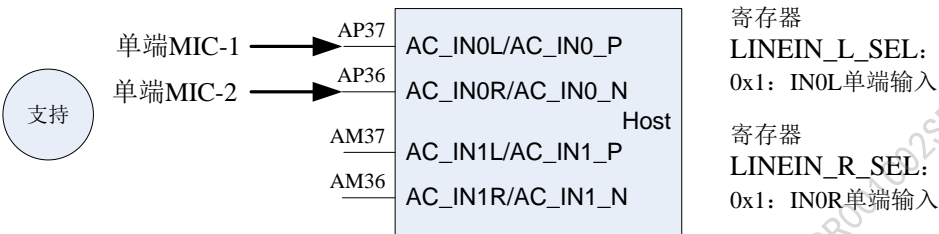


图1-23 双 MIC 均为单端输入的接法 2

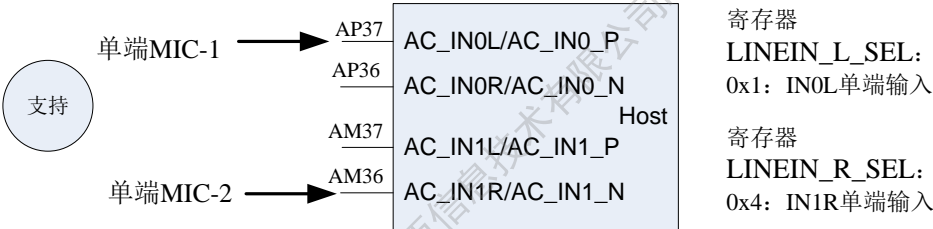


图1-24 双 MIC 均为单端输入的接法 3

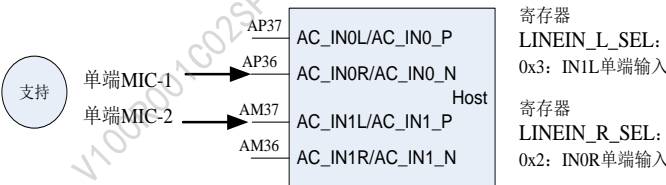




图1-25 双 MIC 均为单端输入的接法 4

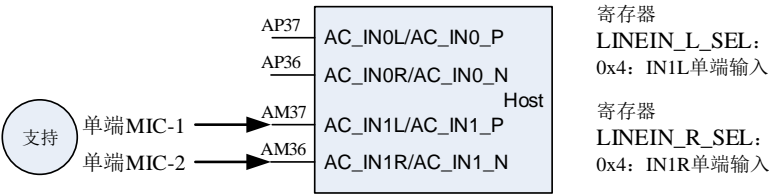


图1-26 双 MIC 均为单端输入的接法 5

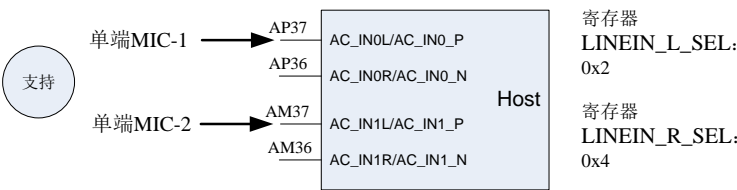
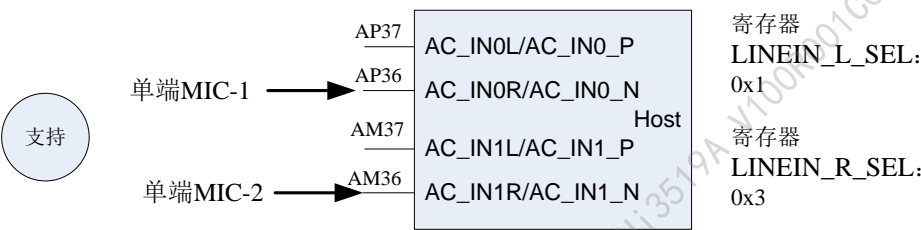


图1-27 双 MIC 均为单端输入的接法 6



1.3.2.2 I2S 接口

Hi3519AV100 支持 2 个 I2S 接口，这两个 I2S 接口复用在 JTAG 上。不同应用场景的接法如图 1-11 所示

表1-15 I2S 不同场景的接法

管脚名称	场景							
	I2S0 对讲, 采用外置 Codec+I2S1 4 路复合输入	I2S0 对讲, 采用内置 Codec+I2S1 4 路 4 线输入	I2S0 对讲, 采用内置 Codec +I2S1 4 路复合输入	I2S0 对讲, 采用外置音频 Codec	I2S0 对讲, 采用内置音频 Codec	I2S0 放音输出, 采用内置 Codec+I2S1 4 路 4 线输入	I2S0 放音输出, 采用内置 Codec+I2S1 4 路复合输入	I2S0 放音输出, 采用外置 Codec+I2S1 4 路复合输入
JTAG_TRSN	I2S1_MCLK	I2S1_MCLK	I2S1_MCLK	I2S0_MCLK	-	I2S1_MCLK	I2S1_MCLK	I2S1_MCLK
JTAG_TCK	I2S1_BCLK	I2S1_BCLK	I2S1_BCLK	-	-	I2S1_BCLK	I2S1_BCLK	I2S1_BCLK



JTAG_TMS	I2S1_WS	I2S1_WS	I2S1_WS	-	-	I2S1_WS	I2S1_WS	I2S1_WS
JTAG_TDO	I2S1_SD_RX0	I2S1_SD_RX0	I2S1_SD_RX0	-	-	I2S1_SD_RX0	I2S1_SD_RX0	I2S1_SD_RX0
JTAG_TDI	I2S0_BCLK	I2S1_SD_RX1	-	I2S0_BCLK	-	I2S1_SD_RX1	-	I2S0_BCLK
GPIO2_5	I2S0_WS	I2S1_SD_RX2	-	I2S0_WS	-	I2S1_SD_RX2	-	I2S0_WS
GPIO2_6	I2S0_SD_TX	I2S1_SD_RX3	-	I2S0_SD_TX	-	I2S1_SD_RX3	-	I2S0_SD_TX
GPIO2_7	I2S0_SD_RX	NA	-	I2S0_SD_RX	-	-	-	I2S0_SD_RX
AC_OUTL	-	AC_OUTL	AC_OUTL	-	AC_OUTL	AC_OUTL	AC_OUTL	-
AC_OUTR		AC_OUTR	AC_OUTR		AC_OUTR	AC_OUTR	AC_OUTR	-
AC_IN0L		AC_IN0L	AC_IN0L		AC_IN0L	-	-	-
AC_IN0R		AC_IN0R	AC_IN0R		AC_IN0R	-	-	-
AC_IN1L		AC_IN1L	AC_IN1L		AC_IN1L	-	-	-
AC_IN1R		AC_IN1R	AC_IN1R		AC_IN1R	-	-	-

1.3.2.3 Sensor 配置接口设计

Hi3519AV100 支持多路 Sensor 输入，Sensor 的配置接口分别包含如下信号：

- SENSOR_RSTN0、SENSOR_CLK0、SENSOR_HS0、SENSOR_VS0。
- SENSOR_RSTN1、SENSOR_CLK1、SENSOR_HS1、SENSOR_VS1。
- SENSOR_RSTN2、SENSOR_CLK2、SENSOR_HS2、SENSOR_VS2。
- SPI0/I2C1/I2C2、SPI1/I2C3/I2C4、SPI2/I2C5/I2C6。

以 SENSOR0 接口为例，说明各个信号的用途。

- SENSOR_RSTN0，能通过配置寄存器输出复位信号，用于 Sensor0 的复位。
- SENSOR_CLK0，能提供各种主流 Sensor 的工作时钟，详细请见《Hi3519AV100 4K Smart IP Camera SoC 用户指南》系统章节的 CRG 寄存器的配置信息。在设计时，SENSOR_CLK0 需要在 Hi3519AV100 端串联 33Ω 电阻。
- SPI0/I2C1 用于 Sensor0 的配置：



- 其中 I2C1_SCL 和 SPI0_SCLK 复用，I2C1_SDA 与 SPI0_SDO 复用。Sensor 配置接口还支持一种“3 Wire SPI Interface”，它也与 SPI0 复用，用于对接部分的松下 Sensor。
- 在设计时，I2C1 信号需要外接上拉电阻，上拉电阻值推荐为 1kΩ。
- SENSOR_HS0 和 SENSOR_VS0 输出行场同步信号，用于支持“从模式”的 Sensor。
- 为保证 ESD 性能，在 Sensor 板电路设计中，Sensor 复位信号需加入 1NF 对地电容。

在对接多个 Sensor 时，推荐以下接法，如图 1-28、图 1-29 和图 1-30 所示：

图1-28 两个相同的 sensor 配置接口接法

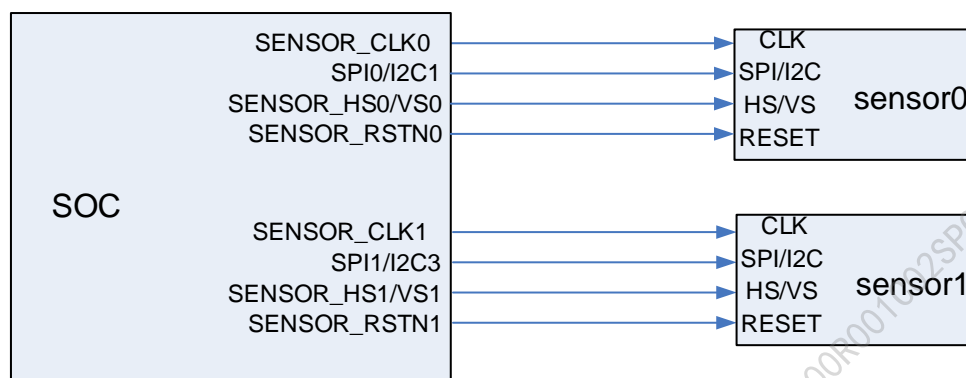




图1-29 四个相同的 sensor 配置接口接法

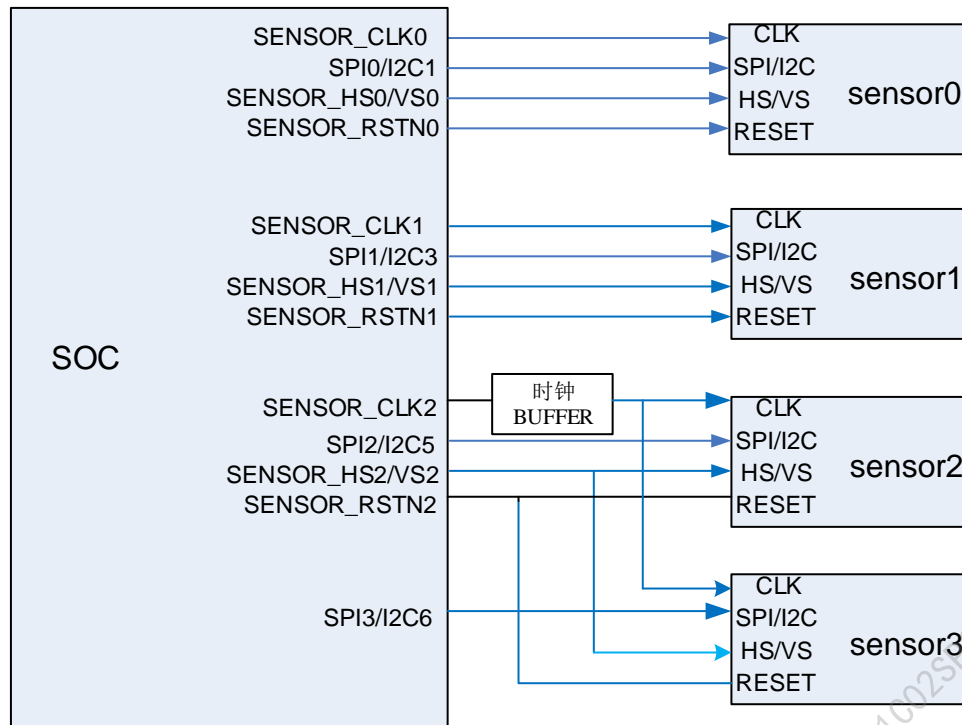
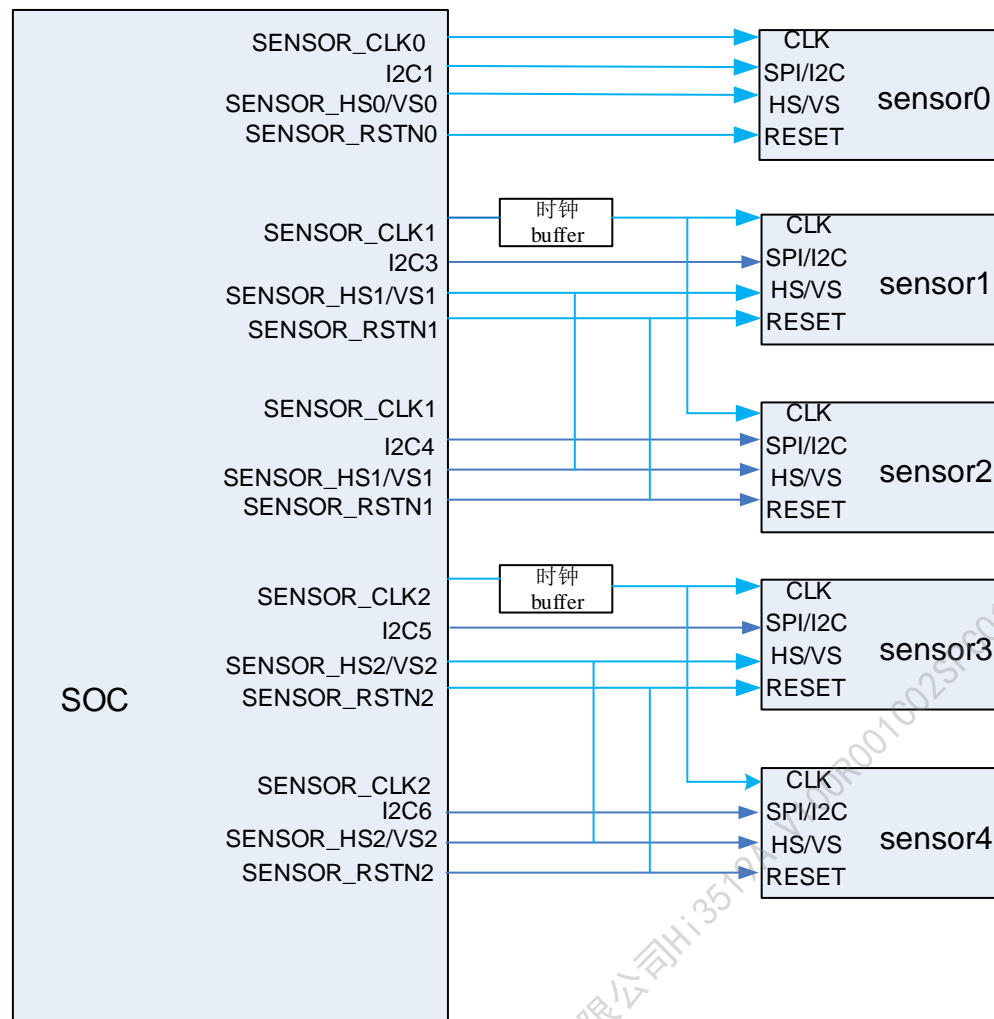




图1-30 五个相同的 sensor 配置接口接法



1.3.2.4 VI 接口设计

VI 可以复用为两种接口：Parallel CMOS 视频输入接口和差分视频输入接口（即 MIPI RX 接口）。

- Parallel CMOS 视频输入接口支持 RAW Data、BT.1120、BT.656、BT.601 格式的数据。接口频率可达 148.5MHz。
 - 当对接信号是 RAW DATA 时，单板设计时从 VI 低位开始按照顺序连接，例如 12bit RAW DATA 对接 VI 的 D0~D11 位。
 - 当对接信号是 BT.1120 时，单板设计时 Y 信号按顺序对接 VI 的高 8bit，C 信号按顺序对接 VI 的低 8bit。内同步和外同步方式均支持。
 - 当对接信号是 BT.656 或者 BT.601 时，单板设计时从 VI 低位开始按照顺序连接。
- MIPI RX 的输入方式如表 1-16 所示。
- 差分视频输入接口有 5 组差分时钟信号，其中



- MIPI_RX0_D0P/N、MIPI_RX0_D1P/N、MIPI_RX0_D2P/N、MIPI_RX0_D3P/N 四对差分数据参考 MIPI_RX0_CKP/N 差分时钟采样；
- MIPI_RX1_D0P/N、MIPI_RX1_D1P/N、MIPI_RX1_D2P/N、MIPI_RX1_D3P/N 四对差分数据参考 MIPI_RX1_CK0P/N 差分时钟采样；
- MIPI_RX2_D0P/N、MIPI_RX2_D1P/N、MIPI_RX2_D2P/N、MIPI_RX2_D3P/N 四对差分数据参考 MIPI_RX2_CK0P/N 差分时钟采样；
- MIPI_RX0_D0P/N，MIPI_RX0_D2P/N 两对差分数据参考 MIPI_RX0_CKP/N 差分时钟采样；
- MIPI_RX0_D1P/N，MIPI_RX0_D3P/N 两对差分数据参考 MIPI_RX0_CKP/N 差分时钟采样；
- MIPI_RX1_D0P/N，MIPI_RX1_D2P/N 两对差分数据参考 MIPI_RX1_CK0P/N 差分时钟采样；
- MIPI_RX1_D1P/N，MIPI_RX1_D3P/N 两对差分数据参考 MIPI_RX1_CK1P/N 差分时钟采样；
- MIPI_RX2_D0P/N，MIPI_RX2_D2P/N 两对差分数据参考 MIPI_RX2_CK0P/N 差分时钟采样；
- MIPI_RX2_D1P/N，MIPI_RX2_D3P/N 两对差分数据参考 MIPI_RX2_CK1P/N 差分时钟采样；
- 另外 MIPI_RX0_CKP/N 差分时钟也可以对应全部 12lane 数据进行采样。
- MIPI RX 接口内置了 100 Ω 跨接匹配电阻，外部无需再设计或者预留。
- AVDD08_MIPIRX 电源管脚需要与数字电源 DVDD 用磁珠（要求直流阻抗小于 0.7 Ω ）隔离并在芯片管脚端放置 4.7 μ F 滤波电容。
- AVDD18_MIPIRX 电源管脚需要与数字 1.8V 电源用磁珠（要求直流阻抗小于 0.7 Ω ）隔离并在芯片管脚端放置 470nF 滤波电容。
- AVDD18_MIPITX 电源管脚需要与数字 1.8V 电源用磁珠（要求直流阻抗小于 0.7 Ω ）隔离并在芯片管脚端放置 4.7 μ F 滤波电容。

表1-16 MIPI RX 输入方式

Sensor 方案	MIPI0_D 0/2	MIPI0_D 1/3	MIPI1_D0 /2	MIPI1_D1/3	MIPI2_D0/2	MIPI2_D1/3
	MIPI_RX0_CKP/N		MIPI_RX1_CK0P/N	MIPI_RX1_CK1P/N	MIPI_RX2_CK0P/N	MIPI_RX2_CK1P/N
4Lane	Sensor0，使用 MIPI_RX0_CKP/N 采样		-	-	-	-
8Lane	Sensor0，使用 MIPI_RX0_CLKP/N 采样				-	-
(4+4)Lane	Sensor0，使用 MIPI_RX0_CKP/N 采样		Sensor1，使用 MIPI_RX1_CK0P/N 采样		-	-



Sensor 方案	MIPI0_D 0/2	MIPI0_D 1/3	MIPI1_D0 /2	MIPI1_D1/3	MIPI2_D0/2	MIPI2_D1/3
	MIPI_RX0_CKP/N		MIPI_RX1_ CK0P/N	MIPI_RX1_C K1P/N	MIPI_RX2_C K0P/N	MIPI_RX2_C K1P/N
(2+2+2+2)Lane	Sensor0, 使用 MIPI_RX0_CKP/N 采样	-	Sensor1, 使用 MIPI_RX1_CK0P/N 采样	Sensor2, 使用 MIPI_RX1_CK1P/N 采样	Sensor3, 使用 MIPI_RX2_CK0P/N 采样	-
(4+4+4)Lane	Sensor0 使用 MIPI_RX0_CKP/N 采样		Sensor1, 使用 MIPI_RX1_CK0P/N 采样		Sensor2, 使用 MIPI_RX2_CK0P/N 采样	
(4+4+2)Lane	Sensor0 使用 MIPI_RX0_CKP/N 采样		Sensor1, 使用 MIPI_RX1_CK0P/N 采样		Sensor2, 使用 MIPI_RX2_CK0P/N 采样	-
(4+2+2+2+2)Lane	Sensor0 使用 MIPI_RX0_CKP/N 采样		Sensor1, 使用 MIPI_RX1_CK0P/N 采样	Sensor2, 使用 MIPI_RX1_CK1P/N 采样	Sensor3, 使用 MIPI_RX2_CK0P/N 采样	Sensor4, 使用 MIPI_RX2_CK1P/N 采样



注意

- Hi3519AV100 的 VI 场景应用比较复杂，尤其是多路 sensor 对接的应用，用户可参考《Hi3519AV100 Sensor 输入接口电平场景详细说明》以获得更清晰的理解。
- 对接 SLVS-EC 接口模式的 sensor 时，因为 SLVS-EC 的 PHY 的参考时钟需要和 sensor 的参考时钟同频，所以 sensor 的参考时钟必须由 Hi3519AV100 提供。

1.3.2.5 并行 VO 接口设计

Hi3519AV100 的并行 VO (Vedio ouput) 接口支持 BT.656、BT.1120 和 RGB 输出，不支持 BT.601。

其中 RGB 输出用于对接 LCD 屏，支持 6/8bit 串行 RGB 和 16bit, 24 bit 并行 RGB。详细如表 1-17 所示。



表1-17 信号接口模式与引脚对应关系

信号接口模式	引脚对应关系
BT.1120	Y（亮度）：VO1120_DATA[15:8] C（色度）：VO1120_DATA [7:0] CLOCK：VOU1120_CLK
BT.656	DATA：BT656_DATA [7:0] CLOCK：BT656_CLK
6 bit Serial RGB	DATA：LCD_DATA [5:0] CLOCK：LCD_CLK HSYNC：LCD_HSYNC VSYNC：LCD_VSYNC DE：LCD_DE
8 bit Serial RGB	LCD_DATA [7:0] CLOCK：LCD_CLK HSYNC：LCD_HSYNC VSYNC：LCD_VSYNC DE：LCD_DE
16 bit Parallel RGB（RGB565）	B[4:0]：LCD_DATA [15:11] G[5:0]：LCD_DATA [10:5] R[4:0]：LCD_DATA [4:0] HSYNC：LCD_HSYNC VSYNC：LCD_VSYNC DE：LCD_DE
24 bit Parallel RGB（RGB888）	R[7:0]：LCD_DATA [23:16] G[7:0]：LCD_DATA [15:8] B[7:0]：LCD_DATA [7:0] HSYNC：LCD_HSYNC VSYNC：LCD_VSYNC DE：LCD_DE

LCD 信号复用在 VOU1120/SDIO0/RGMII/SDIO1，16 bit Parallel RGB（RGB565）LCD 来源 VOU1120 和 RGMII，24 bit Parallel RGB（RGB888）来源 VOU1120/SDIO0/RGMII/SDIO1。具体见《Hi3519AV100 LCD 输出说明》。



表1-18 并行 VO 信号设计要求

信号	设计方法
VOU1120_CLK LCD_CLK	1.8V 电平时，在 Hi3519AV100 端串联 39Ω 电阻，走线长度控制在 3inch 以内。 3.3V 电平且 VOU1120_CLK 和 LCD_CLK 频率在 100MHz 时候在 Hi3519AV100 端串联 47Ω 电阻，走线长度控制在 5inch 以内。
VO1120_DATA/LCD_DATA	1.8V 电平时，直连，走线长度控制在 4inch 以内； 串联电阻（阻值推荐 47Ω ）走线长度控制在 8inch。 3.3V 电平时，在 Hi3519AV100 端必须串联 47Ω 电阻，走线长度控制在 5inch 以内。



注意

VOU1120_CLK 和 LCD_CLK 在 3.3V 电平且支持 148.5MHz 时候，对接器件 CL 和板级走线的总共 CL 约束小于 5pF，走线长度最大可支持到 3inch。

1.3.2.6 HDMI 接口设计

Hi3519AV100 内置了一个 HDMI PHY。

- HDMI 接口的模拟电源 AVDD08_HDMITX，需要与数字电源 DVDD 通过磁珠（要求直流阻抗小于等于 0.25Ω ）隔离并在靠近芯片管脚端放置 $4.7\mu\text{F}$ 滤波电容，约束该电源的纹波噪声 PK-PK 幅度小于 60mV。
- AVDD33DRV_HDMITX 电源管脚需要通过二极管（电流大于 1mA，压降 0.3V 左右）接到电源 3.3V，靠近芯片管脚端放置 $4.7\mu\text{F}$ 滤波电容；
- AVDD18PLL_HDMITX 电源管脚需要与数字电源 1.8V 通过磁珠 $1000\Omega@100\text{MHz}$ 隔离并在靠近芯片管脚端放置 470nF 滤波电容；
- HDMI 信号上要有 ESD 保护，ESD 器件靠近 HDMI 连接器放置，ESD 器件寄生电容小于 0.5pF ；
- HDMI_REXT 管脚需要外接 $12\text{k}\Omega$ ，精度 $\pm 1\%$ 的电阻到地；
- 详细的原理图设计请参考 HI3519AV100DMEB 原理图设计文件。



注意

如果客户的产品应用形态需要主芯片的编码器运行频点 750MHz，且需要 4K@60 分辨率输出，AVDD08_HDMITX 必须采用 LDO 供电方案，具体设计可参考 HI3519AV100DMEB 原理图和 PCB 设计文件。



1.3.2.7 MIPI TX 接口设计

Hi3519AV100 内置了一个 MIPI TX PHY，用于对接 MIPI 接口的 LCD 屏。

- AVDD18_MIPITX 电源管脚需要与数字电源 1.8V 用磁珠隔离并在芯片管脚端放置 4.7uF 滤波电容。
- DSI_D0P/N、DSI_D1P/N、DSI_D2P/N 和 DSI_D3P/N 四对差分数据参考差分时钟 DSI_CKPN 采样。
- 详细的原理图设计请参考 HI3519AV100DMEB 原理图设计文件。

1.3.3 SPI 和 I2C 接口

- Hi3519AV100 有 4 组 SPI 接口， SPI0~SPI2 用于 Sensor 配置。SPI3/4 用于控制外设。
- Hi3519AV100 有 10 组 I2C 接口， I2C1~I2C6 用于 Sensor 配置，它们与 SPI0~SPI2 接口复用，具体复用关系请查看《Hi3519AV100_PINOUT_CN》。
- I2C0 用于控制外设，该 IO 类型为 OD，耐 3.3V 电压，可以使用电阻（推荐 1kΩ）上拉到 3.3V，支持和 3.3V 的器件对接。
- I2C 信号推荐接外接 1kΩ 上拉电阻。



注意

I2C7_SCL、I2C7_SDA、I2C8_SCL 和 I2C8_SDA 上拉电源必须和 DVDD3318_RGMILCD 电源保持一致。

1.3.4 SDIO 设计

Hi3519AV100 有 2 个 SDIO 接口。

其中 SDIO0 支持对接 SDXC 卡，向下兼容 SDHC 卡，支持 3.3V/1.8V 电平；

SDIO1 只支持对接 WIFI，接口电平只支持 1.8V；

SDIO0_CARD_DETECT 和 SDIO0_CARD_POWER_EN 支持 3.3V/1.8V 电平。

DVDD18_LDO_DECAP_1 和 DVDD18_LDO_DECAP_2 管脚需要分别接 1 个 1uF 电容到地。

SDIO0 管脚不支持防倒灌功能，SDIO1 管脚支持防倒灌功能。如果需要防倒灌功能生效，不能用外部上拉电阻，否则会在待机时产生漏电。

SDIO 信号设计要求如表 1-19 所示。

表1-19 SDIO 信号设计要求

信号	设计方法
DVDD3318_SDIO_VOUT	在 SOC 端接 1 个 10uF 的电容到地。



信号	设计方法
SDIO0_CCLK_OUT	<ul style="list-style-type: none">在 SOC 端串联 33Ω 电阻, 距离源端小于 0.6inch。走线长度不能超过 4inch。
SDIO0_CDATA[0:3] SDIO0_CMD	<ul style="list-style-type: none">在 SOC 端串联 33Ω 电阻, 距离源端小于 0.6inch, 走线长度不能超过 4inch。走线长度不超过 2inch 时, SOC 端可不匹配电阻
SDIO0_CARD_DETECT	在对接 SD 卡时, SDIO0_CARD_DETECT 信号必须外接上拉电阻, 阻值推荐 4.7k Ω 。
SDIO1_CCLK_OUT	<ul style="list-style-type: none">在 SOC 端串联 33Ω 电阻, 距离源端小于 0.6inch。走线长度不能超过 4inch。
SDIO1_CDATA[0:3] SDIO1_CMD	<ul style="list-style-type: none">在 SOC 端串联 33Ω 电阻, 距离源端小于 0.6inch, 走线长度不能超过 4inch。走线长度不超过 2inch 时, SOC 端可不匹配电阻

1.3.5 USB2.0 和 USB3.0 接口

1.3.5.1 USB2.0

Hi3519AV100 提供 1 个 USB2.0 接口, 支持 Host 或者 Device, 不支持 OTG。

- AVDD33_USB_0/1 与 AVDDH33_USB_0/1 合并, 使用 1 个磁珠 (要求直流阻抗小于 0.7 Ω) 与系统 3.3V 电源隔离, 靠近管脚放置一个 4.7 μ F 电容。
- DVDD_USB0 与 DVDD_USB1 合并, 靠近管脚放置 1 个 4.7 μ F 电容。
- USB2_ID 为测试管脚, 可以悬空。
- USB2_VBUS 通过 30k Ω 电阻上拉到 USB 接口的 5V_VBUS 上。
- USB2_REXT 需对地外接一个 200 Ω 的电阻, 精度 1%。
- USB2.0 信号上要有 ESD 保护措施, ESD 器件的寄生电容要求小于 1pF, ESD 器件靠近 USB 接口放置。

1.3.5.2 USB3.0 和 PCIE 接口

Hi3519AV100 提供 1 个 COMBO PHY 接口, 支持 USB3.0 和 PCIE。USB3.0 向下兼容支持 USB2.0。

- AVDD08_COMBO_PHY 使用 1 个磁珠 (要求直流阻抗小于 0.7 Ω) 与系统 DVDD 电源隔离, 靠近管脚放置 1 个 4.7 μ F 电容。
- AVDD18_COMBO_PHY 合并供电, 使用 1 个磁珠与数字 1.8V 电源隔离, 靠近管脚放置 1 个 470nF 电容。
- USB3.0 信号上要有 ESD 保护措施, ESD 器件的寄生电容要求小于 0.5pF, ESD 器件靠近 USB 接口放置。
- USB3.0 的信号设计要求如表 1-20 所示。



表1-20 USB3.0 和 PCIE 信号设计要求

信号	设计方法
USB3_PCIE_RX0P/M	如果对接器件是 IC 或模组，那么 RX 差分信号需要在对接器件端串联 100nF 电容。 如果对接器件是插座，那么 RX 差分信号直接连接至插座，无需串联电容。
USB3_PCIE_TX0P/M	如果对接器件是 IC 或模组，那么 TX 差分信号需要在 Hi3519AV100 端串联 100nF 电容。 如果对接器件是插座，那么 TX 差分信号需要在靠近插座的位置串联 100nF 电容。
COMBO_PHY_REFCLKP/M	Hi3519AV100 支持 2 种时钟方案： (1) Hi3519AV100 给对接器件提供时钟。 COMBOPHY 差分时钟信号在 Hi3519AV100 端必须加 49.9Ω 下拉电阻。 (2) 外部器件给 Hi3519AV100 提供时钟。 COMBOPHY 差分时钟信号在外部器件源端必须加 49.9Ω 下拉电阻。

1.3.6 ADC

Hi3519AV100 支持 4 路模拟信号输入，进行 AD 转换。这 4 个管脚均可复用为 GPIO 信号。

1.3.7 RTC

内置 RTC 在固定分频模式，计时精度主要取决于外置晶体，请综合考虑晶体频率误差、温度漂移等因素，选择合适的晶体；对计时精度要求较严格的产品，建议选择外置高精度集成 RTC。



注意

- RTC_XIN 为 RTC 时钟输入管脚。
- AVDD18_RTC_PMC 掉电后，AVDD_BAT_RTC 必须保持供电，否则时间会被复位。

1.3.8 PWM

Hi3519AV100 有个 11 PWM，其中有 6 个复用在 EMMC 模块。SOC 的 SVB_PWM0，SVB_PWM2 只能用于做 2 路 Core 电源调压，PWM_OUT[0:7]用于对接外设。

- SVB_PWM0：控制 DVDD 电源电压；



- SVB_PWM2: 控制 DVDD_CPU_MEDIA 电源电压;
所有 PWM 接口不使用时均可复用为 GPIO 使用。

1.3.9 UART

Hi3519AV100 支持 9 个 UART 接口, 除了 UART1/3/7/8 是 4 线串口, 其余 UART 均是 2 线串口。

UART0 用于系统调试, UART2 用于 Huawei LiteOS/DSP 调试。

1.4 特殊管脚说明

1.4.1 未使用的模块处理

未使用的模块电源和管脚处理建议如表 1-21 所示。

表1-21 未使用模块电源及管脚处理建议

Net Name	POWER	STATUS(IF NOT USED)	备注
AVSS_AC	-	TIED TO VSS	-
AVDD18_AC	-	PULL TO 1.8V	-
AC_IN0L	AVDD18_AC	TIED TO VSS	-
AC_IN0R			-
AC_IN1L			-
AC_IN1R			-
AC_MICBIAS0		N.C.	-
AC_MICBIAS1			-
AC_OUTL			-
AC_OUTR			-
AC_VREF			-
AVDD18_MIPITX			-
AVSS_MIPITX	-	TIED TO VSS	
DSI_CKN	AVDD18_MIPITX	N.C.	
DSI_CKP			
DSI_D0N			
DSI_D0P			
DSI_D1N			



Net Name	POWER	STATUS(IF NOT USED)	备注	
DSI_D1P				
DSI_D2N				
DSI_D2P				
DSI_D3N				
DSI_D3P				
AVDD18_EMMC	-	PULL TO 1.8V	-	
EMMC_ZCMOP	AVDD18_EMMC	接 200 Ω 电阻到地	此管脚不能悬空	
EMMC_CLK	AVDD18_EMMC	N.C.	-	
EMMC_CMD	AVDD18_EMMC		-	
EMMC_DATA0			-	
EMMC_DATA1			-	
EMMC_DATA2			-	
EMMC_DATA3			-	
EMMC_DATA4			-	
EMMC_DATA5			-	
EMMC_DATA6			N.C.	-
EMMC_DATA7				-
EMMC_POWER_EN				
EMMC_RST_N				
EMMC_DS		-		
AVDD08_HDMITX	-	PULL TO DVDD	-	
AVDDDRV_HDMITX	-	PULL TO 3.3V	-	
AVDDPLL_HDMITX	-	PULL TO 1.8V	-	
AVSS_HDMITX	-	TIED TO VSS	-	
HDMI_REXT	AVDD18_HDMITX	N.C.	-	
HDMI_TX0N			-	
HDMI_TX0P			-	
HDMI_TX1N			-	
HDMI_TX1P			-	
HDMI_TX2N			-	



Net Name	POWER	STATUS(IF NOT USED)	备注
HDMI_TX2P			-
HDMI_TXCN			-
HDMI_TXCP			-
AVDD18_LSADC	-	PULL TO 1.8V	-
AVSS_LSADC	-	TIED TO VSS	-
LSADC_CH0	AVDD18_LSADC	N.C.	-
LSADC_CH1			-
LSADC_CH2			
LSADC_CH3			
AVDD08_MIPIRX	-	PULL TO DVDD	-
AVDD18_MIPIRX	-	PULL TO 1.8V	-
AVSS_MIPIRX	-	TIED TO VSS	-
MIPI_RX0_CK0N	AVDD18_MIPIRX	N.C.	-
MIPI_RX0_CK0P			-
MIPI_RX0_CK1N			-
MIPI_RX0_CK1P			-
MIPI_RX0_D0N			-
MIPI_RX0_D0P			-
MIPI_RX0_D1N			-
MIPI_RX0_D1P			-
MIPI_RX0_D2N			-
MIPI_RX0_D2P			-
MIPI_RX0_D3N			-
MIPI_RX0_D3P			-
MIPI_RX1_CK0N			-
MIPI_RX1_CK0P			-
MIPI_RX1_CK1N			-
MIPI_RX1_CK1P			-
MIPI_RX1_D0N			-
MIPI_RX1_D0P			-



Net Name	POWER	STATUS(IF NOT USED)	备注
MIPI_RX1_D1N			-
MIPI_RX1_D1P			-
MIPI_RX1_D2N			-
MIPI_RX1_D2P			-
MIPI_RX1_D3N			-
MIPI_RX1_D3P			-
MIPI_RX2_CK0N			-
MIPI_RX2_CK0P	AVDD18_MIPIRX	N.C.	-
MIPI_RX2_CK1N			-
MIPI_RX2_CK1P			-
MIPI_RX2_D0N			-
MIPI_RX2_D0P			-
MIPI_RX2_D1N			-
MIPI_RX2_D1P			-
MIPI_RX2_D2N			-
MIPI_RX2_D2P			-
MIPI_RX2_D3N			-
MIPI_RX2_D3P			-
VDD_TEST_RTC	-	N.C.	1. PMC 不用，RTC 用时： PWR 所有信号浮空， DVDD18_PWC/ AVDD_BAT_RTC 正常接 模拟电。 2. PMC&RTC 都不用时： PWR 所有信号浮 空,RTC_XIN 接 地,RTC_XOUT 浮空， DVDD18_PMC 接数字 1.8V, AVDD_BAT_RTC 浮空,AVSS 接地
DVDD18_PMC	-	PULL TO 1.8V	
AVDD_BAT_RTC	-	N.C.	
AVSS_RTC	-	TIED TO VSS	
RTC_XIN	AVDD_BAT_RTC/DV DD18_PMC	TIED TO VSS	
RTC_XOUT	AVDD_BAT_RTC/DV DD18_PMC	N.C.	
PWR_BUTTON0	常供电区， AVDD_BAT_RTC	N.C.	
PWR_EN0			
PWR_EN1			
PWR_RSTN			



Net Name	POWER	STATUS(IF NOT USED)	备注	
PWR_SEQ0				
PWR_SEQ1				
PWR_SEQ2				
PWR_STARTUP				
PWR_WAKEUP0				
PWR_WAKEUP1				
AVDD33_USB0	-	TIED TO VSS	-	
AVDDH33_USB0	-		-	
DVDD_USB	-		-	
USB3_DM	AVDD33_USB0	N.C.	-	
USB3_DP			-	
USB3_ID			-	
USB3_REXT			-	
USB3_VBUS			-	
AVDD33_USB1	-	TIED TO VSS	-	
AVDDH33_USB1	-		-	
DVDD_USB1	-		-	
USB2_DM	AVDD33_USB1	N.C.	-	
USB2_DP			-	
USB2_ID			-	
USB2_REXT			-	
USB2_VBUS			-	
AVDD08_COMBO_PHY	-	PULL TO 0.8V	将 IP 设置永久复位状态	
AVDD18_COMBO_PHY	-	PULL TO 1.8V		
AVSS_COMBO_PHY1	-	TIED TO VSS		
AVSS_COMBO_PHY2	-			
AVSS_COMBO_PHY3				
COMBO_PHY_REFCLKM	AVDD18_USB3_PHY	N.C.		
COMBO_PHY_REFCL				



Net Name	POWER	STATUS(IF NOT USED)	备注
KP			
USB3_PCIE_TX0M	-		
USB3_PCIE_TX0P	-		
USB3_PCIE_RX0M	-	TIED TO VSS	
USB3_PCIE_RX0P	-		
VDDIO_DDR	-	若其中一个 PHY 不使用,电源地处理方案: 1.VDDIO_DDR 正常供电; 2.VDDIO_DDR_CK 正常供电; 3.对应 PHY 的 AVDD18_DDR_PLL_A C/DQ 电源接数字电源 1.8V; 4.对应 PHY 的 AVSS_DDR_PLL_AC/DQ 接 VSS	-
VDDIO_DDR_CK	-		-
AVDD18_DDR_PLL_A C	-		-
AVDD18_DDR_PLL_D Q	-		-
AVSS_DDR_PLL_AC	-		-
AVSS_DDR_PLL_DQ	-		-
DDR_A0	VDDIO_DDR	N.C.	-
DDR_A1			-
DDR_A10			-
DDR_A11			-
DDR_A12			-
DDR_A13			-
DDR_A14			-
DDR_A15			-
DDR_A16			-
DDR_A2			-
DDR_A3			-
DDR_A4			-
DDR_A5			-
DDR_A6			-
DDR_A7			-
DDR_A8			-



Net Name	POWER	STATUS(IF NOT USED)	备注
DDR_A9			-
DDR_ACT	VDDIO_DDR	N.C.	-
DDR_BA0			-
DDR_BA1			-
DDR_BG0			-
DDR_BG1			-
DDR_CKE0			-
DDR_CKE1			-
DDR_CLK0_N	VDDIO_DDR_CK	N.C.	-
DDR_CLK0_P			-
DDR_CLK1_N			-
DDR_CLK1_P			-
DDR_CS0_N	VDDIO_DDR	N.C.	-
DDR_CS1_N			-
DDR_DM0			-
DDR_DM1			-
DDR_DM2			-
DDR_DM3			-
DDR_DQ0			-
DDR_DQ1			-
DDR_DQ10			-
DDR_DQ11			-
DDR_DQ12			-
DDR_DQ13			-
DDR_DQ14			-
DDR_DQ15			-
DDR_DQ16			-
DDR_DQ17			-
DDR_DQ18			-
DDR_DQ19			-



Net Name	POWER	STATUS(IF NOT USED)	备注
DDR_DQ2	VDDIO_DDR	N.C.	-
DDR_DQ20			-
DDR_DQ21			-
DDR_DQ22			-
DDR_DQ23			-
DDR_DQ24			-
DDR_DQ25			-
DDR_DQ26			-
DDR_DQ27			-
DDR_DQ28			-
DDR_DQ29			-
DDR_DQ3			-
DDR_DQ30			-
DDR_DQ31			-
DDR_DQ4			-
DDR_DQ5			-
DDR_DQ6			-
DDR_DQ7			-
DDR_DQ8			-
DDR_DQ9			-
DDR_DQS0_N			-
DDR_DQS0_P			-
DDR_DQS1_N			-
DDR_DQS1_P			-
DDR_DQS2_N			-
DDR_DQS2_P			-
DDR_DQS3_N			-
DDR_DQS3_P			-
DDR_ODT0			-
DDR_ODT1			-



Net Name	POWER	STATUS(IF NOT USED)	备注
DDR_RESET_N			-
DDR_ZQ			-
PCIE_CLK_REQ_N	DVDD18	N.C.(将 IO 配置为输出模式)	-
USB3_PWREN			-
USB2_PWREN			-
GPIO2_5			-
GPIO2_6			-
GPIO2_7			-
HDMI_HOTPLUG		TIED TO VSS	-
HDMI_CEC		N.C.(将 IO 配置为输出模式)	-
HDMI_SCL			-
HDMI_SDA			-
I2C0_SCL			-
I2C0_SDA			-
JTAG_TCK			-
JTAG_TDI			-
JTAG_TDO			-
JTAG_TMS			-
JTAG_TRSTN			-
PWM_OUT0			-
PWM_OUT1			-
EPHY_CLK			-
EPHY_RSTN	DVDD18	N.C.(将 IO 配置为输出模式)	-
MDCK	DVDD18	N.C.(将 IO 配置为输出模式)	-
MDIO			-
RGMII_RXCK			-
RGMII_RXD0			-
RGMII_RXD1			-
RGMII_RXD2			-
RGMII_RXD3			-



Net Name	POWER	STATUS(IF NOT USED)	备注
RGMII_RXDV			-
RGMII_TXCKOUT			-
RGMII_TXD0			-
RGMII_TXD1			-
RGMII_TXD2			-
RGMII_TXD3			-
RGMII_TXEN			-
SDIO0_CARD_DETECT	DVDD33	N.C.(将 IO 配置为输出模式)	-
SDIO0_CARD_POWER_EN			-
SDIO0_CCLK_OUT	DVDD33/DVDD18(通过 powerswitch 切换)	N.C.(将 IO 配置为输出模式)	-
SDIO0_CCMD			-
SDIO0_CDATA0			-
SDIO0_CDATA1			-
SDIO0_CDATA2			-
SDIO0_CDATA3			-
SDIO1_CCLK_OUT	DVDD18	N.C.(将 IO 配置为输出模式)	-
SDIO1_CCMD			-
SDIO1_CDATA0			-
SDIO1_CDATA1			-
SDIO1_CDATA2			-
SDIO1_CDATA3			-
SENSOR_CLK0	DVDD18	N.C.(将 IO 配置为输出模式)	-
SENSOR_CLK1			-
SENSOR_CLK2			-
SENSOR_HS0			-
SENSOR_HS1			-
SENSOR_HS2			-
SENSOR_RSTN0			-
SENSOR_RSTN1			-



Net Name	POWER	STATUS(IF NOT USED)	备注
SENSOR_RSTN2			-
SENSOR_VS0			-
SENSOR_VS1			-
SENSOR_VS2			-
SPI0_CSN			-
SPI0_SCLK			-
SPI0_SDI			-
SPI0_SDO			-
SPI1_CSN0			-
SPI1_SCLK			-
SPI1_SDI			-
SPI1_SDO			-
SPI2_CSN0			-
SPI2_SCLK			-
SPI2_SDI			-
SPI2_SDO			-
SPI3_CSN0			-
SPI3_SCLK			-
SPI3_SDI			-
SPI3_SDO			-
SPI4_CSN			-
SVB_PWM0	DVDD18	N.C.(将 IO 配置为输出模式)	-
SVB_PWM1			-
SVB_PWM2			-
PWM_OUT0			-
PWM_OUT1			-
SYS_RSTN_OUT			-
UART0_RXD			-
UART0_TXD			-
UART1_RXD			-



Net Name	POWER	STATUS(IF NOT USED)	备注
UART1_TXD			-
UART2_RXD			-
UART2_TXD			-
UART4_RXD			-
UART4_TXD			-
LCD_CLK			-
LCD_DATA0			-
LCD_DATA1			-
LCD_DATA2			-
LCD_DATA3			-
LCD_DATA4			-
LCD_DATA5			-
LCD_DATA6	DVDD18	N.C.(将 IO 配置为输出模式)	-
LCD_DATA7			-
JTAG_EN		TIED TO VSS	-
TEST_MODE			-
RST_N			-
POR_SEL		Waive	-
DVDD18_OSC	-	Waive	-
XIN	DVDD18_OSC		-
XOUT	DVDD18_OSC		-
AVDD08_PLL	-		-
AVDD18_PLL	-		-
AVSS_PLL	-		-
DVDD	-		-
DVDD_CPU	-		-
DVDD_MEDIA	-		-
VSS	-		-



Net Name	POWER	STATUS(IF NOT USED)	备注
DVDD18	-	PULL TO 1.8V	-
DVDD33	-	PULL TO 3.3V	-
DVDD3318	-	PULL TO 3.3V	-
DVDD18_LDO_DECAP_1	-	接 1uf 电容	-
DVDD18_LDO_DECAP_2	-	接 1uf 电容	-
DVDD3318_SDIO_VOUT	-	接 4.7uf 电容	-

备注：N.C.：浮空； Waive：不涉及

1.4.2 5V tolerance 管脚

表1-22 5V tolerance 管脚

管脚名	描述
I2C0_SCL	OD, 5V tolerance
I2C0_SDA	
HDMI_SCL	
HDMI_SDA	
HDMI_CEC	
HDMI_HOTPLUG	
PCIE_CLK_REQ_N	



2 PCB 设计

2.1 电源与滤波电容设计



注意

主芯片下方的电源包括内核电源、PLL 电源、AVDD18_MIPITX 等的滤波电容材质推荐选择 X6 或者 X7。

2.1.1 内核电源设计

滤波电容类型、数量和布局要求复制 HI3519AV100DMEB 的设计。

2.1.1.1 DVDD 电源

滤波电容类型、数量和布局

去耦电容布局要求如下：

- DVDD 电源域的滤波电容组合为 4.7uF+4.7uF+4.7uF。
- Media 和 CPU 电源域合并后电源的滤波电容组合为 4.7uF+4.7uF+4.7uF+4.7uF+4.7uF+4.7uF+4.7uF+4.7uF。
- 滤波电容的摆放位置**必须参考** HI3519AV100DMEB 的设计

2.1.2 DDR IO 电源设计

滤波电容类型、数量和布局

VDDIO_DDR_CK 需要分别使用磁珠与 1.2V/1.1V 电源隔离，靠近芯片管脚处放置 1 个 1uF 的电容。

电源使用平面供电，其去耦电容布局要求如下：

- 1V2 电源的滤波电容组合为 470nF+470nF+470nF+470nF+470nF。



- 1V1 电源的滤波电容组合为 $1\mu\text{F}+1\mu\text{F}+1\mu\text{F}+1\mu\text{F}+1\mu\text{F}$ 。
- 滤波电容的摆放位置**必须参考** HI3519AV100DMEB 和 HI3519AV100LPDDR4TB 的设计。

2.1.3 PLL 电源设计

- AVDD08_PLL 与 DVDD 内核电源之间用磁珠（ $1000\Omega @100\text{M}$ ）进行隔离。如图 2-1 和图 2-2 所示。

图2-1 AVDD08_PLL 供电滤波电路 SCH 设计

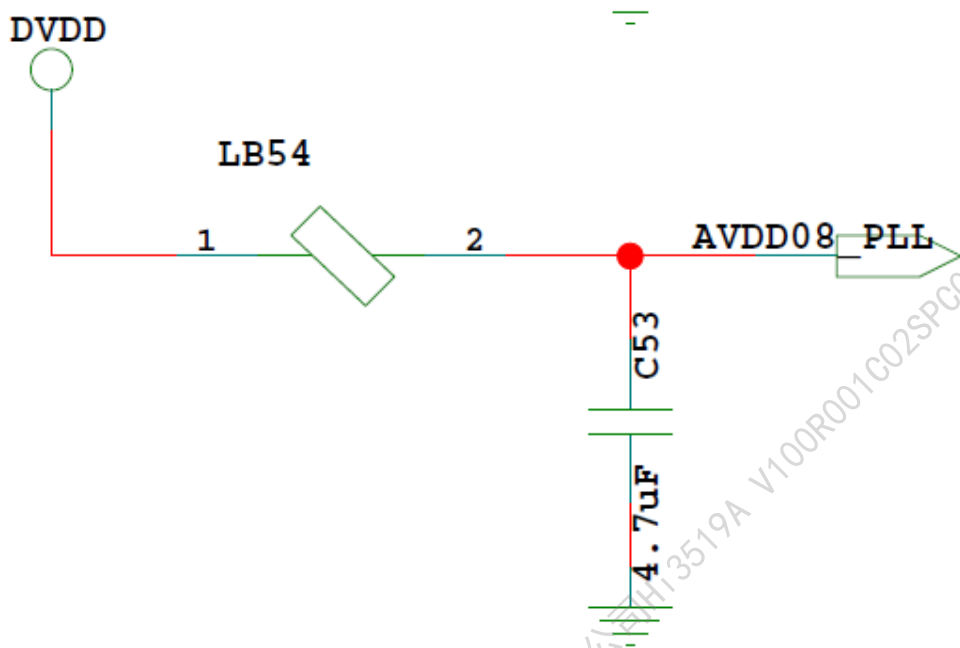
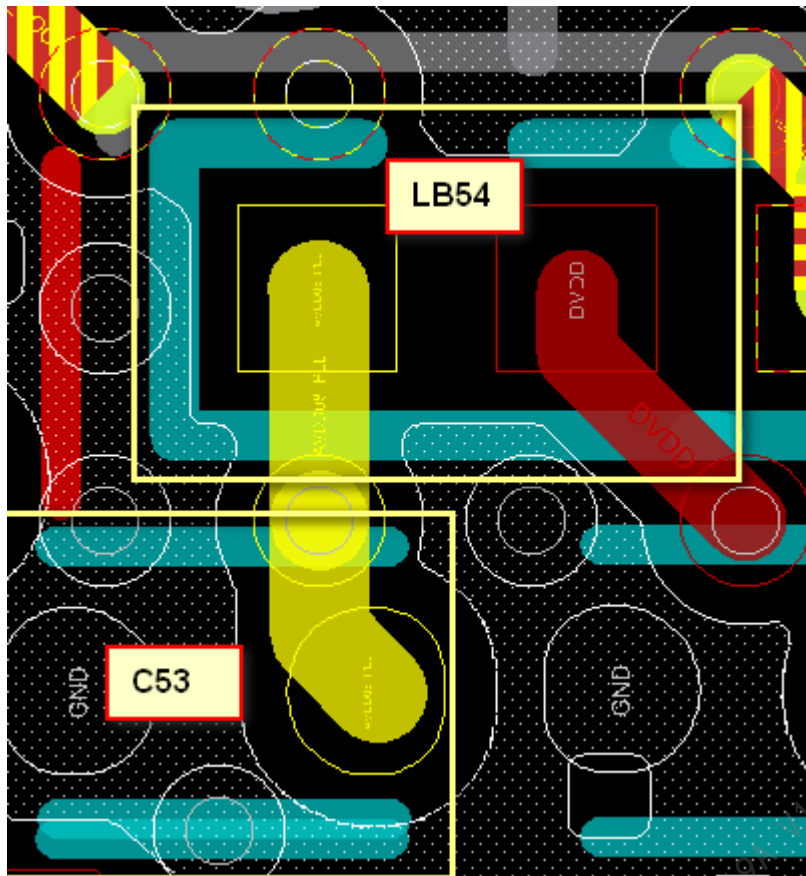




图2-2 AVDD08_PLL 供电滤波电路 PCB 设计



- AVDD18_PLL 与数字 1.8V 电源之间用磁珠（ $1000\ \Omega @ 100M$ ）进行隔离。如图 2-3 和图 2-4 所示。



图2-3 AVDD18_PLL 供电滤波电路 SCH 设计

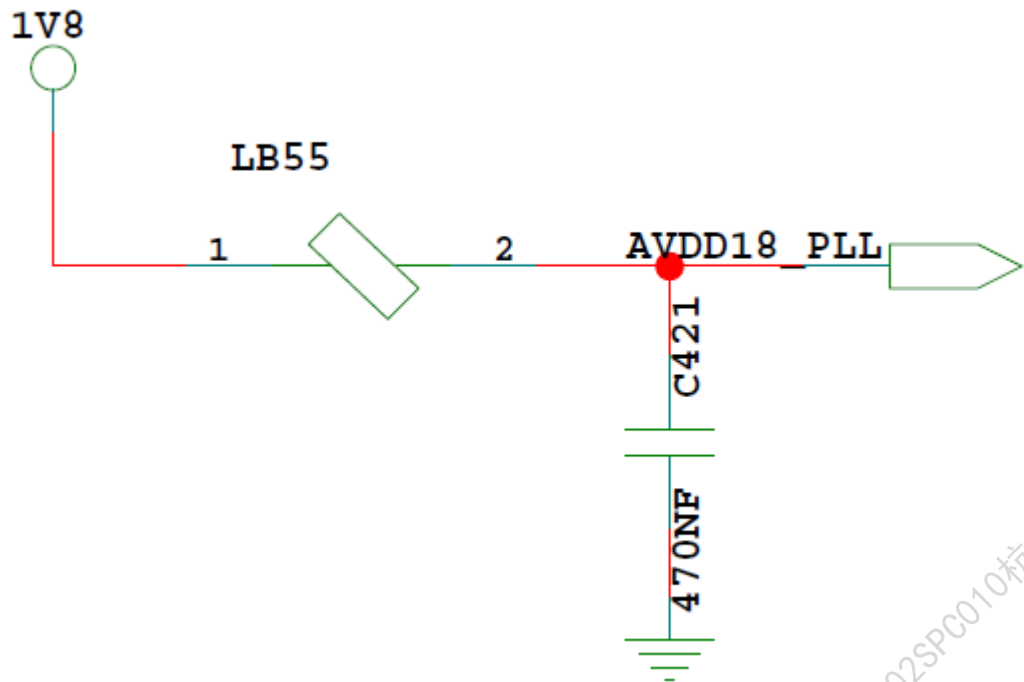
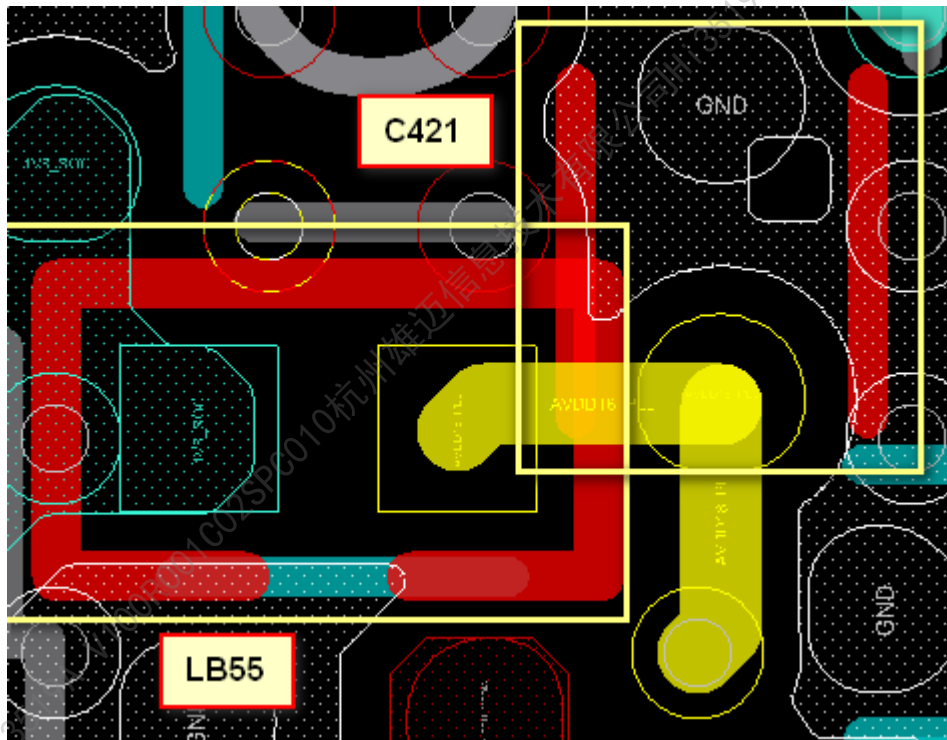


图2-4 AVDD18_PLL 供电滤波电路 PCB 设计





- AVDD18_DDR_PLL_AC/DQ 与数字 1.8V 电源之间用磁珠（ $1000\ \Omega @ 100\text{M}$ ）进行隔离。如图 2-5 和图 2-6 所示。

图2-5 AVDD18_DDR_PLL_AC, AVDD18_DDR_PLL_DQ 供电滤波电路 SCH 设计

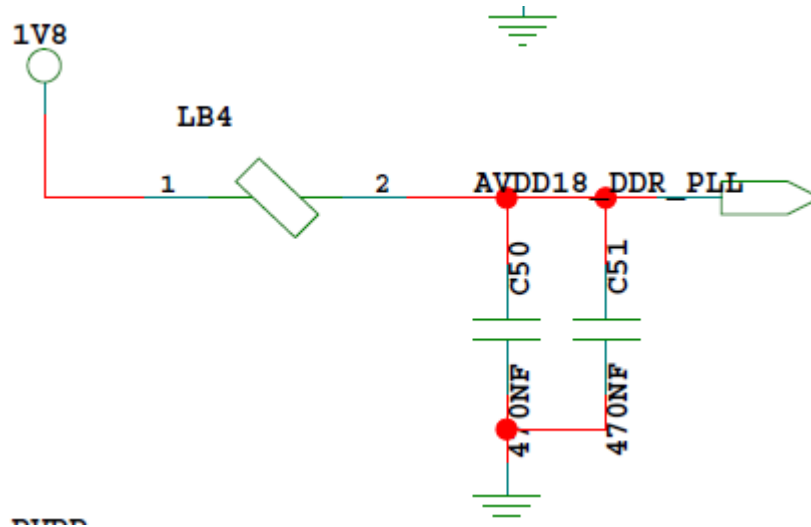
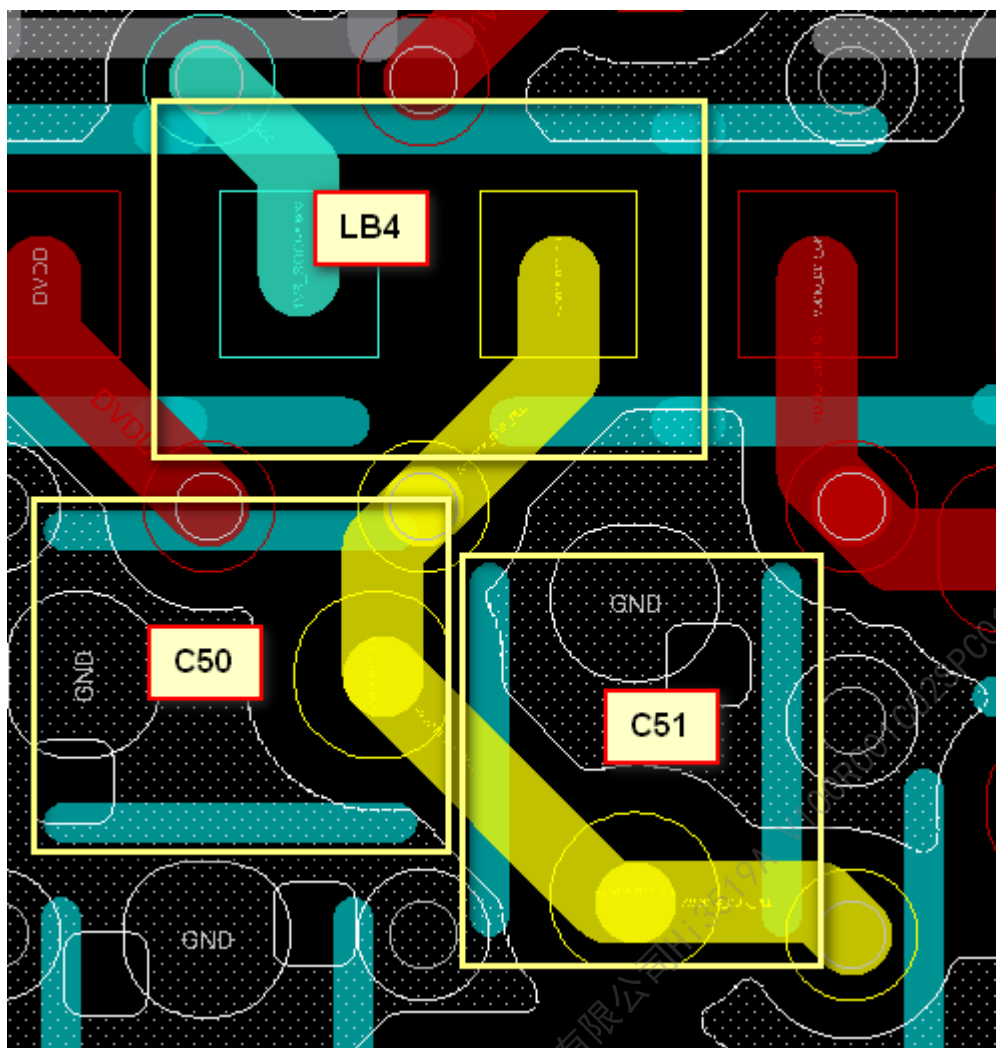




图2-6 AVDD18_DDR_PLL_AC, AVDD18_DDR_PLL_DQ 供电滤波电路 PCB 设计



说明

该部分设计，必须完全拷贝 HI3519AV100DMEB 设计

2.1.4 模拟音频电源设计

AVDD18_AC 与数字 1.8V 电源之间用磁珠进行隔离，并在靠近芯片管脚的位置至少放置一个 470nF 电容。

2.2 晶体电路设计

晶体的 Xin、Xout、RTC_XIN、RTC_XOUT 信号走线全程做包地处理，并保证这些信号有完整的参考平面。晶体电路下方不能有高速信号穿过。



2.3 DDR 电路设计

Hi3519AV100 DDR4 2PCS (T 型) 16bit 位宽颗粒设计, 请完全拷贝 HI3519AV100DMEB 设计。

Hi3519AV100 LPDDR4 的设计, 请完全拷贝 HI3519AV100LPDDR4TB 设计; 包括线宽、线距、走线长度、包地、滤波电容放置、匹配方式等。

Hi3519AV100 DDR4 2PCS (flyby) 16bit 位宽颗粒设计, 请完全拷贝 HI3519AV100DMEBLITE 或者 HI3519AV100DMEBPRO 设计。



注意

在设计 DDR4 2PCS (T 型拓扑结构) 16bit 位宽 PCB 时, 对于 DDR_CS0_N、DDR_CKE0、DDR_ODT0 以及 DDR_CLK_P/N 时钟信号, 需要在分支点到颗粒端做等长控制, 等长偏差范围在 5mil 以内; 而对于其他地址命令线也需要在分支点到颗粒端做等长控制, 等长偏差范围在 30mil 以内。

2.4 FLASH 电路设计

2.4.1 SPI FLASH

SPI FLASH 信号设计要求如下。

- 避免信号走线穿越电源分割区域, 并保持信号参考平面完整;
- 相邻信号走线间距保持 “3W” 原则;
- SFC_CSN0/1、SFC_MOSI_IO0、SFC_MISO_IO1、SFC_WP_IO2、SFC_HOLD_IO3 的线长以 SFC_CLK 的线长为基准, 误差控制在 $\pm 1000\text{mil}$ 以内。

2.4.2 NAND FLASH

NAND FLASH 信号设计要求如下。

- 避免信号走线穿越电源分割区域, 并保持信号参考平面完整;
- 相邻信号走线间距保持 “3W” 原则;

2.4.3 eMMC

eMMC 信号设计要求如下,

- 避免信号走线穿越电源分割区域, 并保持信号参考平面完整;
- 相邻信号走线间距保持 “3W” 原则;
- EMMC_DATA[0:7]、EMMC_CMD、EMMC_DS 的线长以 EMMC_CLK 的线长为基准, 误差控制在 $\pm 300\text{mil}$ 以内。



2.5 GMAC 信号 PCB 设计

GMAC 信号设计要求如下，

- 避免信号走线穿越电源分割区域，并保持信号参考平面完整；
- 相邻信号走线间距保持“3W”原则；
- RGMII_TXD[0:3]、RGMII_TX_EN 的线长以 RGMII_TX_CLK 的线长为基准，误差控制在 $\pm 500\text{mil}$ 以内；
RGMII_RXD[0:3]、RGMII_RX_DV 的线长以 RGMII_RX_CLK 的线长为基准，误差控制在 $\pm 500\text{mil}$ 以内；
- MDI0+、MDI0-、MDI1+、MDI1-、MDI2+、MDI2-、MDI3+、MDI3-差分线对长度控制在 $\pm 5\text{mil}$ ，差分阻抗控制在 $100\Omega \pm 10\%$ 。

2.6 Vedio Input 信号 PCB 设计

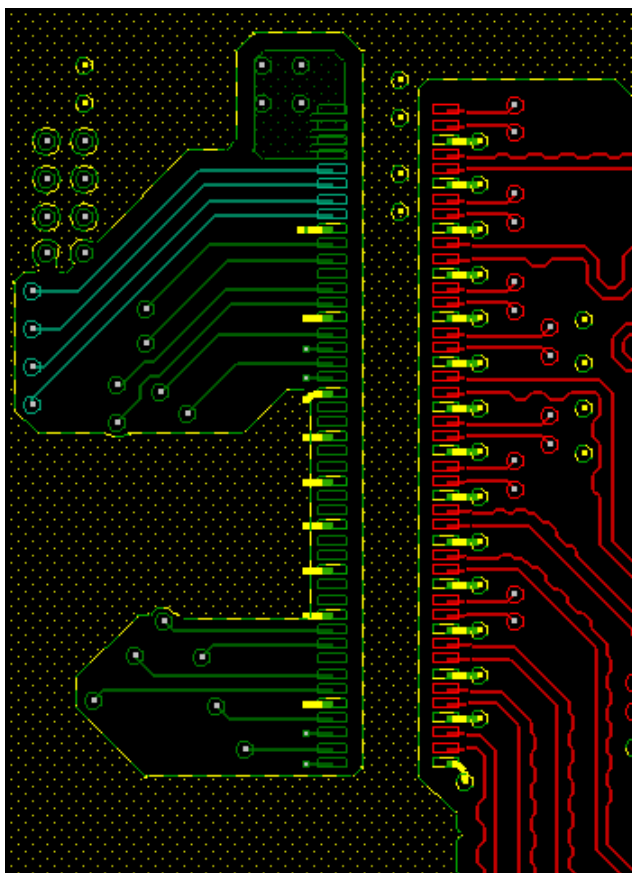
2.6.1 MIPI RX

MIPI RX 信号设计要求如下，

- 差分信号以 GND 为参考平面，并保持参考平面完整；
- PCB 走线建议 4inch 以内,差分对 P/N 等长控制在 40mil 以内，对间等长控制 300mil(封装+PCB 联合控制等长)。
- MIPIRX 差分对的 PCB 走线控制差分阻抗 $100\Omega \pm 10\%$ ；
- 差分信号经过连接器时，相邻差分信号对之间必须使用 GND 管脚进行隔离，如图 2-7 所示。黄色是 GND 网络，红色是差分线对。



图2-7 MIPI/LVDS 差分信号隔离示意图



2.6.2 Parallel CMOS

Parallel CMOS 信号设计要求如下：

- 避免信号走线穿越电源分割区域，并保持信号参考平面完整；
- 相邻信号走线间距保持“3W”原则；
- $VI0_DATA[0:15]$ 、 $VI0_HS$ 和 $VI0_VS$ 的线长以 $VI0_CLK$ 的线长为基准，偏差控制在 $\pm 500\text{mil}$ 。

2.7 Video Output 信号 PCB 设计

Vedio Output 信号设计要求如下：

- 避免信号走线穿越电源分割区域，并保持信号参考平面完整；
- 相邻信号走线间距保持“3W”原则；
- $VOU1120_DATA[0:15]$ 的线长以 $VOU1120_CLK$ 的线长为基准，偏差控制在 $\pm 500\text{mil}$ 。

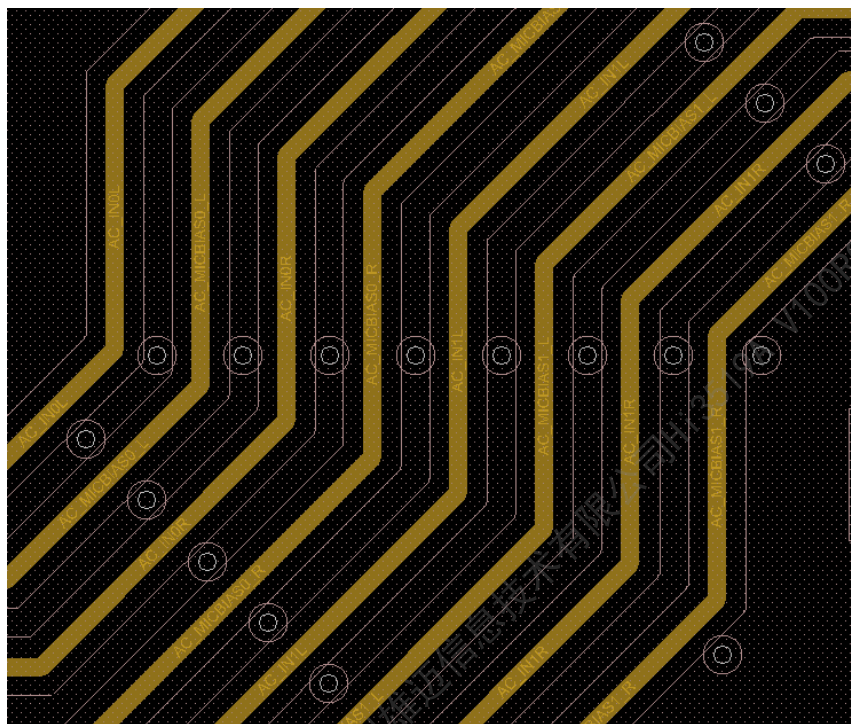


2.8 模拟音频电路设计

模拟音频电路走线设计要求如下：

- AC_VREF 管脚上对接的电容需要靠近主芯片放置，最大间距不超过 150mil。
- 在使用 MIC 输入时，为获得较好的音频质量，建议 AC_MICBIAS 信号在 Hi3519AV100 端将信号分为两路，各自对应做左声道及右声道的偏置电平，详细请参考 HI3519AV100DMEB 板最新版本原理图。
- 模拟音频输入输出信号、MICBIAS 信号以 GND 为参考平面，并保证参考平面完整。
- 模拟音频输入输出信号、MICBIAS 信号要求全程包地处理，并且相邻信号之间的 GND 过孔均匀放置，如图 2-8 所示。

图2-8 模拟音频信号包地示意图



2.9 SDIO 信号 PCB 设计

SDIO 信号设计要求如下：

- 相邻信号走线间距保证“3W”原则。
- SDIO0_CDATA[0:3]、SDIO0_CCMD 的线长以 SDIO0_CCLK_OUT 的线长为基准，偏差控制在 $\pm 500\text{mil}$ 。
- 如果需支持 SDXC 卡，那么 SDIO 数据信号必须以 GND 为参考平面，并保持信号参考平面完整。



2.10 USB2.0 信号设计

USB2.0 信号设计要求如下：

- 差分信号组内走线长度偏差控制在 $\pm 5\text{mil}$ 以内(封装+PCB 联合控制等长)，差分阻抗控制在 $90\Omega \pm 10\%$ 。
- 差分信号必须以 GND 为参考平面，并保持信号参考平面完整。
- Hi3519AV100 的 USB2.0 接口外接插座时，差分信号线走线长度不大于 5inch，过孔数量不超过 2 个，外挂线缆长度控制在 1.5 米以内；当 USB2.0 信号做板级级联时，差分信号线走线长度不大于 10inch，过孔数量不超过 2 个。

USB2.0 信号过孔附近需要放置一个 GND 过孔，以获取更好的信号质量。

- 避免邻近其他信号，并保证与其他信号的间距大于 20mil。
- REXT 电阻要求靠近主芯片放置。
- ESD 器件寄生电容建议小于 1pF。

2.11 USB3.0 信号设计

USB3.0 信号设计要求如下：

- 差分信号组内走线长度偏差控制在 $\pm 5\text{mil}$ 以内(封装+PCB 联合控制等长)，差分阻抗控制在 $90\Omega \pm 10\%$ 。
- 差分信号必须以 GND 为参考平面，并保持信号参考平面完整。
- Hi3519AV100 的 USB3.0 接口外接插座时，差分信号线走线长度不大于 5inch，过孔数量不超过 1 个，外挂线缆长度控制在 1 米以内；当 USB3.0 信号做板级级联时，差分信号线走线长度不大于 10inch，过孔数量不超过 2 个。

USB3.0 信号过孔附近需要放置一个 GND 过孔，以获取更好的信号质量。

- 差分信号与对接器件之间需要添加 AC 耦合电容，电容值在 75~200nF 之间，为保证阻抗连续性，AC 耦合电容的第二层 VSS 需要做挖空处理，接插件处及信号换层处的信号过孔，除距离最近的参考层外，信号过孔与 VSS 平面的 airgap 应大于 30mil。
- ESD 器件寄生电容建议小于 0.5pF。
- 避免邻近其他信号，并保证与其他信号的间距大于 20mil。

2.12 PCIE2.0 信号设计

PCIE2.0 信号设计要求如下所示：

- 差分信号组内走线长度偏差控制在 $\pm 5\text{mil}$ 以内(封装+PCB 联合控制等长)，PCIE 差分对的 PCB 走线控制差分阻抗 $100\text{ohm} \pm 10\%$ ；
- 外接插卡时，板级走线长度应尽量短，建议 5inch 以内，尽量缩短 fanout 区域内的走线长度，且最多打一次过孔，换层过孔处需要有 VSS 过孔伴随，同时 cable 线需控制在 1m 以内；

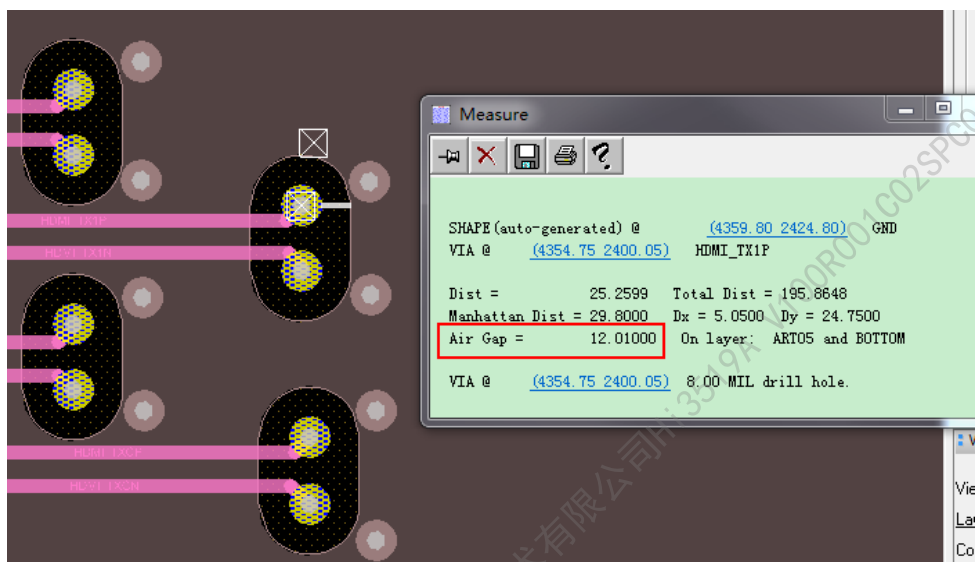
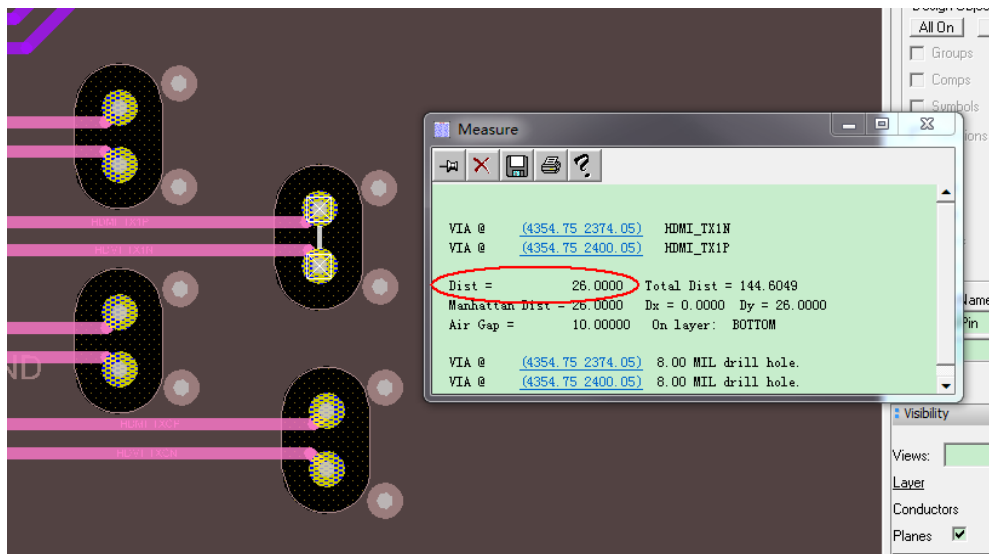


- 板内互连时，需控制 PCB 走线在 10inch 以内，且最多打两次过孔，换层过孔处需要有 VSS 过孔伴随；
- 差分信号与对接器件之间需要添加 AC 耦合电容，电容值在 75~200nF 之间，为保证阻抗连续性，信号 ball 对应第二层 VSS 平面建议做挖空处理，AC 耦合电容的第二层 VSS 需要做挖空处理，接插件处及信号换层处的信号过孔，除距离最近的参考层外，信号过孔与 VSS 平面的 airgap 应大于 30mil。

2.13 HDMI 信号设计

HDMI 信号设计要求如下：

- HDMITX 差分对的 PCB 走线控制差分阻抗 100ohm \pm 10%；
- 外接插卡时，板级走线长度应尽量短，建议 5inch 以内，尽量缩短 fanout 区域内的走线长度，建议表层走线，不可以换层；
- 如无法避免，需换层走线，仅限于换 2 次，且走线长度 \leq 4inch；换层过孔地方需伴随对称 VSS 过孔，且两过孔间距，孔与旁边 shape 间距建议参考下图：



- 差分对内等长控制 20mil,最大不超过 25mil; 如果超出 25mil 不多(30mil 以内),可考虑走较短的蛇形线,将 skew 控制到 25mil;
- 差分走线应保证阻抗连续, 差分对间等长在 80mil 以内, 以阻抗连续优先(尽量不走蛇形线) (封装+PCB 联合控制等长)
- ESD 器件应选择寄生电容尽量小的, ESD 器件寄生电容建议小于 **0.5pF@6Gbps**;
- 由于 ESD 器件以及连接器存在寄生电容, 导致阻抗偏低, 需要对该处进行阻抗补偿。将 ESD 器件以及连接器件下方的相邻层 GND 平面挖空, 并且在 ESD 挖空旁边增加 VSS 过孔, 如图 2-9 所示; 为了减小封装 ball 的寄生电容, 将 ball 下方的相邻层 GND 挖空, 如图 2-10 所示。
- 避免邻近其他信号, 并保证与其他信号的间距大于 20mil。



图2-9 HDMI ESD 器件和连接器下方的相邻层 GND 挖空

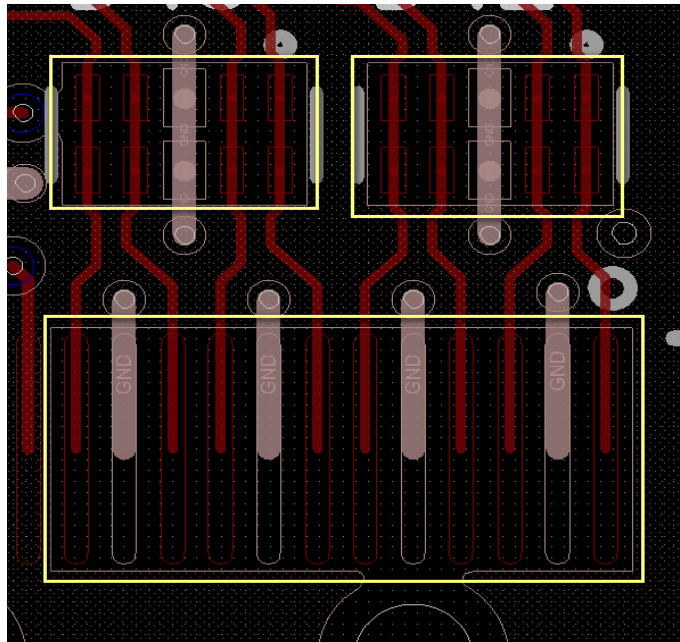
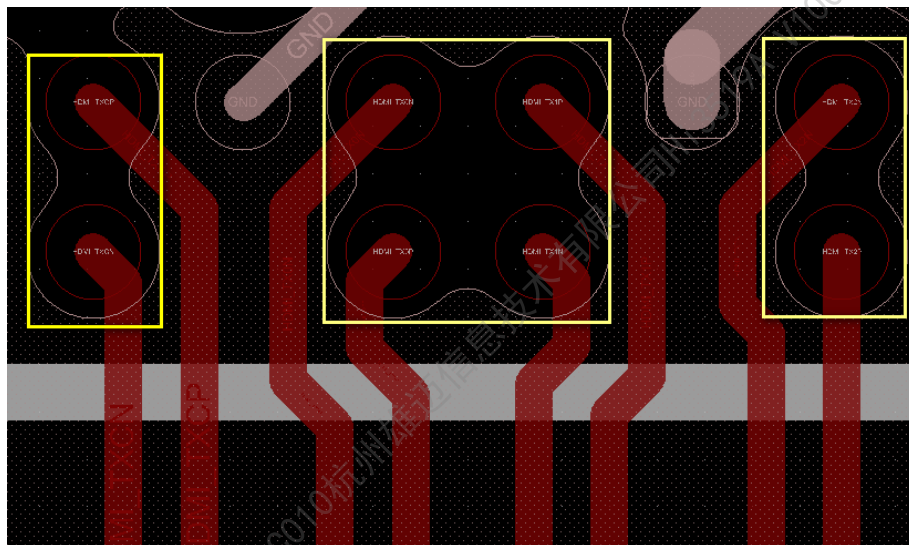


图2-10 HDMI 信号 ball 下方的相邻层 GND 挖空



2.14 MIPI TX 信号设计

MIPI TX 信号设计要求如下：

- MIPI TX 差分对的 PCB 走线控制差分阻抗 $100\Omega \pm 10\%$
- 差分信号必须以 GND 为参考平面，并保持信号参考平面完整。



- 如果使用 FPC 连接，建议 PCB+FPC 的总长不超过 9inch。
- 1.5Gbps，差分对 P/N 等长控制在 40mil 以内，对间需要与 CLK 做等长处理 100mil(封装+PCB 联合控制等长)。
- 2.5Gbps，差分对 P/N 等长控制在 40mil 以内，对间需要与 CLK 做等长处理 60mil(封装+PCB 联合控制等长)。
- 避免邻近其他信号，并保证与其他信号的间距大于 20mil。



3 整机 ESD 设计

3.1 背景

由于芯片性能提高，时钟频率越来越高，整机对外界干扰更敏感，客户在整机设计时需要非常重视整机的 ESD 设计。

Hi3519AV100 芯片本身的 ESD 测试是按照 JEDEC 标准，通过 $\pm 2000\text{V}$ 测试，符合行业标准。而客户需要根据自己企业的 ESD 测试标准，对单板硬件设计和整机设计做评估。本文针对整机 ESD 设计风险，提供一些设计建议和风险规避措施。

3.2 整机 ESD 设计

- 关于系统 24MHz 时钟设计，要求客户选用 4pin 贴片晶振，其中 2 个 GND 管脚与单板地充分连接，增强系统时钟抗干扰能力。其他的走线远离晶振区域，不要在晶振底下有走线通过。
- 建议 PCB 器件布局设计时，小系统部分离金属接口部分越远，整机 ESD 性能越好。
- 单板对外的接插件（例如音视频输入输出接口、USB、网口和报警等端口），需要增加 ESD 保护器件，加强接口的抗干扰能力。
- 整机设计为浮地设备时，单板金属化接口部分严禁采用分割地设计。
- 单板定位孔采用金属化过孔，并与单板 GND 连接，确保单板 GND 通过螺丝孔与金属外壳充分连接。
- 整机为接地设备时，要求金属外壳充分连接大地，分割保护地与单板数字地之间采用单点连接，单点连接的位置要远离小系统电路，建议靠近整机电源连接器放置。
- 接口连接器外壳推荐采用金属外壳，且与整机金属外壳充分连接（例如带定位螺丝的 HDMI 口和 USB 口，带弹片的 RJ45 口等），必要时甚至采用导电柱或者导电泡棉来实现连接器与外壳的充分连接。

以上措施请根据自身企业标准和工程经验综合评估。



4 芯片散热设计

4.1 最大功耗

Hi3519AV100 仿真预估最大功耗为 3000mW，该数据仅供参考，最终的功耗数据以最新发布的《Hi3519AV100 功耗测试报告》为准。