

# 同济大学实验报告纸

2353814

软件工程 专业 2021 届 1 班 姓名 马小龙 第 1 组 同组人员 \_\_\_\_\_  
课程名称 计算机组成原理实验 实验名称 触发器实验 实验日期 2024 年 10 月 10 日

## 【实验目的】

1. 掌握触发器的工作原理
2. 用与非门构成基本 R-S 触发器
3. 集成 J-K 触发器和 D 触发器功能测试

## 【实验设备】

1. 74LS00 - 2 输入端四与非门
2. 74LS112 - 双 J-K 触发器
3. 74LS74 - 双 D 触发器
4. 数字逻辑实验系统

## 【实验原理】

### 1. 时序电路

时序逻辑电路是数字电路的一类，其输出不仅取决于当前输入，还取决于先前的状态。与组合逻辑电路不同，时序电路还包含存储单元（如触发器或锁存器），用来保存状态信息。从电路的组成上来看，时序逻辑电路一定包含有触发器，其基本单元便是触发器。

### 2. 触发器

触发器是一种能够存储一位二进制数字信号的基本单元电路，且具有存储和记忆功能，可用于接收、存储、输出二进制代码 0 和 1。

触发器分为双稳态、单稳态和无稳态触发器（多谐振荡器）。双稳态触发器具有两个能自行保持的稳定状态，用来表示逻辑状态 0 和 1，在触发信号的操作下，根据不同的输入信号可以置成 0 或 1。

从时序关系来看，触发器的状态不仅与输入信号状态有关，还与触发器的现态有关。其中，现态是指触发器接受输入信号前的状态，次态是指触发器输入信号后的状态；现态和次态是相邻两个离散时间里触发器的输出端状态。

### 3. 基本 R-S 触发器

基本RS触发器是一种最简单的触发器，是构成其他各种触发器的基础。它是一种双稳态触发器，在外加有效触发信号时，电路会翻转，实现置0或置1。在稳定状态下，两个输出端的状态必须是互补关系。

### 【实验内容】

#### 1. 用门电路构建基本R-S触发器

##### ① 基本R-S触发器工作原理

$$① RD=0, SD=1 \text{ (置} 1 \text{)}$$

当RD=0时，无论触发器原来的状态如何，都有 $Q=0, \bar{Q}=1$ ，触发器置为零态。触发器置为0态后，无论RD=0还是RD=1，只要SD=1，触发器保持0态。

$$Q^{n+1} = \overline{S \cdot \bar{Q}} = \overline{1 \cdot \bar{Q}} = 0$$

$$\bar{Q}^{n+1} = \overline{R \cdot Q} = \overline{0 \cdot Q} = 1$$

$$② RD=1, SD=0 \text{ (置} 1 \text{)}$$

SD=0时，无论Q的状态如何，都有 $Q=1, \bar{Q}=0$ ，触发器被置为1态。此后，无论RD变为0还是1，只要RD=1保持不变，触发器保持1态。

$$Q^{n+1} = \overline{\overset{SD}{S} \cdot \bar{Q}} = \overline{0 \cdot \bar{Q}} = 1$$

$$\bar{Q}^{n+1} = \overline{R \cdot Q} = \overline{1 \cdot Q} = 0$$

$$③ RD=1, SD=1 \text{ (保持)}$$

设触发器处于0态，即 $Q=0, \bar{Q}=1$ 。 $Q=0$ 反馈到门电路G<sub>2</sub>的输入端，从而保证了 $\bar{Q}=1$ ，而 $\bar{Q}=1$ 反馈到门G<sub>1</sub>的输入端，与SD=1共同作用，保证了 $Q=0$ ；

设触发器处于1态，即 $Q=1, \bar{Q}=0$ 。 $\bar{Q}=0$ 反馈到G<sub>1</sub>输入端，保证了 $Q=1$ ，而 $Q=1$ 反馈到G<sub>2</sub>输入端，与RD共同作用，保证了 $\bar{Q}=0$ 。

无论原状态为0还是1，当RD和SD均为高电平时，触发器具有保原有状态的功能。

$$Q^{n+1} = \overline{S \cdot \bar{Q}} = \overline{1 \cdot \bar{Q}} = Q$$

$$\bar{Q}^{n+1} = \overline{R \cdot Q} = \overline{1 \cdot Q} = \bar{Q}$$

$$④ RD=0, SD=0 \text{ (不定)}$$

# 同济大学实验报告纸

2353814

软件工程 专业 2021 届 1 班 姓名 张小龙 第 1 组 同组人员  
 课程名称 模拟组成原理实验室 实验名称 触发器实验 实验日期 2024 年 10 月 10 日

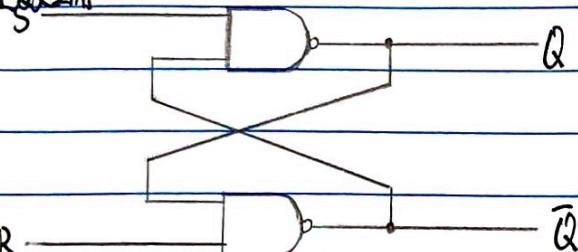
无论原状态如何，当 RD, SD 同时为 0 时，都有  $\bar{Q} = Q = 1$ ，符合  $\bar{Q}$  和  $Q$  互为反的逻辑状态要求。

$$Q^{n+1} = \overline{S\bar{Q}} = \overline{D \cdot \bar{Q}} = 1$$

$$\bar{Q}^{n+1} = \overline{R\bar{Q}} = \overline{R \cdot Q} = \overline{D \cdot Q} = 1$$

2) 基本 RS 触发器逻辑原理图

置数端



清零端

3) 基本 R-S 触发器逻辑功能表

连接电路，R, S 为输入端，Q, Q̄ 为输出端，调整输入电平，观察输出结果，记录实验结果。

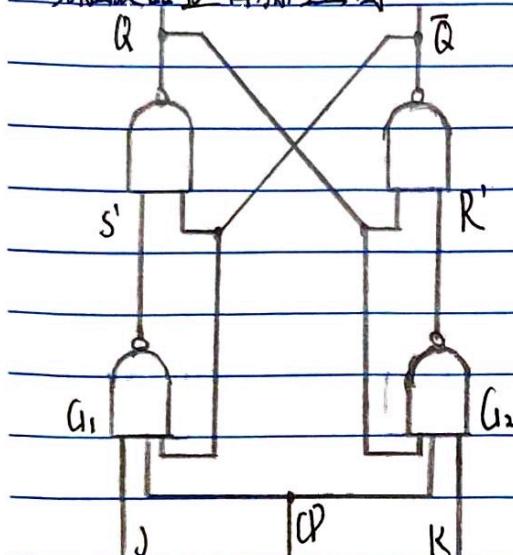
$\bar{S}$	$\bar{R}$	$Q^n$	$Q^{n+1}$	触发器状态
1	1	0	0	保持
1	1	1	1	保持
0	1	0	1	置 1
0	1	1	1	置 1
1	0	0	0	置 0
1	0	1	0	置 0
0	0	0	1	不定
0	0	1	1	不定

2. JK 触发器逻辑功能验证

## 2) JK触发器工作原理

当CP信号为0时,  $G_1$ ,  $G_2$ 门被锁,  $S'$ 与  $R'$ 均为1, 触发器保持当前输出状态; 当CP信号为有效时(为1), JK触发器根据输入J和K的状态, 发生不同变化: ①若  $J=K=0$ , 则触发器保持当前输出; ②若  $J=1$  且  $K=0$ , 则触发器置1态; ③若  $J=0$  且  $K=1$ , 则触发器置0态; ④若  $J=K=1$ , 则触发器翻转输出。注: 实验采用74LS112为下降沿触发, CP产生下降沿时, 触发器处于工作状态。

## 2) 触发器逻辑原理图

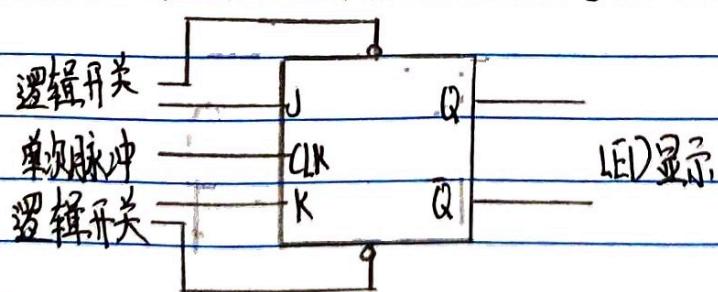


## 2) 实验步骤及逻辑功能表

①从74LS112中任选一个JK触发器进行实验。数据输入端J, K, 置位端SD, 复位端RD分别接逻辑电平开关, 触发脉冲CLK接单次脉冲, 输出端Q, Q接LED显示。

②观察SD, RD功能, 置SD=0, RD=1和SD=1, RD=0, 观察输出端Q的状态并记录结果。

③JK触发器功能: 置SD=1, RD=1, 检测触发器功能并记录结果。



# 同济大学实验报告纸

2353814

软件工程 专业 2021 届 1 班 姓名 张小龙 第 1 组 同组人员 \_\_\_\_\_  
 课程名称 计算机组成原理实验 实验名称 触发器实验 实验日期 2024 年 10 月 10 日

## DJK 触发器逻辑功能表

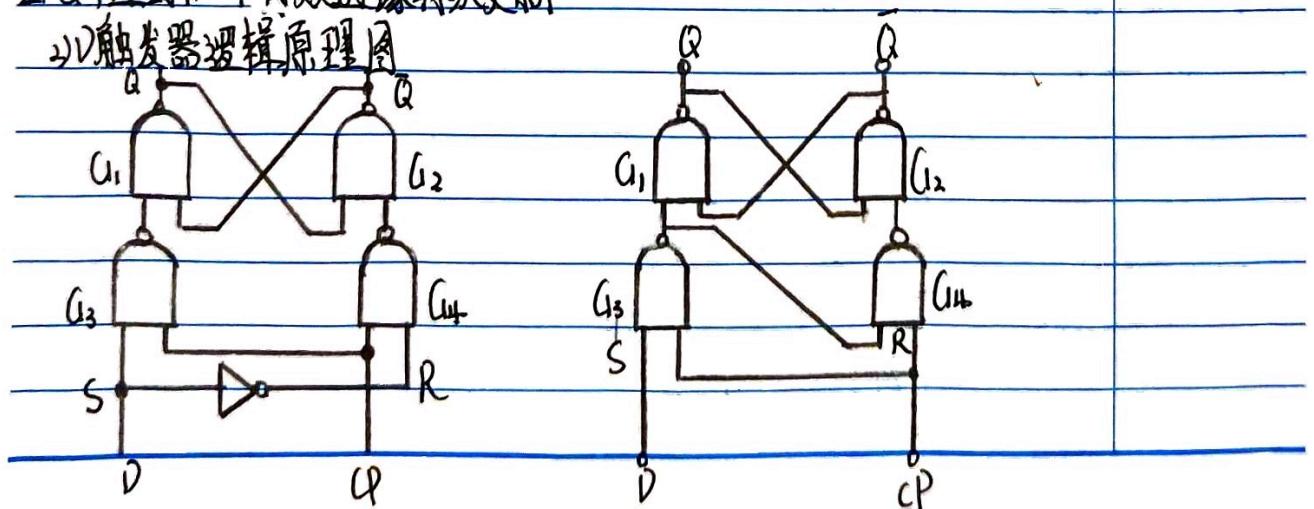
CP	J	K	$Q^n$	$Q^{n+1}$	功能
0	X	X	X	$Q^n$	$Q^{n+1}=Q^n$ . 保持
1	0	0	0	0	$Q^{n+1}=Q^n$
1	0	0	1	1	保持
1	0	1	0	0	$Q^{n+1}=0$
1	0	1	1	0	置 0
1	1	0	0	1	$Q^{n+1}=1$
1	1	0	1	1	置 1
1	1	1	0	1	$Q^{n+1}=\bar{Q^n}$
1	1	1	1	0	翻转

## 3. D 触发器功能验证

### 3.1 D 触发器工作原理

当  $CP=0$  时，D 触发器不工作，处于保持状态；当  $CP$  产生上升沿时，触发器在工作状态。当  $CP$  发生有效边缘时，D 触发器将输入 D 的值锁存到输出 Q，直到下一个有效边缘再次更新。

### 3.2 D 触发器逻辑原理图



### 3) 实验步骤及逻辑功能表

D从74LS74中任选一个D触发器进行实验。将RD, SD接高电平，D接逻辑开关，CLK接单相脉冲，输出端Q,  $\bar{Q}$ 接LED显示。

(2) 调节D的输入信号，并输入脉冲信号，验证D触发器功能并得到逻辑功能表。

CP	D	$Q^n$	$Q^{n+1}$	功能
↑	0	0	0	清零
↑	0	1	0	
↑	1	0	1	置位
↑	1	1	1	

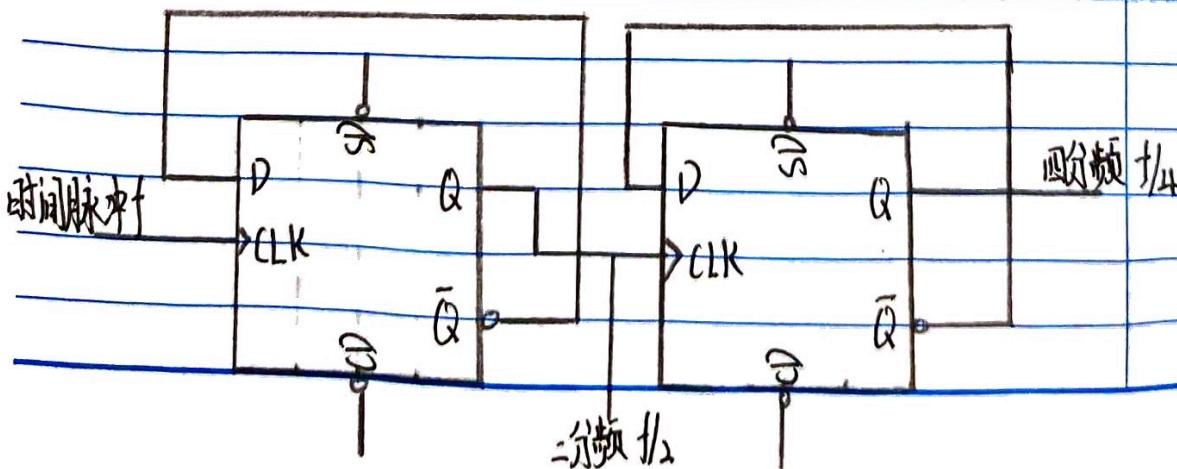
### 4. 用74LS74构成二、四分频电路

#### 1) 工作原理：

将74芯片的两个D触发器的 $\bar{Q}$ 输出端接到D输入端，CLK输入端接脉冲信号。这样，当脉冲信号输入低电平，同时D输入低电平时，Q输出高电平，即D输入高电平；此后，若CLK端输入上升沿时，D触发器将输入的高电平锁存到输出端Q，即 $Q=1$ ,  $\bar{Q}=0$ ；当CLK端再次输入上升沿时， $Q=0$ ,  $\bar{Q}=1$ 。由脉冲信号每个上升沿间隔一个周期可以得出结论，当CLK端输入两个周期的脉冲信号时，Q输出一个周期的脉冲信号，即 $f_Q = \frac{1}{2}f_{\text{CLK}}$ ；同理，将Q的输出信号接到第二个D触发器输入端，其输出端2Q的输入脉冲信号频率为Q端的 $\frac{1}{2}$ ，因此 $f_{2Q} = \frac{1}{2}f_Q = \frac{1}{4}f_{\text{CLK}}$ 。

由此，可以实现二、四分频电路。

#### 2) 逻辑原理图



# 同济大学实验报告纸

2353814

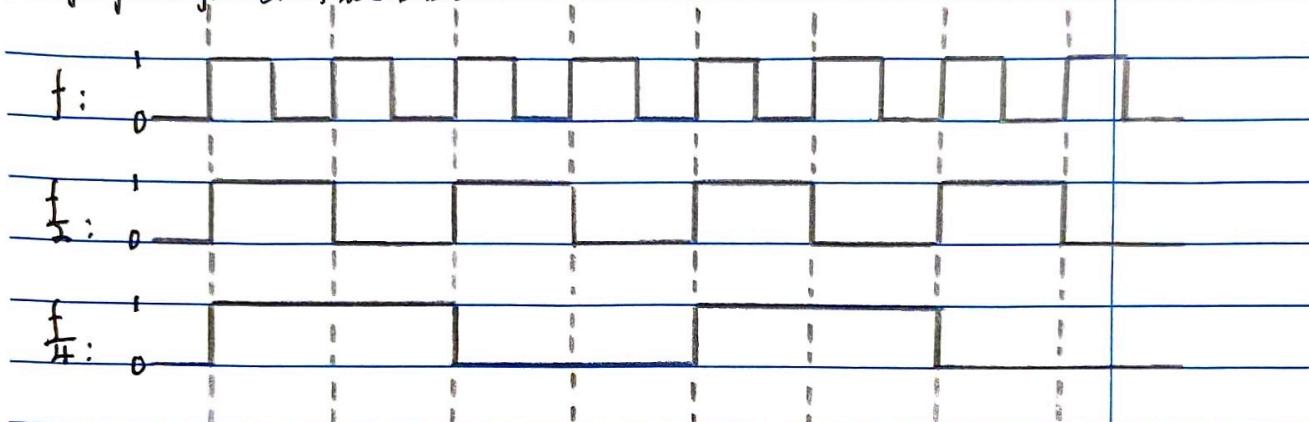
软件工程 专业 2021 届 1 班 姓名 马小龙 第 1 组 同组人员 \_\_\_\_\_  
课程名称 《微机组成原理实验》 实验名称 触发器实验 实验日期 2024 年 10 月 10 日

## 3) 实验步骤及实验结果

① 依据实验逻辑原理图完成接线，两个 D 触发器的 Clk, S1 端均接高电平

② 先将第一个触发器 Clk 端接低频段连续脉冲观察现象，再改接到手动单次脉冲信号观察并记录波形。

f, f/2, f/4 频率波形图。



## 实验小结

触发器是数字逻辑电路中的基本构建模块，它们在存储、定时和数据处理应用中发挥着关键作用。

在本次实验中，我了解了三种不同的双稳态触发器，认识了它们的逻辑功能，并通过实验验证了它们的逻辑功能。同时，我也了解到这三款不同触发器的优缺点。

SR 触发器是最简单的一种触发器，设计和应用较为直观；其具有较好的组合性，可以作为其他复杂触发器的基础。但是 SR 触发器存在不定状态，如不加以控制，可能会导致电路不正常。

JK 触发器与 SR 触发器相比避免了不定状态，逻辑功能相对丰富，根据输入的不同可以实现“保持状态”、“置 1”、“置 0”以及“翻转”等多种操作；但是，JK 触发器存在空翻和振荡等问题。

输入

D触发器仅有一个数据端(D)和一个时钟信号，方便实现和理解。简化了电路设计；它利用触发器翻转时内部产生的反馈信号使触发器翻转后的状态  $D^{n+1}$  得以维持，并阻止其向下一个状态转换从而克服了空翻和振荡。

在用74LS74构成二、四分频电路实验中，我深刻理解了74LS74的工作原理，并得到输入和输出脉冲的波频关系，成功绘制了  $f_1$ ,  $f_2$ ,  $f_4$  频率波形图。

本次实验提高了我的操作能力和逻辑思考能力。