



同济大学 计算机科学与技术学院
TONGJI UNIVERSITY SCHOOL OF COMPUTER SCIENCE AND TECHNOLOGY

《计算机组成原理实验》 期中设计实验报告

开课学期：2024-2025 第一学期

项目名称：电子锁

专 业：软件工程

班号组号：24T56 04

学 号：2353814

姓 名：马小龙

项目名称： 电子锁	实验时间：2024 年 10 月 31 日
小组合作：是 √ 否	小组成员：马小龙 叶文成 纪鹏

一、实验目的

本实验旨在设计并实现一个校验八位二进制密码的电子锁系统。系统通过输入的八位二进制数序列进行开锁，支持并行设定密码与串行输入。当用户输入密码与设定密码一致时，操作灯亮起表示开锁成功；若输入错误，系统会触发报警信号。系统还设有密码错误次数限制，当用户连续输入五次错误密码后，系统会锁定 29 秒，禁止进一步输入，确保系统安全性。

二、实验设备

仿真模拟软件：Multisim10.0

电路器件如图所示：

名称	数量	功能	作用
74LS74N	8	D 触发器，用于数据的存储与保持	存储用户输入的密码，控制报警信号的保持
74LS192 D	2	4 位同步加法/减法计数器，记录次数	记实现 30 秒倒数，禁止输入
74LS08D	7	2 输入与门，用于逻辑“与”运算	用于验证输入密码与预设密码是否一致
74LS86D	2	2 输入异或门，用于逐位比较二进制密码	比较输入密码和预设密码是否逐位相同
74LS90D	1	十进制计数器，计时器	用于控制错误密码输入，计数错误次数
SPDT 开关	. ..	单刀双掷开关，用于输入选择	控制用户输入的二进制密码的各个位值
74LS194 D	2	4 位双向移位寄存器	实现串行密码输入和存储
74LS32N	3	2 输入或门，用于逻辑“或”运算	合并不同条件信号，控制报警或其他操作

三、具体电路设计实现

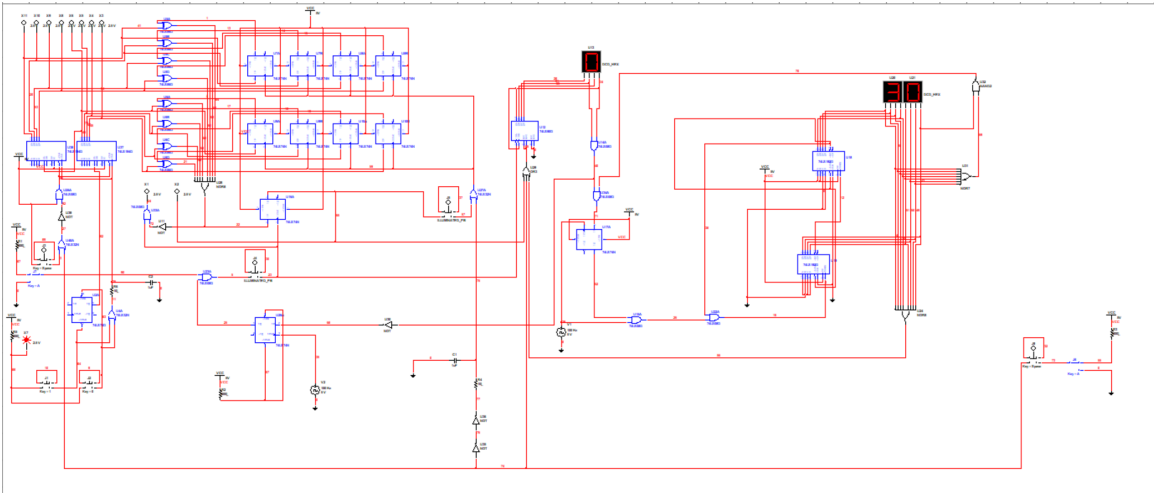
（一）系统概述

电子锁系统被分为四个核心模块：密码输入与存储模块、密码验证模块、控制逻辑与报警模块、开锁次数限制模块。通过模块化设计，系统更加易于调试和维护，各部分功能独立，逻辑清晰。

各模块功能：

- 密码输入与存储模块：**接收用户串行输入的密码，并将其存储在 D 触发器中，作为后续密码验证的输入。
- 密码验证模块：**将输入密码与预设密码逐位比较，生成开锁或报警信号。
- 密码设定模块：**当密码输入正确后，可以重新设定密码。
- 控制逻辑与报警模块：**根据密码验证结果，决定是否报警或解锁，并记录错误次数。
- 开锁次数限制模块：**限制输入次数，当连续错误达到五次时，系统进入锁定状态，禁止进一步输入。

电路逻辑设计图



（二）密码输入与存储模块

1. 功能概述

该模块通过 SPDT 开关（J1 和 J2）逐位输入八位二进制密码，并将密码通过 74LS74N D 触发器进行存储。用户通过 J3 开关实现清零操作，J4 开关用于确认密码输入完成。

2. 元件使用

74LS74N D 触发器：用于锁存输入的二进制密码，保持数据直到下一次输入。

SPDT 开关（J1， J2）：用于逐位输入二进制密码。

初始化开关（J9）：用于在系统启动或复位时将密码初始化为“00”。

确认开关（J4）：用户输入密码后按下，告知系统密码输入完毕。

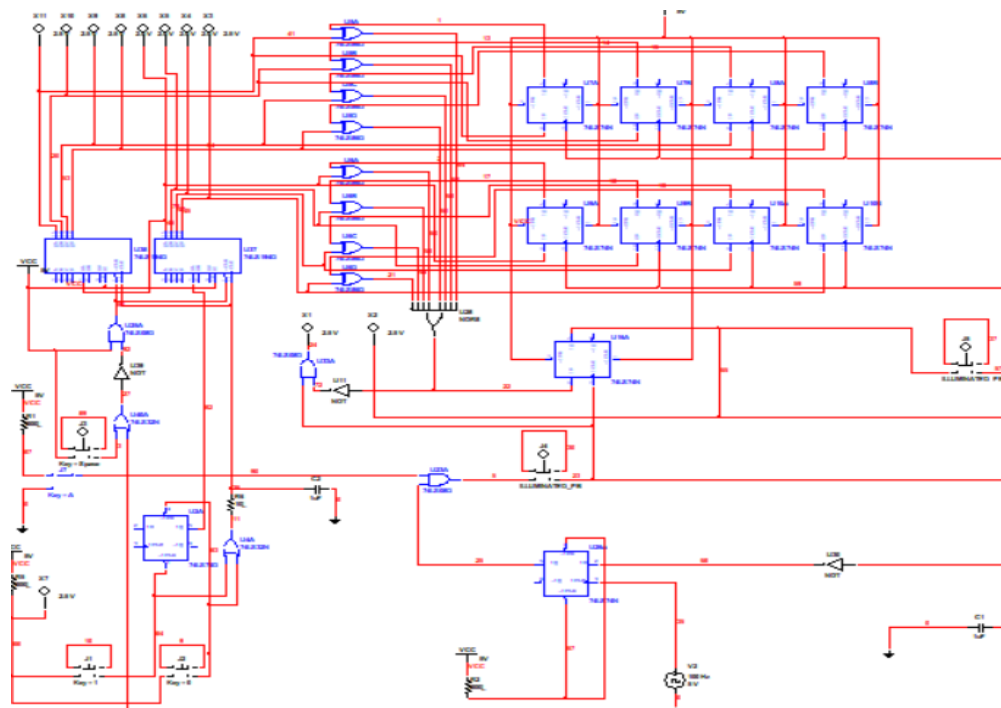
清零开关（J3）：输入有误，按下 j3，可以恢复初始状态。

3. 实现过程

将 SPDT 开关(J1 和 J2)的输出端连接到 74LS74N D 触发器的数据输入端(D)。通过时钟信号（可由外部时钟源或系统内部时钟电路提供）触发 D 触发器，将数据锁存到其输出端（Q）。将确认开关（J4）的输出端连接到控制逻辑电路，用于触发密码验证过程。将初始化开关（J9）的输出端连接到 D 触发器的清零端（CLR），用于在系统启动或复位时清空密码。

通过 SPDT 开关（J1 和 J2）输入二进制密码。用户每次按下开关选择 0 或 1 的状态，并逐位输入八位密码，输入后通过时钟信号触发 D 触发器将数据锁存。在确认所有位输入完成后，用户按下确认键（J4 进行密码比对。

电路逻辑设计图



（三）密码验证模块

1. 功能概述

密码验证模块负责逐位比较输入的密码与预设密码。如果两者完全一致，则系统发出开锁信号；若有一位不匹配，系统触发报警。

2. 元件使用

74LS86D（异或门）：逐位比较输入和预设密码，若匹配则输出低电平，不匹配则输出高电平。

74LS08D（与门）：结合所有异或门的输出，当所有位密码一致时，输出高电平，生成开锁信号。

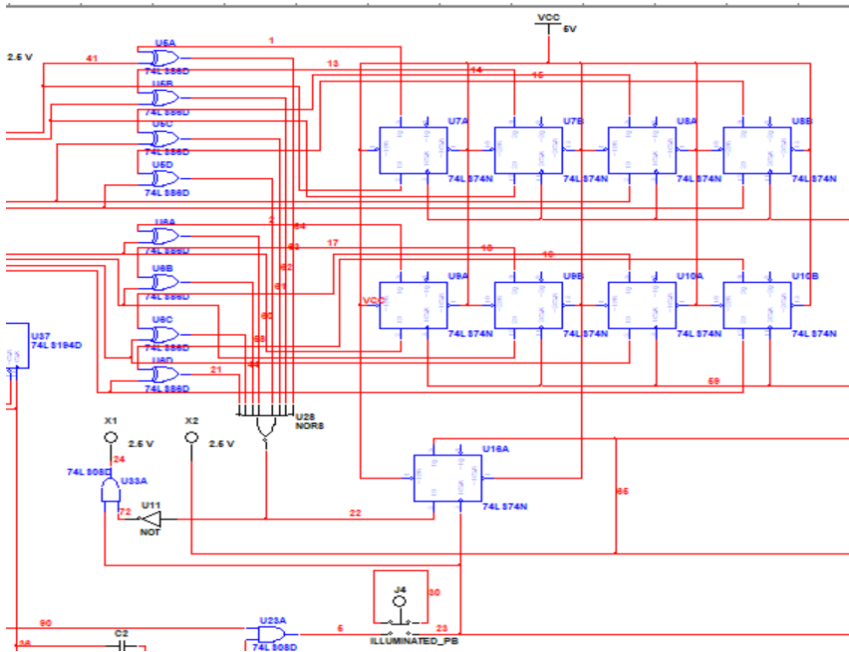
74LS32N（或门）：用于实现报警信号的逻辑控制。

3. 实现过程

将用户输入的密码(来自 D 触发器)和预设密码分别连接到异或门的输入端。将异或门的输出端连接到与门的输入端，当所有异或门输出均为低电平时，与门输出高电平开锁信号。将异或门的输出端也连接到或门的输入端，当有任何一位不匹配时，或门输出高电平报警信号。

系统通过 74LS86D 异或门逐位比较输入密码与设定密码，若所有异或门输出均为 0，表示输入密码正确，系统发出高电平信号解锁。否则，系统发出报警信号。当所有位的异或门输出都为 0 时，表示输入的密码完全正确，此时 74LS08D 与门输出高电平信号，表示开锁。当输出为高电平时，U16A 输出 1，锁打开。如果有任一位密码不正确，异或门的输出将为 1，导致与门的输出为低电平。此时系统进入报警状态，触发报警机制。

电路逻辑设计图



（四）密码设定模块

1、功能概述

密码设定模块用于设置用户的预设密码，并将其存储到系统的 D 触发器中。通过将用户输入的密码传递给存储单元，按下设定按钮后，D 触发器将输入的密码锁存为预设密码，供后续的验证模块使用。

2. 使用元件

8 个 D 触发器（74LS74N）：用于逐位存储输入的密码。

寄存器：暂时存储用户输入的密码，在用户确认设定时将值传递给 D 触发器。

单次脉冲信号按钮（J5）：用户按下按钮后触发单次脉冲信号，触发 D 触发器将寄存器中的密码锁存。

74LS32N（或门）：实现逻辑控制，辅助生成单次脉冲信号，控制设定流程。

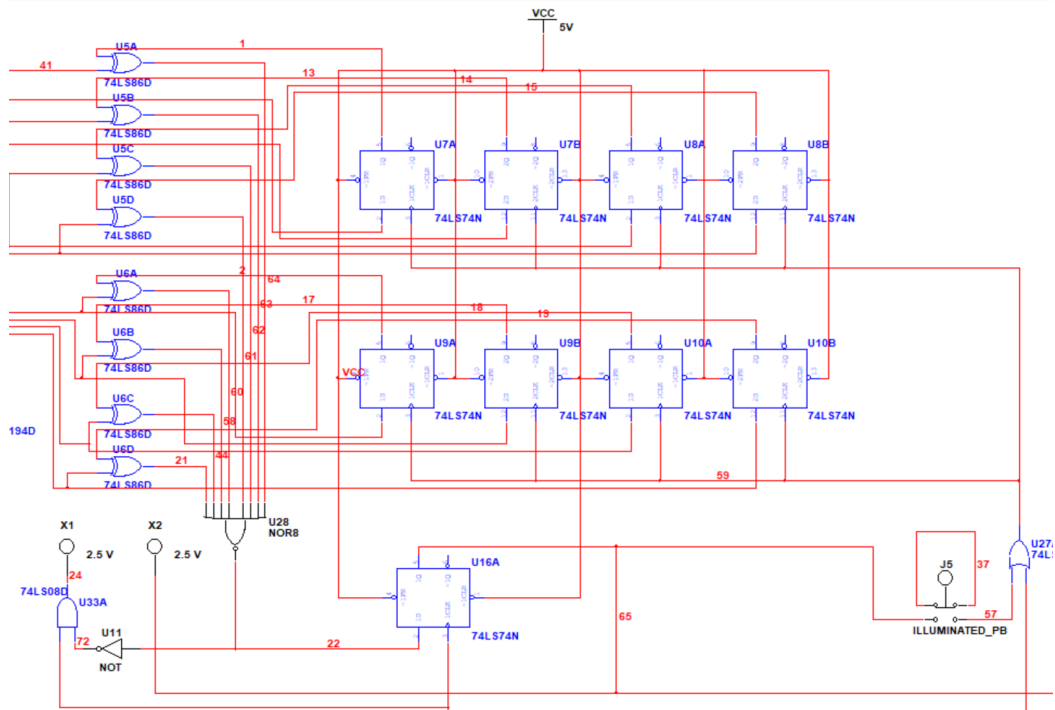
3. 实现过程

用户通过输入装置逐位输入密码，这些输入信号会暂时存储在寄存器中。每一位输入的密码都连接到寄存器的输出端。当用户完成密码输入并确认后，按下设定按钮 J5。J5 按钮生成一个单次脉冲信号，控制所有 D 触发器同时接收寄存器中的密码。

单次脉冲信号作用下，寄存器中的 8 位密码信号传递至 8 个 D 触发器的输入端。D 触发器在接收到脉冲信号时，将寄存器中的密码值锁存为输出，这些值即成为预设密码。

通过 J5 按钮控制的单次脉冲信号确保设定密码操作仅执行一次，并且锁存操作仅在按下设定按钮时生效。这样，用户可以在输入 错误密码时进行重新输入，而不会直接锁定到 D 触发器中。

电路逻辑设计图



（五）控制逻辑与报警模块

1. 功能概述

控制逻辑模块负责接收密码验证模块的输出信号，并触发开锁或报警。此模块还通过计数器记录错误输入次数，确保安全性。

2. 元件使用

74LS90N（计数器）：记录用户输入密码的错误次数。

74LS08D（与门）：生成报警信号，当有错误发生时触发。

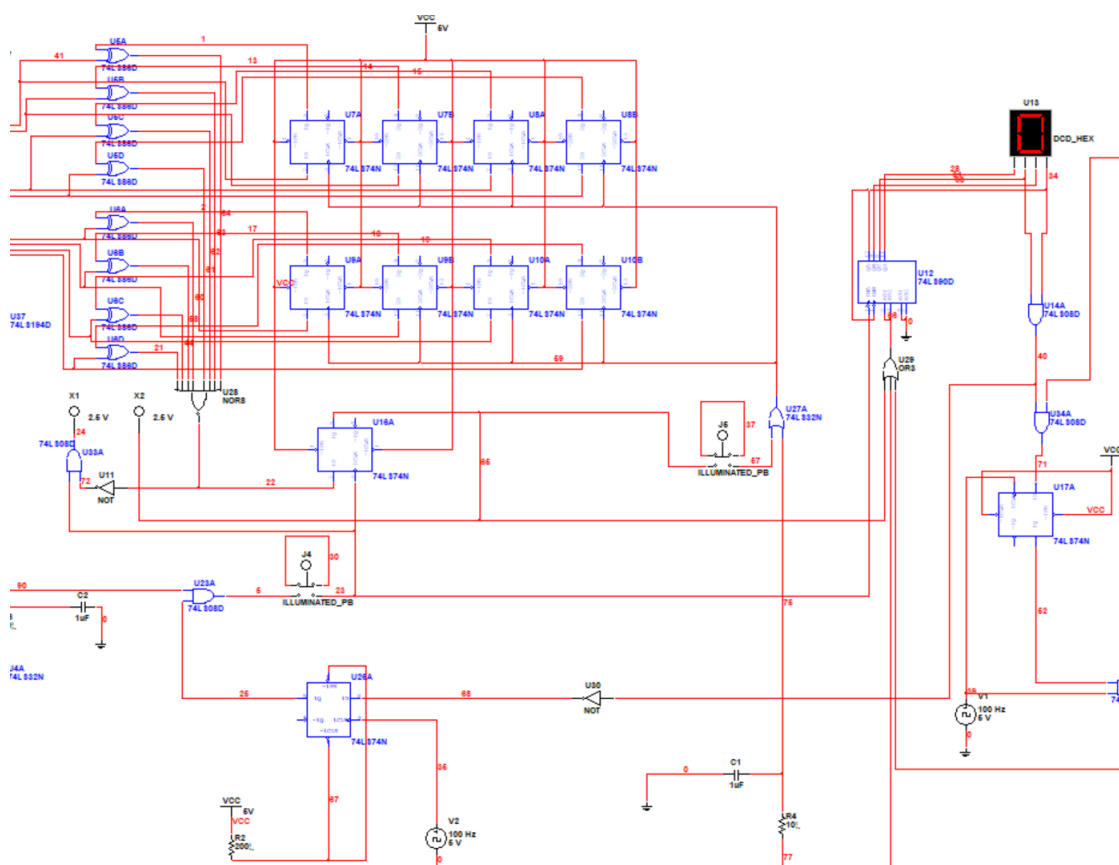
74LS74N（D 触发器）：保持报警状态，直至系统重置。

3. 实现过程

在密码输入错误后，系统会发出报警信号，该信号通过 74LS74N D 触发器锁存。每次输入错误时，错误计数器（74LS90N）将增加记录。当错误次数达到 5 次时，系统将输出高电平信号，禁止进一步输入并触发锁死机制。

当密码输入错误时，报警触发，D 触发器锁存此信号，驱动外部 LED 指示灯或蜂鸣器，提示用户密码错误。系统需在此状态下保持，直到用户重置系统或输入正确的密码。如果错误次数达到设定上限（5 次），系统将禁止进一步的输入，增加系统的安全性。

电路逻辑设计图



(六) 开锁次数限制模块

1. 功能概述

此模块通过计数器和倒计时机制，确保当用户连续错误输入五次后，系统进入锁定状态，29 秒后方可重新输入。

2. 元件使用

74LS90N (计数器)：记录输入错误次数，超过五次后启动倒计时。

74LS192D (加/减计数器)：用于 20 秒倒计时，防止暴力破解密码。

3. 实现过程

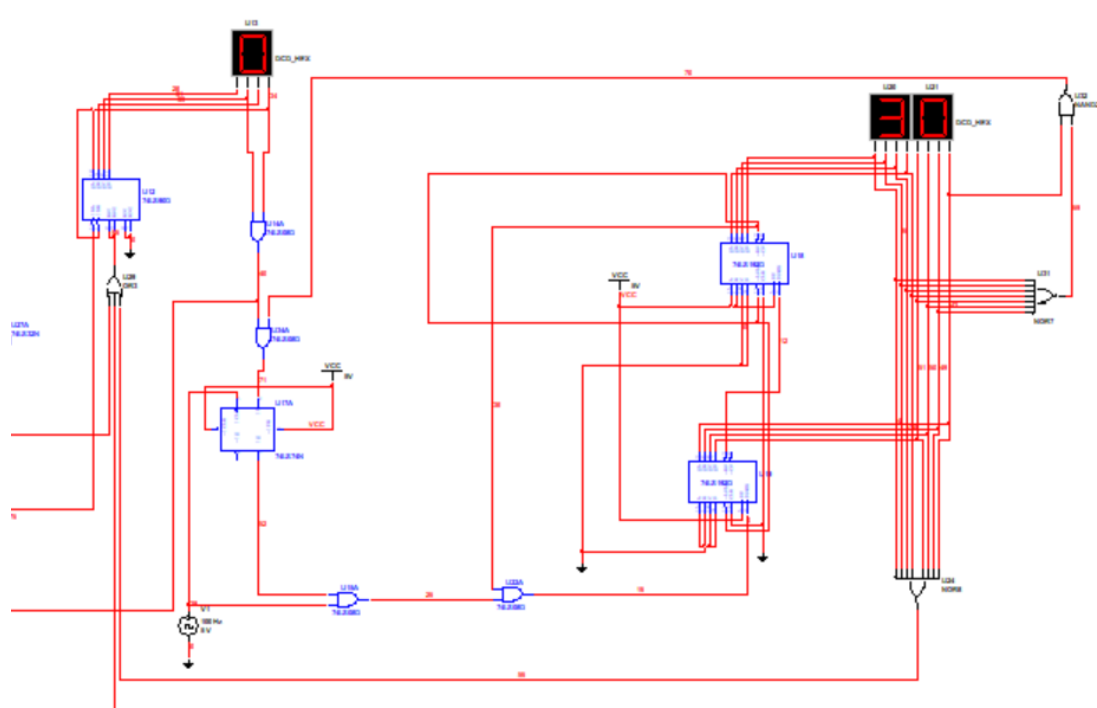
74LS90N 与 74LS192D 共同组成输入次数控制电路。在用户每次输入密码并按下确认键后，计数器将增加一次计数。如果密码错误，计数器继续累加，直到达到预设的最大输入次数。当错误次数达到 5 次时，系统将启动倒计时，使用 74LS192D 进行 30 秒的倒计时。如果倒计时结束，系统通过 U24 向 U12 发送高电平信号，使错误计数器重置并解除对输入的限制。

设计中将清零信号提前输入到 D 触发器，防止在清零信号到达计数器清零前，D 触发器出现一次脉冲，导致倒计时计数器计数一次（如从 29 变为 0）。要使用两个 74LS192 计数器实现从 29 倒数到 0，首先将第一个计数器（低位）设置为从 9 开始倒数，第二个计数器（高位）设置为从 2 开始倒数。通过并行加载功能，低位计数器在每次计数到 0 时触发高位计数器减 1。当高位计数器达到 0 时，两个计数器均停止计数。为此，连接清零和加载引脚，通过逻辑门控制计数流程，确保计数过程的正确性。

74LS192 的逻辑功能表

输入端	CLR	LOAD	CT ↑	CT ↓	D3 - D0	Q3 - Q0	功能描述
1	X	X	X	X	X	0000	清零
0	1	1	X	X	—	不变	保持当前计数
0	0	X	X	X	D3-D0	D3-D0	预置输入值到 Q3-Q0
0	1	↑	1	0	—	计数+1	加法计数，上升沿触发
0	1	↓	0	1	—	计数-1	减法计数，下降沿触发

电路逻辑设计图



四、项目小结

本项目通过运用 74 系列逻辑芯片，实现了一个功能完善的电子锁系统。系统能够准确地接收、校验用户输入的密码，并在错误密码输入时触发报警。此外，

通过计数器实现了错误输入次数限制功能，增加了系统的安全性。整个系统的硬件设计简单，但逻辑清晰，能够满足日常的安全需求。

同济大学实验报告纸

2353814

软件工程专业 2021 届 1 班 姓名 孙龙 第 04 组 同组人员 叶成 包鹏
课程名称 计算机组成原理实验 实验名称 数逻辑设计实验一密码锁 实验日期 2024 年 10 月 31 日

实验小结

1. 方案形成过程

本实验的目的是设计一个实现多功能的密码锁,在讨论设计方案过程中,我们首先明确了该密码锁的关键功能:密码输入功能,密码验证功能,密码重设功能,密码输入错误计数与报警功能,错误达一定次数锁定输入与倒计时功能等。

基于以上需求的功能,结合串行输入的要求,我们主要使用了以下芯片:74LS194D(4位双向移位寄存器),实现串行输入功能;74LS74N(1D触发器),用于密码的储存以及各种状态的锁存;74LS90D(十进制计数器)错误时计数功能;74LS92D(4位同步加法/减法计数器),倒计时功能;以及各种门电路配合功能的实现

主要设计方案如下:

① 初始时,将密码锁初始密码设置为00000000;

② 输入环节,用户需要串行输入8位二进制密码,密码将会被LED灯显示,以方便用户进行检查,同时设有清零键,可以清空密码需入状态;

③ 验证环节,用户需要按下确认键,密码锁会将用户输入的密码与实际密码比对,并根据密码的对错来确定输出输出正确的提示信息还是发出警报。

④ 若用户输入的密码正确,重置密码的开关会解锁,此时可以输入新密码,按下重置密码开关,实现密码重置

⑤ 若用户输入错误,则会使错误计数模块计数加1;输入正确则会清零计数

⑥ 当错误计数达到5次时,密码确认键会被锁住,同时触发倒计时;倒计时结束后,确认键解锁,同时错误计数器清零。

2. 项目完成情况

本项目成功设计了一个具有输入功能, 验证功能, 重置功能, 计数功能, 倒计时功能的密码锁。项目完成情况良好, 但依然有较大的改进与拓展空间。

3. 设计中遇到的问题

1) 密码存储问题

密码存储需要实现与需输入的密码比对, 密码输入正确时还要能够实现更改密码存储。开始时, 我们选择将存储的密码输入模块与正常密码的输入模块分离, 这样只需使用逻辑开关便可以实现密码的更改与存储。但是这样设计虽然简化电路, 但不符合平时生活中密码锁的逻辑。后来我们使用D触发器作为存储器, 将D触发器输出端输出的内容作为存储的密码, 同时将输入的内容作为D触发器的输入。通过一个单次脉冲将D触发器的输入变为输出, 该脉冲开关由密码比对结果控制, 使其只有在密码正确时才能发出脉冲。

2) 电路复杂性和集成难度

本电路复杂度相对较高, 有一定集成难度。通过使用模块化设计来应对这个问题, 将每个功能设计为独立的模块, 然后将这些模块(输入模块, 验证和修改模块, 错误计数模块, 倒计时模块)集成在一起, 这样可以分步骤进行, 便于设计、调试和优化。

3) 串行输入的实现

实验开始时, 本来计划实现二位十进制, 但要实现十进制的串行输入十分困难, 且设计过程中需要考虑许多由此产生的异常情况, 极大地复杂了电路。于是我们改用八位二进制, 借助74LS194来实现输入左移, 进而实现二进制串行输入。但此时依旧存在问题, 我们借助D触发器的清零与置数端及两个单次脉冲按钮来改变D触发器的输出状态, 输入到寄存器, 并将脉冲信号输入寄存器实现移位。因为D触发器实现置数有迟滞, 在脉冲信号到达寄存器时输出状态未改变, 向寄存器输入错误的数。为了解决这一问题, 我们借助RC延迟电路, 延迟脉冲信号到达寄存器的时间, 以保证寄存器输入的内容正确。

同济大学实验报告纸

1353814

软件工程 专业 2021 届 1 班 姓名 马应 第 04 组 同组人员 叶成 纪鹏
课程名称 微机组成原理实验 实验名称 数字逻辑设计实验 实验日期 2024 年 10 月 31 日

4.2 触发器与计数器初始状态

在模拟电路中,每一次启动电路软件,触发器与计数器的状态都不固定,极大影响了电路设计及功能实现。为了解决这一问题,我们为电路添加了初始置零按钮,将触发器与计数器状态初始置零,保证电路的稳定性。

4. 对已有电路方案的思考改进

1) 电路中存在不必要的元件使用,这些元件在设计时认为其具有一定价,但现在看来毫无必要。例如,用于控制输入确认开关的D触发器。

2) 可以将密码改为十进制,以提高密码锁的实用性,这可能会使电路更加复杂化

3) 密码比较可以使用比较器,既可以简化电路,又使该模块的功能更加清晰;

4) 当前设计的密码错误报警较为简陋,可以增加发声装置,以丰富该功能

5) 倒计时模块可以考虑设计一个开关阵列来预设初始值,提高倒计时模块的通用性

5. 实验收获

本次实验是对数字逻辑知识的总结与实践。在本实验中,我们综合已经学习过的内容,以及添加新的芯片,成功设计出一个功能较为完备的电子密码锁。通过本次实验,我对以往学习过的芯片的知识掌握程度不断加深,同时学习了74LS192与74LS194,掌握了其逻辑功能表与逻辑表达式,拓展了自己的知识面。此外,本次实验对我的逻辑思维能力、实验操作能力也有较大的提升。

通过本次实验,提高了我的实验分析能力、逻辑排错能力。