

同济大学实验报告纸

2353814

软件工程 专业 2021 届 1 班 姓名 张小应 第 1 组 同组人员 _____

课程名称 计算机组成原理实验 实验名称 总线基本实验 实验日期 2024 年 12 月 5 日

【实验目的】

1. 理解系统总线工作方式
2. 掌握控制总线的功能和应用

【实验设备】

组成原理实验箱 TD-CMA

【实验原理】

1. 总线的基本概念

总线是计算机各部件间进行数据传输的公共通路，是一组导线和相关的控制、驱动电路的集合。总线不只是简单的信号传输线，还是一组协议。

2. 总线的分类

总线分为外部总线和 CPU 内总线，二者通过三态门连接。外部总线分为数据总线、地址总线和控制总线。

3. 总线的特征

分时与共享是总线的两大特征。共享是指在总线上可以挂载多个部件，它们都可以使用这一信息通路来与其他部件传递信息。分时是指同一总线在同一时刻只能有一个部件占领总线发送信息，其他部件要发送信息，得在该部件发送完并释放总线后，才能申请使用总线。

分时与共享特征使得同一时刻只能有一个部件占用总线发送信息，但可以有多个部件通过总线接收信息。

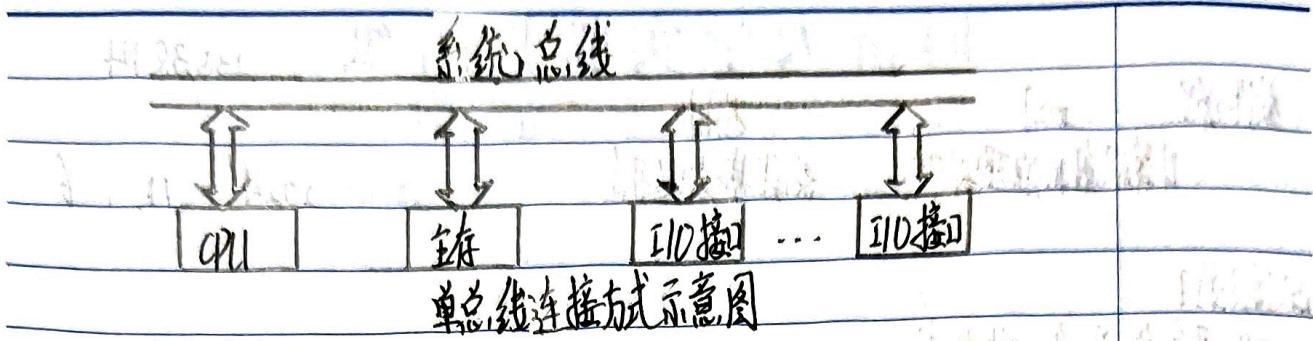
4. 总线的连接方式

① 单总线连接方式

① 定义：CPU、主存和 I/O 设备同挂接在一条总线上

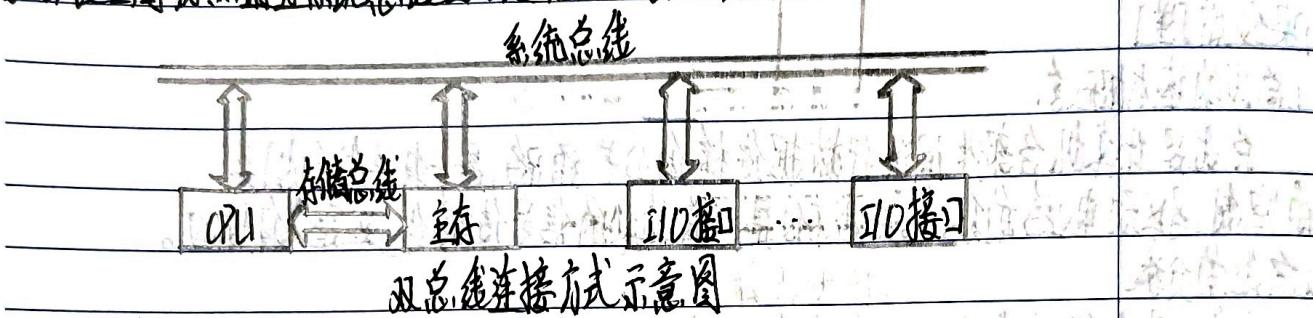
② 优点：结构简单，易于扩展

③ 缺点：高速的存储与低速的 I/O 接口竞争总线，影响存储器的读写速度，使数据传输效率受限制。



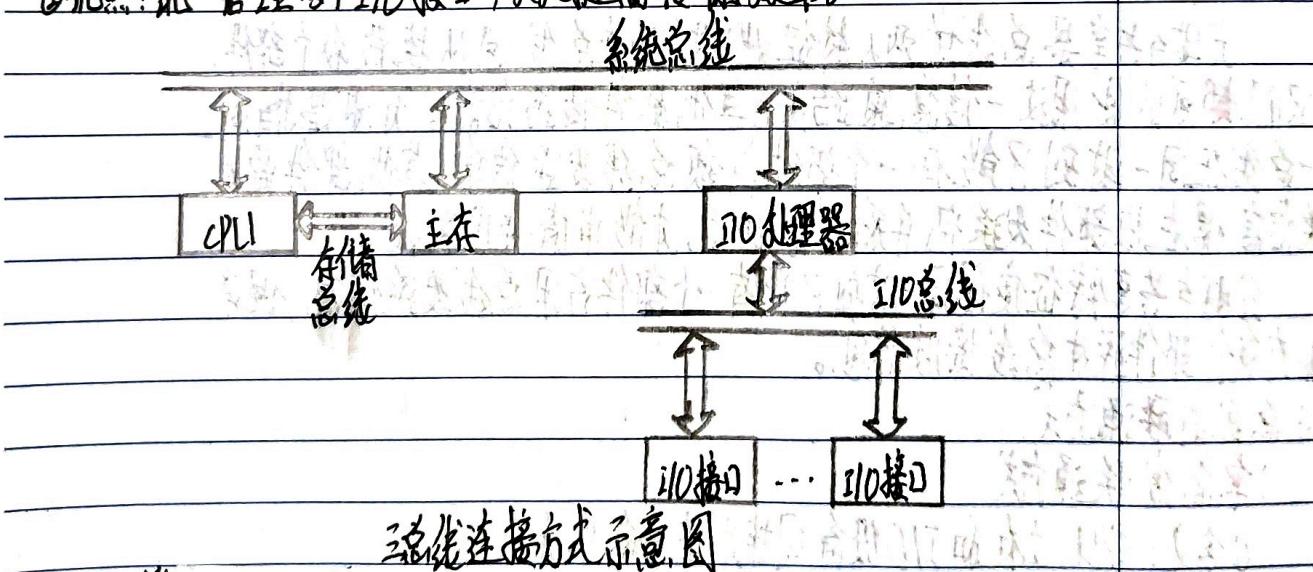
2) 双总线连接方式

- ①组成：在单总线连接的基础上，增加一条CPU和内存之间高速存储总线
 ②优点：高速存储总线减轻了系统线负担，提高了数据传输效率，内存和外设之间仍然通过系统总线实现DMA操作，无须经过CPU。



3) 三总线连接方式

- ①组成：三总线连接方式即在双总线结构的基础上，增加了I/O处理器
 ②优点：统一管理多个I/O接口，大大提高传输效率。



3. 现代计算机总线结构

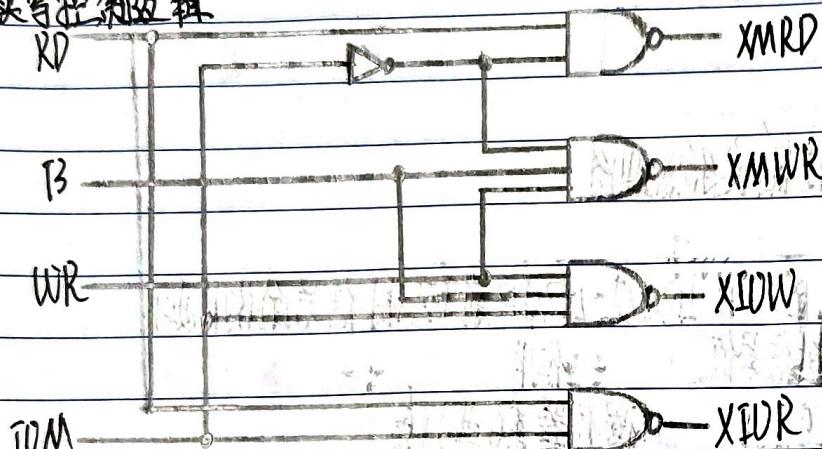
北桥：处理高速信号，包括(CPU, RAM/存储器), AGP端口或PCI-E以及与南桥芯片之间的通信。

同济大学实验报告纸 1353814

软件工程 专业 2021 届 1 班 姓名 吕小龙 第 1 组 同组人员 1
课程名称 惯性原理实验 实验名称 总线基本实验 实验日期 2024 年 11 月 5 日

南桥：主要处理 I/O 总线之间的通信

4. 读写控制逻辑



读写控制逻辑原理图

各控制线的作用：

① 当 RD=1 时为读操作，WR=1 时为写操作，WR 和 RD 不能同时为 1

② IDM 用来选择是对 I/O 设备还是内存进行读写操作。当 IDM=1 时对 I/O 设备操作，当 IDM=0 时对内存进行操作。

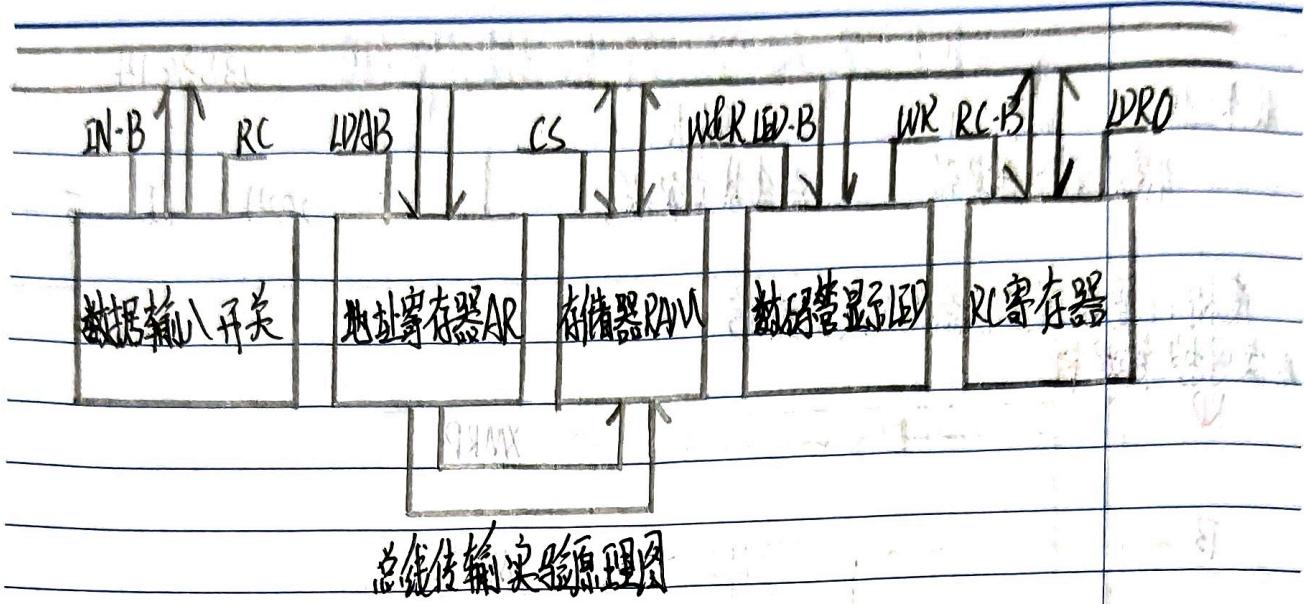
③ 写操作需要 T3 节指信号，读操作则不需要。

WR	RD	IDM	功能
0	1	0	读存储器
1	0	0	写存储器
0	1	1	读 I/O
1	0	1	写 I/O

读写控制逻辑功能表

5. 总线传输实验原理

各个部件与总线的数据传输方向及各种控制信号的控制作用如下图所示：



在上述总线实验原理中，RD-B, LDRD, LDAR等控制信号的作用如下：

控制信号	控制信号值	作用
RD-B (CON单元k1)	0	RD寄存器输出打开
	1	RD寄存器输出关闭
LDRD (CON单元k6)	0	RD寄存器输入关闭
	1	RD寄存器输入打开
LDAR	0	不允许向AR写入地址
	1	允许向AR写入地址

RD-B, LDRD, LDAR 控制信号作用表

RD-B控制信号控制RD寄存器的输出，当LDRD=1时，RD寄存器输出关闭。

LDRD信号控制RD寄存器的输入，当LDRD=1时允许输入，LDRD=0时不允许。

LDAR信号控制对地址寄存器的写入，LDAR=1时，允许写入地址，LDAR=0时不允许写入地址。

实验中，需要根据原理图将存储器，输入设备，输出设备，寄存器等挂至总线上。这些设备都有三态输出控制，按照实验要求恰当有序地控制它们，就可以实线数据传输。

实验内容

总线基本实验

1. 实验流程

同济大学实验报告纸

1353814

软件工程 专业 2021 届 1 班 姓名 张龙 第 组 同组人员

课程名称 微机组成原理实验 实验名称 总线基本实验 实验日期 2024 年 12 月 5 日

- ① 输入设备输入一个数并将其打入 R0 寄存器中
② 输入设备输入一个地址，并将其打入 AR 中 } 存储器
③ 将 R0 中的数据写入存储器，具体写入地址为 AR 中的地址
④ 再次使用输入设备输入原地址并将其打入 AR 中
⑤ 根据 AR 中的地址，从存储器中读出相应数据，写入 RD 中 } 存储器
⑥ 将 RD 中的数据写入输出设备，显示在 LED 数码管中

2 实验步骤

- 1) 按照接线原理图连接线路，确保电路无误，打开电源。
2) 将时序与操作台单元的开关 KK1、KK3 置“运行”，KK2 置“单拍”，CON 单元的所有开关置 0 (注意应当先关闭需关闭的输出开关，再打开应打开的输出开关，防止总线竞争出现报警及实验出错)
3) 将 IN 单元置 0001 0001，K1 置为 1 (R0-B=1)，关闭 R0 的输出；将 K6 置 1 (LDRO=1)，打开 R0 的输入；置 WR=0, RD=1, IDM=1，从 IN 单元读取数据，LDAR 置 0，不允许向 AR 中写地址。连续按下四次 ST 产生 T3 脉冲时，将 0001 0001 打入 R0 寄存器中；
4) 将 IN 单元置 0000 0001，K1 置 1，K6 置 0 (LDAR=0)，关闭 R0 的输入；置 WR=0, RD=1, IDM=1, LDAR=1，从 IN 单元读取数据，打入 AR 中作为存放地址。
连续按下四次 ST 开关，产生 T3 脉冲时，将数据
5) 置 K1 为 0 (R0-B=0)，打开 R0 的输出；置 K6 为 0，LDAR 为 0；置 WR=1, RD=0, IDM=1，向存储器中写入数据。连续按下四次 ST 开关，产生 T3 脉冲时，将 R0 寄存器中的数 0001 0001 写入存储器地址为 0000 0001 的存储单元中。
6) 再次将地址 0000 0001 打入 AR 中，操作同 4)
7) 置 K1 为 1, K6 为 1, LDAR 为 0；置 WR=0, RD=1, IDM=0，从存储器中读数据；连续按下 4 次 ST 开关，将地址为 0000 0001 存储单元中的数据，写入 RD 中
8) 置 K1=0, K6=0, LDAR=0；置 WR=1, RD=0, IDM=1，对 OUT 单元进行写

操作：连续按下4次S1开关，将RD中的数据写入DUT单元，使用LED数码管显示。

实验时，可以打开联机软件【实验1-简单模型机】，观察数据流动以及各部件数据变化。

操作步骤	IN单元	RD-B(k)	LDU	LDR	WR	RD	IDM	LD AR
INPUT 11H → RD	0001 0001	1		1	0	11	0	
INPUT 01H → AR	0000 0001	1		0	0	11	1	
RD寄存器 → 存储器		0		0	1	000		
INPUT 01H → AR	00000001	1		0	0	111	1	
存储器 → RD寄存器		1		0	1	00		
RD寄存器 → LED		0		0	101	0		

各操作步骤的IN单元状态和开关状态

3. 实验思考题

存储器中的数据能不能和I/O部件直接进行数据交换？

不能，对存储器、I/O设备的操作通过IDM控制信号控制，当IDM=1时只能对I/O设备操作而不能对存储器操作；当IDM=0时只能对存储器而不能对I/O设备操作，即IDM不存在一种状态使可以对I/O设备和存储器操作，因而不能直接进行存储器与I/O部件间的数据交换。同时

实验小结

在本次实验中，我理解了系统总线的工作方式，掌握了系统总线的功能和应用。我深入学习了总线相关的概念，以及其分类、特征、连接方式以及使用逻辑、各控制线的作用和总线传输的实验原理。

实验操作中，我成功连接了实验线路，并在此基础上，实现了对存储器的写入、读取操作，成功将数据写入和读取。在实验操作的基础上，我深刻理解了RD-B、LDU、LDR三种控制信号的作用，加深了我对计算机组成原理的理解。同时，我也认识到在IDM控制信号的控制之下，存储器中的数据无法和I/O部件直接进行数据交换。

本实验较为简单，重点在于实验接线和体会数据流动。借助联

同济大学实验报告纸

2353814

软件工程 专业 2021 届 1 班 姓名 张小龙 第 1 组 同组人员 _____
课程名称 计算机组成原理实验 实验名称 总线基本实验 实验日期 2024 年 12 月 5 日

通过动画演示观察到各个指令执行过程中的数据流动，以及各个部件的变化，加深了我对指令运行的理解。

本次实验加深了我对总线相关知识的理解与体会，并提高了我的动手能力。