

控制	信号名	R型	lw	sw	beq	J	addiu	ori
输入	ct_inst(inst[31:26])	0	1	1	0	0	0	0
		0	0	0	0	0	0	0
		0	0	1	0	0	1	1
		0	0	0	1	0	0	1
		0	1	1	0	1	0	0
		0	1	1	0	0	1	1
输出	ct_rf_dst	1	0	x	x	x	0	0
	ct_rf_wen	1	1	0	0	0	1	1
	ct_alu_src	0	1	1	0	x	1	1
	ct_alu	srl:0001	0000	0000	0110	xxxx	0010	1000
		addu:0010						
	ct_branch	0	0	0	1	0	0	0
	ct_mem_ren	0	1	0	0	0	0	0
	ct_mem_wen	0	0	1	0	0	0	0
	ct_data_rf	0	1	x	x	x	0	0
	ct_jump	0	0	0	0	1	0	0

模块	控制信号	作用
IFU	ct_jump	执行beq指令时变为有效信号
	ct_branch	执行分支指令时变为有效信号
DataMem	ct_mem_wen	往DataMem写入数据时变为有效信号
	ct_mem_ren	DataMem读出数据时变为有效信号
ALU	ct_alu	选择ALU要执行的运算，例如选择执行加法或其他运算
Mux	ct_alu_src	二选一多路选择器的控制信号
	ct_rf_dst	
	ct_data_rf	
RegFile	ct_rf_wen	往RegFile写入数据数据时变为有效信号