



Electrónica I

1º Trabalho de Laboratório Inversor CMOS

**Teresa Mendes de Almeida
Fernando Gonçalves**

**INSTITUTO SUPERIOR TÉCNICO
Departamento de Engenharia Electrotécnica e de Computadores
Área Científica de Electrónica**

**Setembro de 2008
Revisto em Setembro de 2010**

1. Introdução

Pretende-se com este trabalho de laboratório analisar o funcionamento do circuito inversor CMOS da figura 1, que é constituído por dois transístores complementares MOS (NMOS - canal N e PMOS - canal P). Serão consideradas diversas características deste circuito inversor, nomeadamente, a sua característica de transferência, as margens de ruído e os tempos de atraso de propagação.

A realização do circuito inversor baseia-se na utilização do circuito integrado HEF4007 (Philips Semiconductors) que contém seis transístores MOS de reforço, sendo três de canal N e os restantes de canal P (ver a folha de características em anexo a este guia de trabalho).

A realização do trabalho de laboratório compreende os seguintes passos:

- i. antes da primeira sessão de trabalho no laboratório deve ser realizada toda a análise teórica do circuito;
- ii. na primeira sessão de laboratório devem ser realizadas as simulações (com o programa PSpice Schematics) e os resultados obtidos devem ser confrontados com os cálculos teóricos (os ficheiros necessários às simulações podem ser preparados antes da aula de laboratório);
- iii. os componentes para a montagem do circuito serão entregues na primeira sessão de laboratório. Caso disponham de tempo livre, podem aproveitar a parte final da aula para montarem o circuito. **Nota:** A placa de bread-board para a montagem do circuito deverá ser trazida pelos alunos;
- iv. na segunda sessão de laboratório devem ser realizadas as medições experimentais e os resultados obtidos devem ser comparados com os cálculos teóricos e com os resultados das simulações. O relatório é entregue no final desta segunda aula de laboratório.

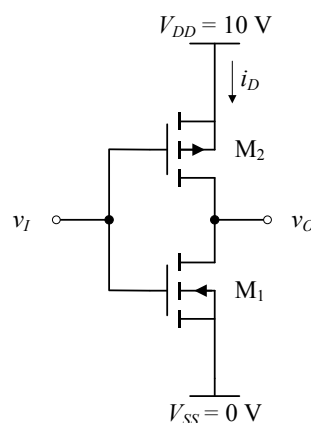


Figura 1 – Circuito inversor CMOS.

2. Material de Laboratório e Equipamento

Para a realização do trabalho experimental é necessário o seguinte material e equipamento:

- 1 circuito integrado HEF4007
- 1 placa de bread-board
- Multímetro
- Osciloscópio
- Gerador de sinais

3. Análise Teórica

Considere o circuito inversor CMOS da figura 1 com $V_{DD}=10\text{ V}$ e $V_{SS}=0\text{ V}$ e em que os transístores são caracterizados por:

	W	L	λ	k	V_t
NMOS	100 μm	5 μm	0	730 $\mu\text{A/V}^2$	1,9 V
PMOS	300 μm	5 μm	0	480 $\mu\text{A/V}^2$	1,7 V

- 3.1. Calcule a tensão de saída e a corrente nos transístores para $v_i=0\text{ V}$; $V_{DD}/2$; e V_{DD} e indique qual a região de funcionamento dos transístores.
- 3.2. Determine a característica de transferência $v_O(v_i)$ do circuito e assinale as diferentes zonas de funcionamento de cada um dos transístores, bem como as tensões nos pontos de transição entre as zonas de funcionamento.
- 3.3. Determine a corrente i_D máxima.
- 3.4. Determine as tensões V_{OL} , V_{OH} , V_{IL} , V_{IH} e calcule as margens de ruído NML e NMH.
- 3.5. Considere na saída uma carga capacitiva de 50 pF e determine os tempos de atraso de propagação (t_{PHL} , t_{PLH} e t_P).

Em todas as questões anteriores justifique os resultados apresentados. Caso tenha efectuado alguma aproximação nos cálculos apresente a sua justificação.

4. Simulação

Para realizar a simulação do funcionamento do circuito com os transístores caracterizados pelos parâmetros indicados na tabela apresentada a seguir deve introduzir o componente MBreakN para o transístor NMOS e MBreakP para o PMOS. De seguida deve alterar os seus parâmetros.

No simulador disponível no laboratório (programa PSpice Schematics - versão de estudante 9.1) a alteração dos parâmetros dos transístores pode ser feita da seguinte forma:

- i. Seleccionar o componente e aceder à seguinte sequência de comandos: *Edit* → *Model...* → *Edit Instance Model (Text)* e na janela que fica aberta devem ser introduzidos os parâmetros de acordo com a tabela (pode ser feito «copy» e «paste» a partir de um editor que não introduza caracteres escondidos, por exemplo o «notepad»). As características ficam então guardadas num ficheiro ****.lib*, cujo nome e directoria é o indicado na janela de edição em «Save To».
- ii. **Os parâmetros W e L devem ser introduzidos directamente após selecção do transístor** (clicar duas vezes), na janela que se abre automaticamente (os parâmetros W e L são os mesmos que foram indicados na análise teórica).

Parâmetros dos Transístores a utilizar no PSpice	
NMOS	PMOS
.MODEL N4007 NMOS	.MODEL P4007 PMOS
TOX=70n	TOX=70N
KP=73u	KP=16u
VTO=1.9V	VTO=-1.7V
GAMMA=2.0	GAMMA=1.0
CBD=0.2p	CBD=0.2p
CBS=0.2p	CBS=0.2p
MJ=0.75	MJ=0.75
LAMBDA=20m	LAMBDA=20m

Simule o funcionamento do circuito considerando $\lambda=0$ (altere o modelo dos transístores), o que corresponde à análise teórica que foi feita.

- 4.1. Determine a tensão de saída e a corrente nos transístores para $v_i=0$ V; $V_{DD}/2$; e V_{DD} . Para isso faça uma análise do ponto de funcionamento em repouso (*Bias Point Detail*).
- 4.2. Obtenha a característica de transferência $v_o(v_i)$, fazendo uma análise com um varrimento do sinal de entrada (*DC Sweep*).
- 4.3. Obtenha também o gráfico de $i_D(v_i)$.

- 4.4. A partir dos resultados das alíneas anteriores determine as tensões V_{OL} , V_{OH} , V_{IL} , V_{IH} e calcule as margens de ruído NML e NMH. (sugestão: pode representar dv_O/dv_I)
- 4.5. Acrescente na saída uma carga capacitiva de 50 pF, aplique na entrada um sinal rectangular (utilize o gerador de impulsos VPULSE) com níveis de tensão 0 V e 10 V, frequência 500 kHz e tempos de subida e descida desprezáveis (por exemplo, 1 ps). Obtenha um gráfico das tensões de entrada e de saída fazendo uma análise no domínio do tempo (*Transient...*).
- 4.6. A partir do gráfico anterior determine os tempos de atraso de propagação (t_{PHL} , t_{PLH} e t_P). Sugestão: faça «zoom» nas zonas de transição dos sinais e utilize o cursor para obter resultados mais precisos.

Considere agora $\lambda=20 \text{ mV}^{-1}$

- 4.7. Altere o modelo dos transístores e obtenha a característica de transferência $v_O(v_I)$.
- 4.8. Obtenha também o gráfico de $i_D(v_I)$.
- 4.9. A partir dos resultados da alínea anterior determine as tensões V_{OL} , V_{OH} , V_{IL} , V_{IH} e calcule as margens de ruído NML e NMH. (sugestão: pode representar dv_O/dv_I)

5. Trabalho Experimental

Para a realização do trabalho é necessária a consulta da folha de características do circuito integrado HEF4007 que está em anexo a este guia.

PRECAUÇÕES / RECOMENDAÇÕES:

- **Nunca aplique sinais na entrada do circuito sem ter a certeza de que o circuito integrado já está devidamente alimentado através dos pinos 7 e 14.**
- **Antes de aplicar sinais na entrada do circuito verifique sempre que estes não excedem os limites das tensões de alimentação: $V_{DD}=10 \text{ V}$ e $V_{SS}=0 \text{ V}$.**
- **Neste trabalho, os canais do osciloscópio devem estar sempre em modo DC.**

- 5.1. Identifique na figura 1 os pinos do circuito integrado correspondentes aos terminais dos transístores e monte o circuito inversor na placa de bread-board (não ligue a fonte de alimentação).
- 5.2. Ajuste a fonte de tensão para 10 V. Depois de ter verificado que o nível de tensão está correcto, faça a ligação ao circuito (pinos 14 (V_{DD}) e 7 (V_{SS}) do circuito integrado).

- 5.3. Verifique o funcionamento do circuito efectuando os seguintes testes e registando os valores obtidos:
- Aplique na entrada um sinal $v_i=0$ V e meça com o voltímetro a tensão de saída, v_o
 - Aplique na entrada um sinal $v_i=10$ V e meça com o voltímetro a tensão de saída, v_o
- 5.4. Ligue o gerador de sinais ao canal 1 do osciloscópio e ajuste-o para obter um sinal sinusoidal de 1 kHz sobreposto a uma componente contínua, de forma a obter: $v_i(t) = 5 + 5 \cos(\omega t)$ [V]. **Seguidamente, certifique-se que o circuito está alimentado e só então aplique o sinal sinusoidal.** Observe no osciloscópio os sinais de entrada (canal 1) e de saída (canal 2). Com o programa HIMES obtenha a característica de transferência, $v_o(v_i)$. Imprima o gráfico.
- 5.5. Mantendo as condições da alínea anterior, utilize o gráfico obtido para determinar as tensões V_{OL} , V_{OH} , V_{IL} , V_{IH} e calcular as margens de ruído NML e NMH. Deverá usar a função ZOOM do HIMES para conseguir obter estes valores com algum rigor.
- 5.6. Utilize o gerador de sinais para obter uma onda quadrada de frequência 500 kHz e extremos 0 V e 10 V. **Seguidamente, certifique-se que o circuito está alimentado e só então aplique a onda quadrada.** Observe no osciloscópio os sinais de entrada e de saída. Coloque a escala de tempo do osciloscópio no seu valor mínimo para melhor visualização das transições das formas de onda. Recorrendo ao HIMES, obtenha os gráficos correspondentes às transições $L \rightarrow H$ e $H \rightarrow L$. Usando a função ZOOM do HIMES, determine os tempos de atraso de propagação (t_{PHL} , t_{PLH} e t_P).

6. Relatório

O relatório (entregue no final da segunda sessão de laboratório) deve obrigatoriamente respeitar a seguinte sequência de capítulos/secções:

- **Análise teórica** (inclui as respostas às questões 3.1 a 3.5)
- **Simulação** (inclui as respostas às questões 4.1 a 4.9 – sempre que se justifique, assinale os valores pedidos sobre os próprios gráficos)
- **Trabalho experimental** (inclui as respostas e gráficos referentes às questões 5.3 a 5.6)
- **Análise dos resultados** (no mínimo, inclui as comparações de resultados que se indicam nas tabelas abaixo – **sugestão**: utilize as tabelas para resumir os valores que obteve ao longo do trabalho e aproveite a coluna “Comentário” para inserir a sua análise dos resultados)
- **Conclusões**

Grandezas a comparar	Teórica	Simulação	Experimental	Comentário
Tensões e correntes em repouso	3.1	4.1	5.3 ¹	
Características de transferência	3.2	4.2	5.4	
Corrente i_D máxima	3.3	4.3		
Tensões V_{OL} , V_{OH} , V_{IL} e V_{IH} e margens de ruído NML e NMH	3.4	4.4	5.5	
Tempos de propagação t_{pHL} , t_{pLH} e t_P	3.5	4.6	5.6	

¹ Apenas as tensões em repouso

Grandezas a comparar	Simulação (com $\lambda=0$)	Simulação (com $\lambda \neq 0$)	Comentário
Características de transferência	4.2	4.7	
Corrente i_D máxima	4.3	4.8	
Tensões V_{OL} , V_{OH} , V_{IL} e V_{IH} e margens de ruído NML e NMH	4.4	4.9	

Como na segunda sessão de laboratório é necessário realizar o trabalho experimental e completar o relatório, o relatório deve ser estruturado e parcialmente realizado antes da segunda aula de laboratório, para que durante a aula apenas seja necessário completar os aspectos referentes aos resultados experimentais.

Deve trazer o relatório já impresso.

7. Folha de Características do Circuito Integrado HEF4007

(ver páginas seguintes)

DATA SHEET

For a complete data sheet, please also download:

- The IC04 LOCMOS HE4000B Logic Family Specifications HEF, HEC
- The IC04 LOCMOS HE4000B Logic Package Outlines/Information HEF, HEC

HEF4007UB

gates

Dual complementary pair and
inverter

Product specification
File under Integrated Circuits, IC04

January 1995

Dual complementary pair and inverter

HEF4007UB
gates

DESCRIPTION

The HEF4007UB is a dual complementary pair and an inverter with access to each device. It has three n-channel and three p-channel enhancement mode MOS transistors.

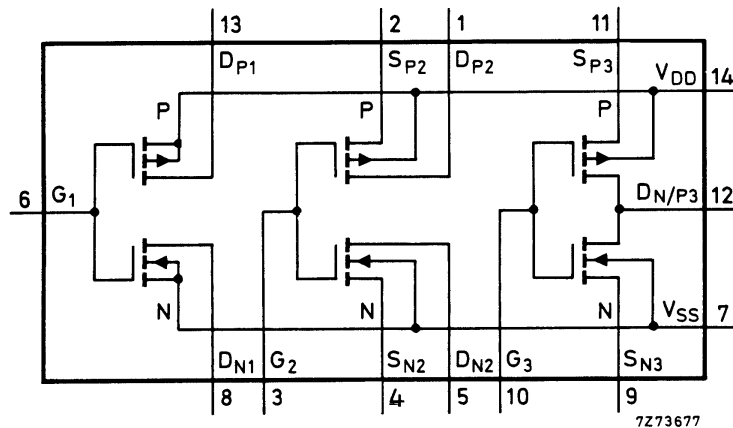


Fig.1 Schematic diagram.

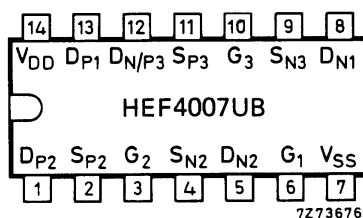


Fig.2 Pinning diagram.

PINNING

- | | |
|------------------|---|
| S_{P2}, S_{P3} | source connections to 2nd and 3rd p-channel transistors |
| D_{P1}, D_{P2} | drain connections from the 1st and 2nd p-channel transistors |
| D_{N1}, D_{N2} | drain connections from the 1st and 2nd n-channel transistors |
| S_{N2}, S_{N3} | source connections to the 2nd and 3rd n-channel transistors |
| $D_{N/P3}$ | common connection to the 3rd p-channel and n-channel transistor drains |
| G_1 to G_3 | gate connections to n-channel and p-channel of the three transistor pairs |

FAMILY DATA, I_{DD} LIMITS category GATES

See Family Specifications for V_{IH}/V_{IL} unbuffered stages

HEF4007UBP(N): 14-lead DIL; plastic
(SOT27-1)

HEF4007UBD(F): 14-lead DIL; ceramic (cerdip)
(SOT73)

HEF4007UBT(D): 14-lead SO; plastic
(SOT108-1)

(): Package Designator North America

Dual complementary pair and inverter

HEF4007UB
gates

AC CHARACTERISTICS

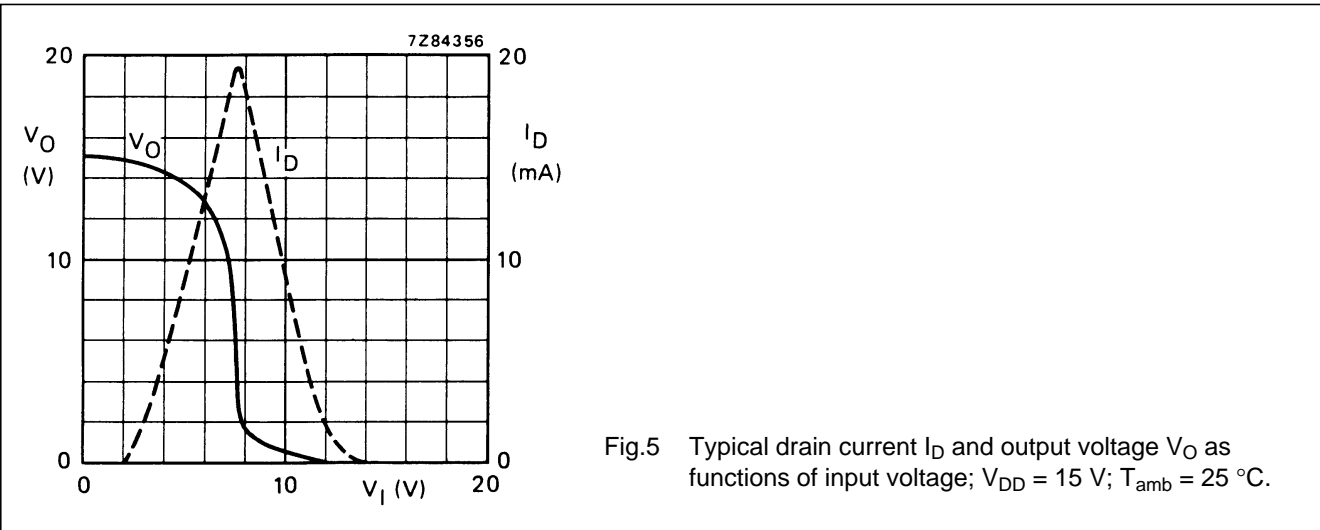
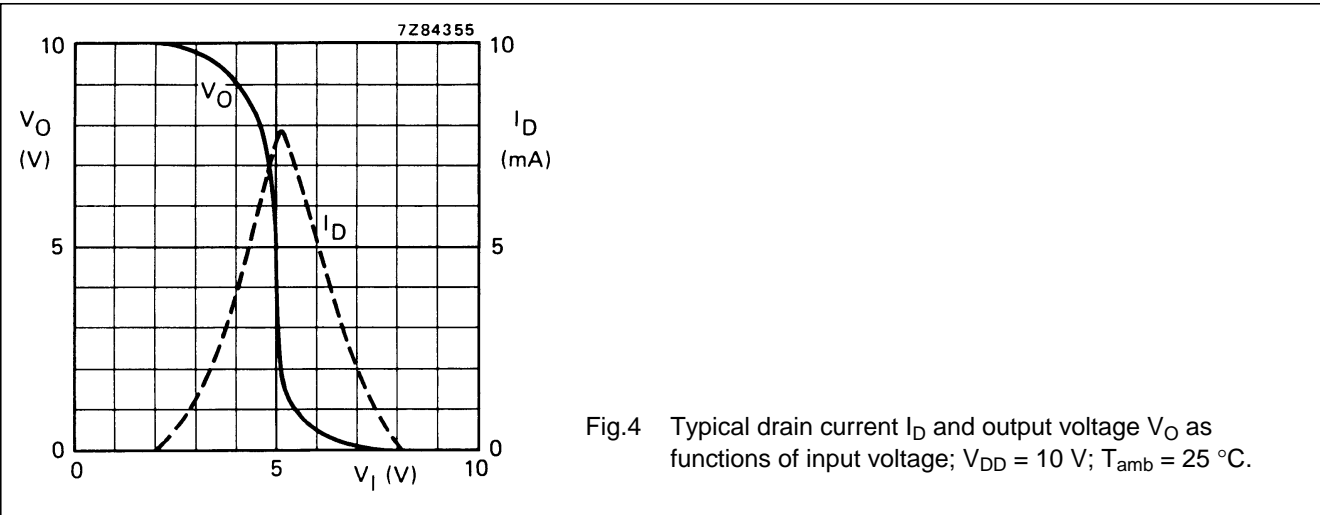
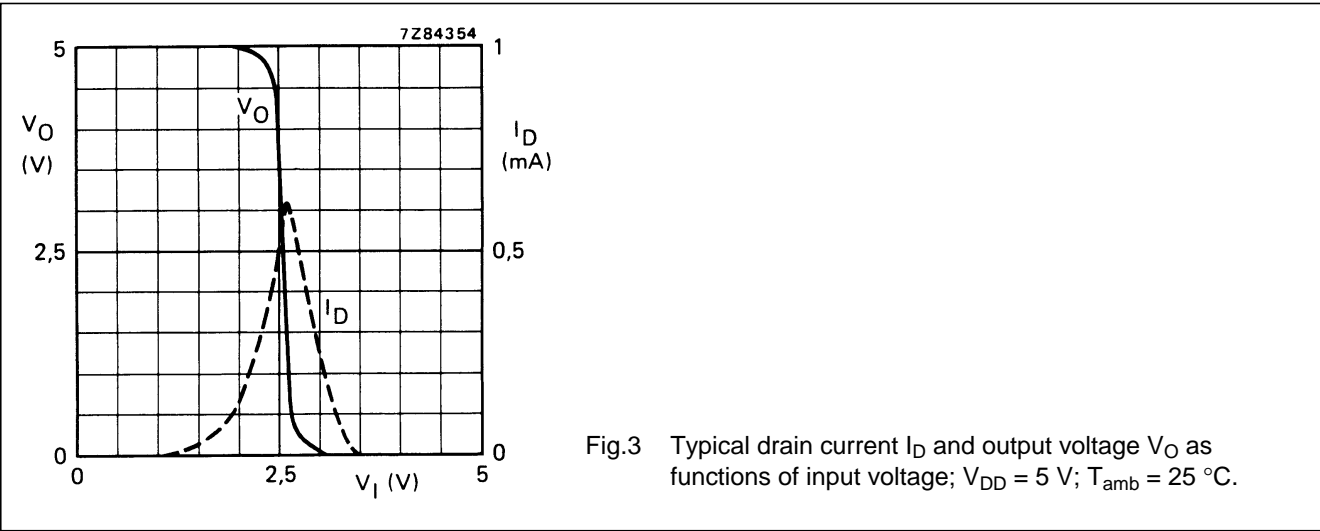
 $V_{SS} = 0$ V; $T_{amb} = 25$ °C; $C_L = 50$ pF; input transition times ≤ 20 ns

	V_{DD} V	SYMBOL	TYP.	MAX.		TYPICAL EXTRAPOLATION FORMULA
Propagation delays $G_n \rightarrow D_N$; D_P HIGH to LOW	5	t_{PHL}	40	80	ns	13 ns + (0,55 ns/pF) C_L
	10		20	40	ns	9 ns + (0,23 ns/pF) C_L
	15		15	30	ns	7 ns + (0,16 ns/pF) C_L
LOW to HIGH	5	t_{PLH}	40	75	ns	13 ns + (0,55 ns/pF) C_L
	10		20	40	ns	9 ns + (0,23 ns/pF) C_L
	15		15	30	ns	7 ns + (0,16 ns/pF) C_L
Output transition times HIGH to LOW	5	t_{THL}	60	120	ns	10 ns + (1,0 ns/pF) C_L
	10		30	60	ns	9 ns + (0,42 ns/pF) C_L
	15		20	40	ns	6 ns + (0,28 ns/pF) C_L
LOW to HIGH	5	t_{TLH}	60	120	ns	10 ns + (1,0 ns/pF) C_L
	10		30	60	ns	9 ns + (0,42 ns/pF) C_L
	15		20	40	ns	6 ns + (0,28 ns/pF) C_L

	V_{DD} V	TYPICAL FORMULA FOR P (μ W)	
Dynamic power dissipation per package (P)	5	$4500 f_i + \sum (f_o C_L) \times V_{DD}^2$	where f_i = input freq. (MHz) f_o = output freq. (MHz) C_L = load capacitance (pF) $\sum(f_o C_L)$ = sum of outputs V_{DD} = supply voltage (V)
	10	$20\,000 f_i + \sum (f_o C_L) \times V_{DD}^2$	
	15	$50\,000 f_i + \sum (f_o C_L) \times V_{DD}^2$	

Dual complementary pair and inverter

HEF4007UB
gates



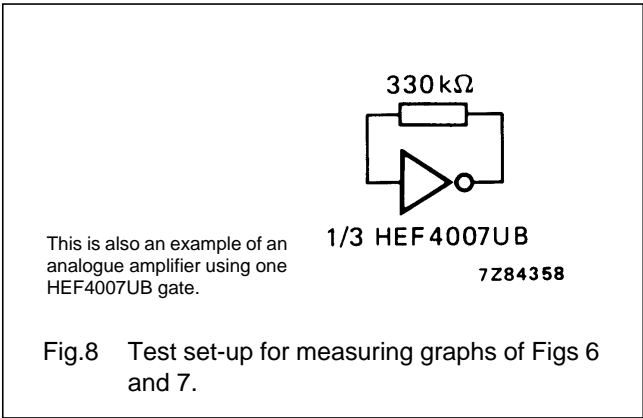
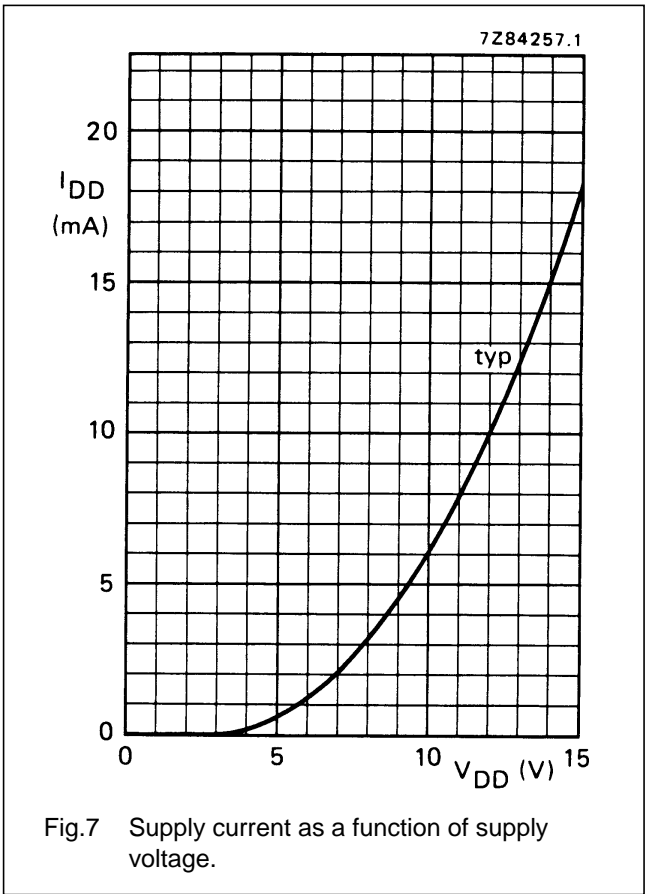
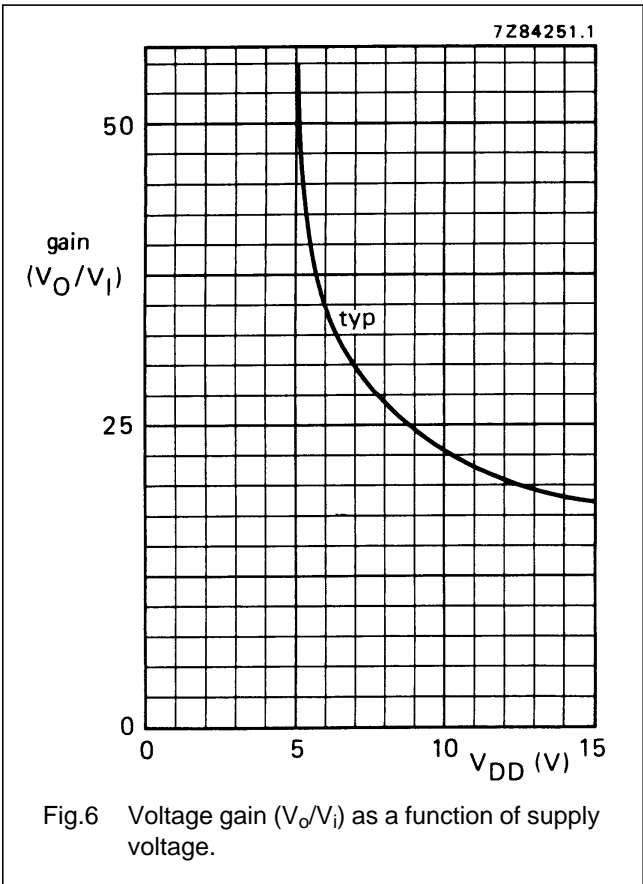
Dual complementary pair and inverter

HEF4007UB
gates

APPLICATION INFORMATION

Some examples of applications for the HEF4007UB are:

- High input impedance amplifiers
- Linear amplifiers
- (Crystal) oscillators
- High-current sink and source drivers
- High impedance buffers.



Dual complementary pair and inverter

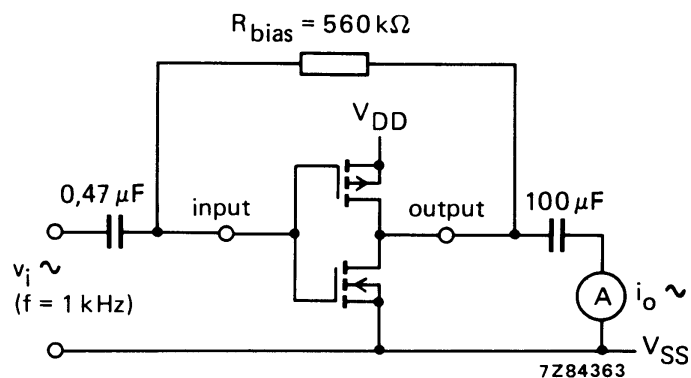
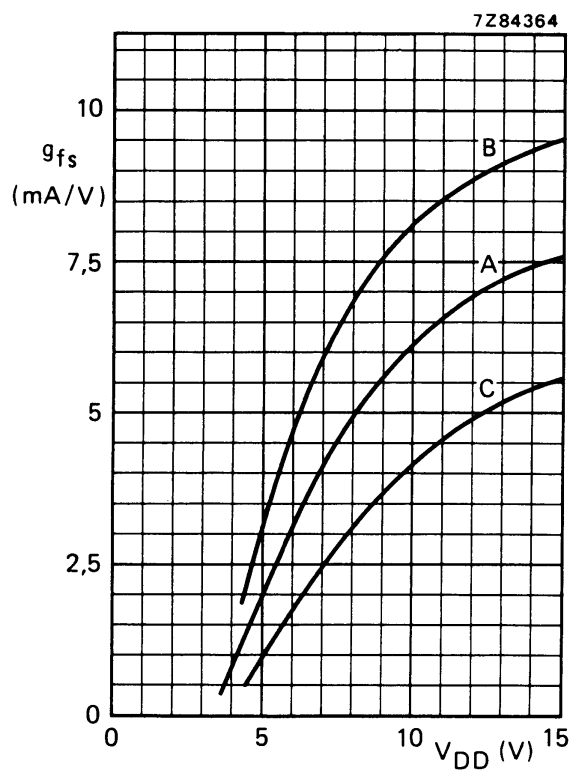
HEF4007UB
gates

Fig.9 Test set-up for measuring forward transconductance $g_{fs} = di_o/dv_i$ at v_o is constant (see also graph Fig.10).



- A: average,
 B: average + 2 s,
 C: average - 2 s, in where 's' is the observed standard deviation.

Fig.10 Typical forward transconductance g_{fs} as a function of the supply voltage at $T_{amb} = 25^\circ\text{C}$.

Dual complementary pair and inverter

HEF4007UB
gates

Figures 11 to 14 show some applications in which the HEF4007UB is used.

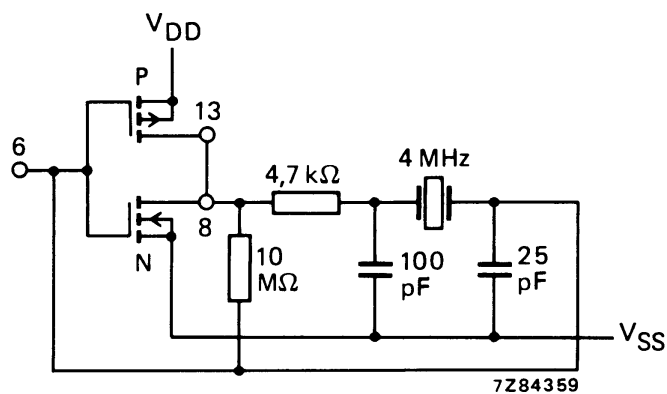


Fig.11 4 MHz crystal oscillator.

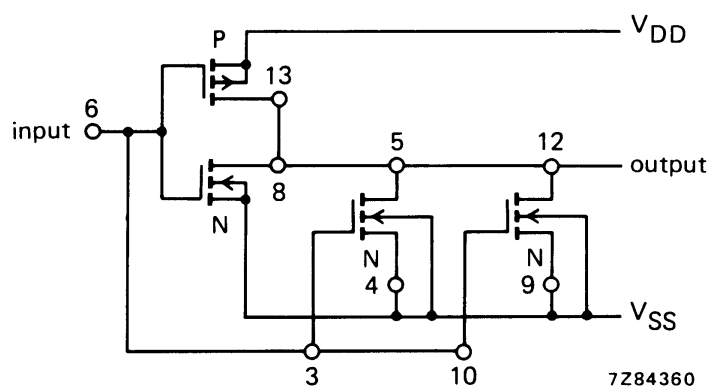


Fig.12 High current sink driver.

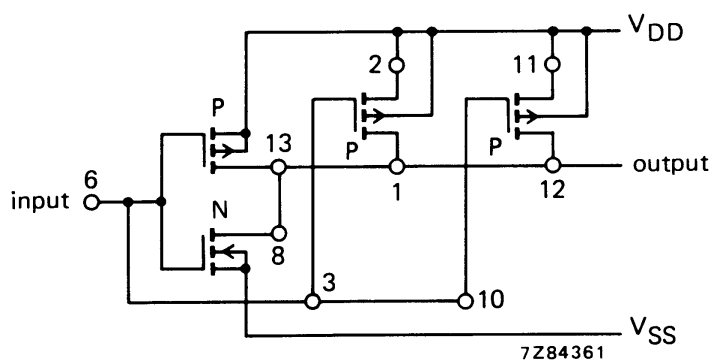


Fig.13 High current source driver.

Dual complementary pair and inverter

HEF4007UB
gates

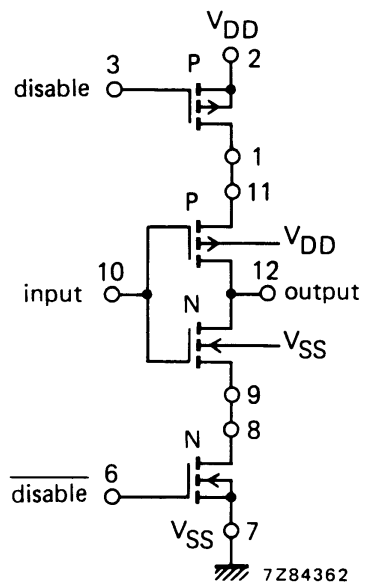


Fig.14 High impedance buffer.

FUNCTION TABLE for Fig.14.

INPUT	DISABLE	OUTPUT
H	L	L
L	L	H
X	H	open

Notes

- 1. H = HIGH state (the more positive voltage)
- L = LOW state (the less positive voltage)
- X = state is immaterial

NOTE

Rules for maintaining electrical isolation between transistors and monolithic substrate:

- Pin number 14 must be maintained at the most positive (or equally positive) potential with respect to any other pin of the HEF4007UB.
- Pin number 7 must be maintained at the most negative (or equally negative) potential with respect to any other pin of the HEF4007UB.

Violation of these rules will result in improper transistor operation and/or possible permanent damage to the HEF4007UB.