

Os valores das tabelas valem para circuitos realizadas fisicamente e testados (-testar) [remotamente](#).

Simulação de Systemverilog não vale centavos, mas é recomendado para acelerar o desenvolvimento da implementação física.

Simulação Falstad vale um quinto ( $1/5$ ) dos valores das tabelas, se realizado com flip-flops (tipo D, claro) e oscilador em anel. Contador pronto vale um terço disso ( $1/5 * 1/3$ ) e contador com oscilador sem ser aquele em anel vale metade disso ( $1/5 * 1/2$ ) ou  $1/5 * 1/3 * 1/2$  respetivamente.

descrição	centavos
contador 4 bits	45
reset SWI[0]	..+5
contagem decrescente - SWI[1]	.+5
contagem com incremento de 3 - SWI[2]	.+5
contagem com reset, incremento de 1/3 e crescente/decrescente – SWI[0] + SWI[1] + SWI[2]	.+5
congelamento da contagem - SWI[3]	.+5
saturação (parada da contagem) quando chega em 15 ou 0 - SWI[4]	.+5
contagem com congelamento e saturação – SWI[3] + SWI[4]	.+5
contagem com reset, incremento de 1/3 , crescente/decrescente, congelamento e saturação – SWI[0] + SWI[1] + SWI[2] + SWI[3] + SWI[4]	.+5

- só pode ser usado flip-flop tipo D -tipo\_D
- o circuito tem que ser síncrono -assíncrono