

Grupo: **Felipe Kenzo Araki - 2022005633**
Isabelle Francine Guedes Romão - 201029710
Pedro Andrade Gomes - 2022006926

Relatório I

Proposta SDR (Software Defined Radio)

A proposta do projeto é criar um rádio definido por software, comumente utilizando-se DDS (Direct Digital Synthesis) via verilog.

Etapa 1: Criação do sinal modulante via LUT (Look Up Table).

Parâmetros definidos: LUT com 2000 amostras, PWM com resolução de 0 - 24999, frequência de operação do PWM de 50MHz, FPB (filtro passa baixa) de primeira ordem feito via `analpf()` (SciLab) com valor de resistor de 100 ohm e capacitor 320 uF (220 uF paralelo com 100 uF);

Justificativas: As 2000 amostras da LUT foram escolhidas visando dois requerimentos: Valores suficientes para representar com qualidade o sinal modulante e utilização da frequência base da FPGA de 50 MHz, sem divisões de clock ou PLLs. A grosso modo, escolhemos duas mil amostras pois é um valor alto suficiente para representar o sinal modulante;

A contagem de 0 - 24999 (25000) do PWM foi escolhida pois a frequência base de operação da FPGA de 50 MHz, poderia ser utilizada diretamente, sem necessidade de circuitos divisores ou PLLs para realizar o ajuste de clock.

Os valores da LUT foram obtidos a partir de um script no Octave.

Para gerar o sinal modulante utilizando FPGA, foi empregada uma abordagem baseada em PWM (Pulse Width Modulation) e uma *lookup table* (LUT) contendo valores amostrados de um cosseno. Essa tabela é essencialmente um vetor com 2000 valores que representam a função cosseno dentro de um período completo, com valores variando de 1 até -1.

Esses 2000 pontos foram escolhidos como compromisso entre resolução adequada do sinal e limitações de hardware, permitindo manter a frequência original de operação da FPGA, que é de 50 MHz. Como a FPGA não trabalha diretamente com números negativos nem com números decimais, os valores da LUT foram ajustados para um intervalo positivo. Para isso, os valores do cosseno, originalmente no intervalo $[-1, 1]$, foram escalonados para o intervalo $[1, 25000]$, utilizando o valor máximo de 24999 como referência (sendo 25000 o total possível de contagem do PWM).

Diferentemente de uma LUT tradicional de cosseno, a tabela construída contém os valores já ajustados para controle direto do ciclo de trabalho (duty cycle) do PWM, ou seja, cada valor representa diretamente o tempo em que a saída do PWM ficará em nível alto.

Durante a execução, ao iniciar o código na placa e resetar o sistema, o índice da LUT começa em zero e percorre sequencialmente até 1999. A cada ciclo de PWM, o valor correspondente da LUT é lido e enviado como parâmetro para configurar o duty cycle. Por exemplo, se o valor lido for 24508, o sinal PWM permanecerá em nível alto até esse valor de contagem e, após isso, ficará em nível baixo até completar o período de 25000. Ao fim de cada ciclo do PWM, o índice da LUT é incrementado e o próximo valor é utilizado. Quando o índice atinge o fim da tabela, ele é resetado, voltando para o início, gerando assim um sinal modulante contínuo.

Com a geração da forma de onda pronta, o sinal PWM é encaminhado para um filtro passa-baixas na saída da FPGA. O filtro foi montado com um resistor de 100ohms e capacitores de 220 μ F e 100 μ F em paralelo (totalizando aproximadamente 320 μ F, que era o valor originalmente desejado). Este filtro suaviza o sinal PWM, removendo suas componentes de alta frequência e permitindo obter, na saída, o sinal analógico correspondente ao modulante.

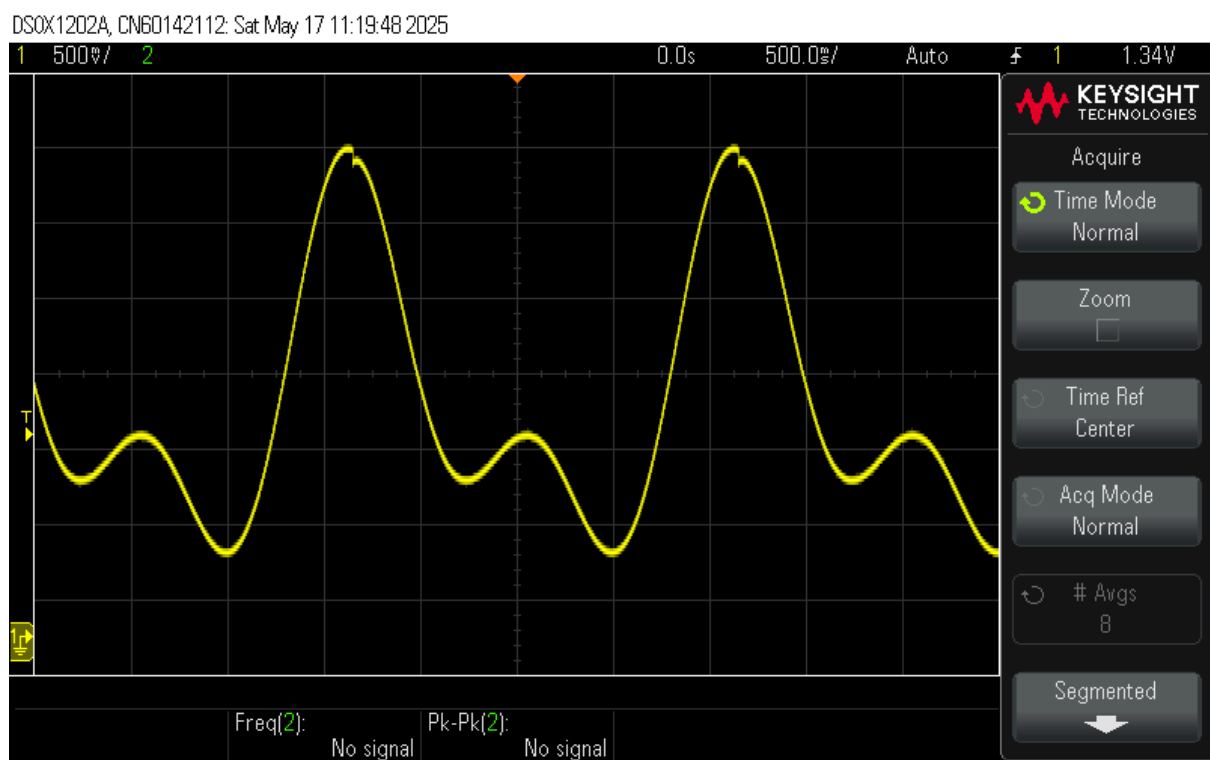


Imagem: *PrintScreen extraído do osciloscópio via USB representando o sinal modulante em sua forma filtrada/analógica;*

O resultado final é um sinal analógico gerado com boa resolução e fidelidade, utilizando recursos da própria placa FPGA com frequência base de 50 MHz e um PWM com período de 25000 ciclos, sincronizado com a LUT de 2000 amostras.