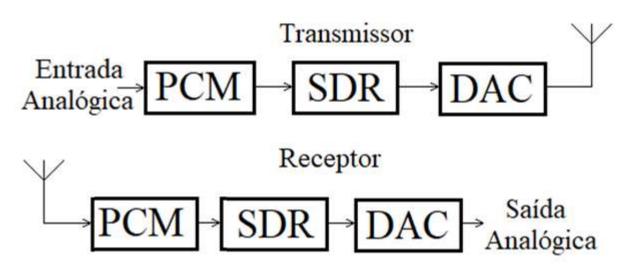
Mateus A. F. C. Junqueira

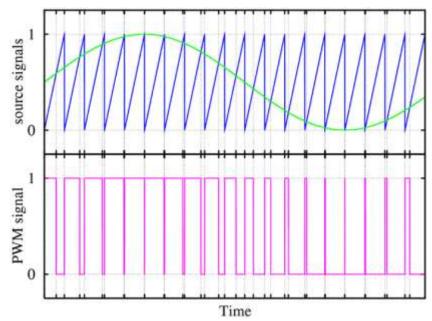
mateusafcj@unifei.edu.br

Rádio Definido por Software (SDR - Software Defined Radio)
é um sistema de comunicação cujos componentes
geralmente implementados em hardware como
moduladores e demoduladores são implementadas em
software, utilizando processamento de sinais:



- No SDR são calculados as amostras de um esquema de modulação;
- Na AM DSB-SC, por exemplo, são calculados os valores do sinal modulado $s_{AM,DSB-SC}(t) = A_C m(t) \cos(\omega_C t)$ nos instantes $t = nT_S$;
- Com PAM ou PWM seguido por filtro passa-baixa, as amostras são convertidas para o sinal analógico correspondente e em seguida transmitido pelo canal;
- É necessário respeitar a frequência de Nyquist: $f_S > 2f_{max}$.

 Geração do PWM para onda senoidal usando comparação com a onda dente de serra:



 A aplicação de um FPB sobre o sinal PWM retorna ao sinal original.

- Uma técnica correlata ao SDR é o DDS (Direct Digital Synthesis);
- No DDS as amostras de uma forma de onda são representadas com PAM ou PWM e depois filtradas com FPB;
- O DDS pode ser aplicado em geradores de funções.

- Projeto PBLE04:
- Modular e Demodular um sinal BASK (fc = 100 kHz) com SDR;
- O processamento do SDR deve ser realizado em FPGA;
- O filtros podem ser realizados com os circuitos abaixo:

FPB
$$v_{i}(t) = \frac{1}{RC(j\omega) + 1}$$
FPF
$$v_{i}(t) = \frac{(j\omega)}{RC} + \frac{(j\omega)}{RC} + \frac{1}{LC}$$

- Projeto PBLE04:
- Etapas:
- 1 Gerar o sinal modulante $m(t) = 3\cos(2\pi t) + 2\cos(4\pi t + \pi/6)$ por DDS com FPB de 1º ordem. Prazo: 09/04/25. (15 pontos)
- 2 Conversão analógico para digital de m(t) com o MCP3002 colocando os bits sequencialmente na FPGA. Considerar 8 bits por amostra e f_s = 200Hz. Prazo: 30/04/25. (15 pontos)

- Projeto PBLE04:
- Etapas:
- 3 Obter a representação PWM do sinal BASK com a FPGA e obter o espectro no osciloscópio. Prazo: 14/05/25. (15 pontos)
- 4 Obter o sinal BASK usando um FPF (2ª Ordem) sobre o sinal da etapa 4. Obter o espectro deste sinal BASK no osciloscópio. Prazo: 21/05/25. (10 pontos)

- Projeto PBLE04:
- Etapas:
- 5 Elaborar o circuito detector de envelope para demodular o sinal BASK. Prazo: 04/06/25. (15 pontos)
- 6 Realizar a conversão digital para analógico dos bits obtidos do sinal BASK usando PWM e FPB de 1º ordem. Prazo: 18/06/25. (15 pontos)

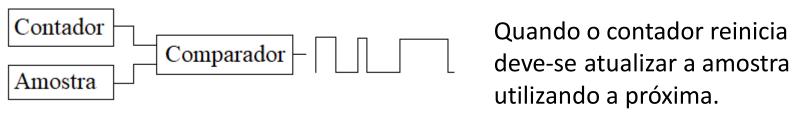
Projeto PBLE04:

Etapas:

7 - Refazer as etapas 3 e 4 considerando 4-ASK. Prazo: 02/07/25. (15 pontos)

 Entrega do relatório final descrevendo todas as atividades realizadas: 09/07/25.

- Projeto PBLE04:
- O sinal PWM pode ser gerado na FPGA comparando a amostra e o valor em um contador (que incrementa com o clock):



- A frequência de amostragem se relaciona com a frequência do clock: $f_S = f_{CLK}/(c_{max} + 1)$, com c_{max} o valor máximo do contador;
- O c_{max} também define o número máximo de bits de quantização n pois deve-se garantir que $c_{max} > 2^n$.

- Projeto PBLE04:
- Para o cálculo de funções trigonométricas na FPGA pode-se empregar uma tabela relacionando x e cos(x) com 0 < x < 2π.
 A tabela é armazenada na memória do FPGA;
- O filtro passa baixa pode ser definido com a função analpf() do Scilab;
- Os resistores e capacitores disponíveis são os valores comerciais. Indutores disponíveis: 18µH e 1mH.

- Projeto PBLE04:
- Para a geração da portadora pode-se empregar um clock com a frequência da portadora f_c seguido por filtro passafaixa centrado em f_c ;
- A variação do duty cycle do clock permite controlar a amplitude da portadora produzida após a filtragem no filtro passa-faixa e essa abordagem pode ser explorada para obter a modulação 4-ASK.