

Grupo: Felipe Kenzo Araki – 2022005633
Glauber da Silva Moura – 2022000299
Isabelle Francine Guedes Romão – 2021029710
Kauan Barbosa da Silva - 2022010132
Pedro Andrade Gomes - 2022006926

Relatório III

Representação PWM do sinal BASK

Nesta etapa o sistema opera com base em um registro contendo uma amostra completa de 8 bits, processando-a em um ciclo de 5 ms (equivalente a uma frequência de 200 Hz). A saída final é gerada combinando um sinal de clock de 100 kHz com o bit mais significativo do registro de amostras. Ele armazena o valor inteiro da amostra (8 bits), proveniente da etapa anterior de aquisição e é atualizado periodicamente conforme a lógica de controle.

Foi utilizado o código abaixo:

```
module _BASK_PWM
(
    input clk,                //frequencia base de 50meg
    input rst,
    input [7:0] sampler,      //vem direto do shift register do sata sampler
    input Allow,              //sinal de frequencia de 200hz

    output wire BASK
);

    (*keep*) reg [9:0] cnt;    //registro de atualizacao
    reg [9:0] read;           //registro de leitura de fato
    reg [14:0] clk16Gen;      //contador pra gerar o clock de 1600hz
    reg clk16;
    reg [8:0] clk100Gen;      //contador pra gerar o clock de 100khz
    reg clk100;

    and bask_out(BASK, clk100, cnt[9]);

    //gera o clock de 16000
    always@(posedge clk or negedge rst)
        begin
            if(~rst)
                begin
                    clk16Gen <= 0;
                    clk16 <= 0;
                end
            else if(clk16Gen == 31249)
                begin
                    clk16 <= ~clk16;
                end
        end
endmodule
```

```

        clk16Gen <= 0;
        end
        else clk16Gen <= clk16Gen + 1;
        end
//gera o clock de 100khz
always@(posedge clk or negedge rst)
begin
    if(~rst)
begin
        clk100Gen <= 0;
        clk100 <= 0;
        end
        else if(clk100Gen == 499)
begin
        clk100 <= ~clk100;
        clk100Gen <= 0;
        end
        else clk100Gen <= clk100Gen + 1;
        end
end

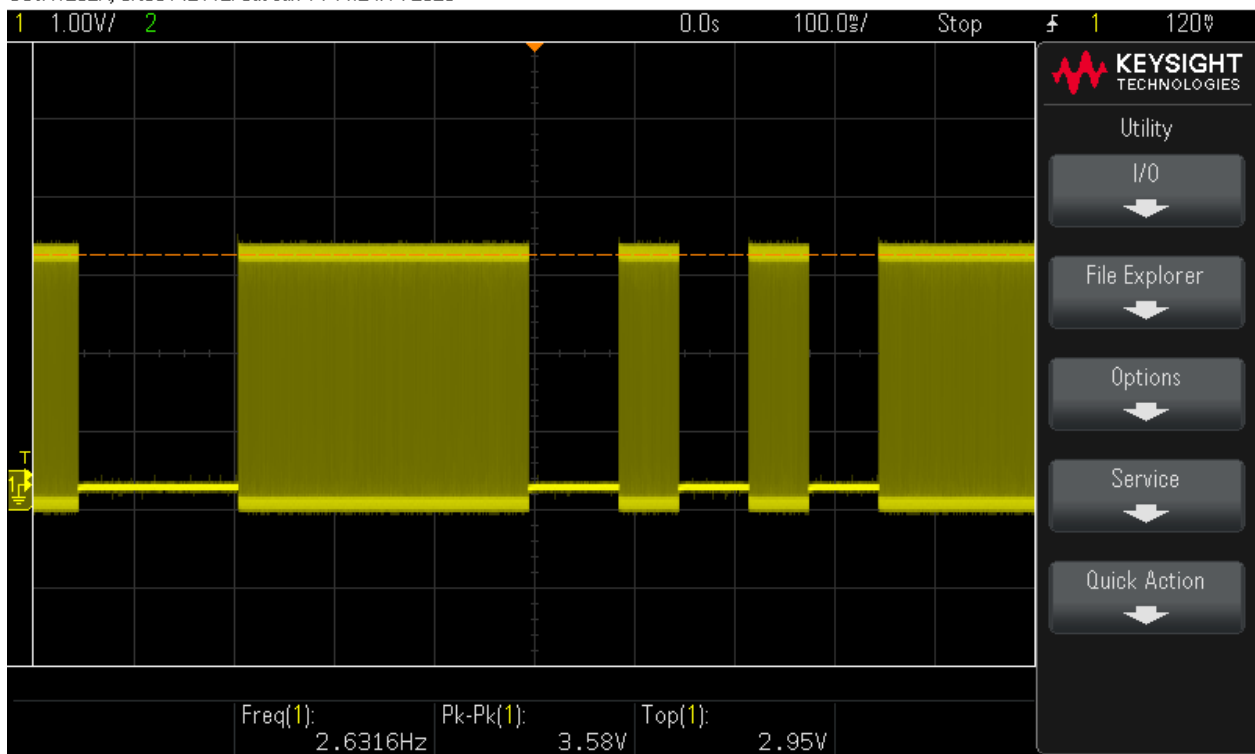
```

```

//Allow é um sinal que majoritariamente fica em nível alto, ativa em baixo
//atualiza o registro de leitura com o valor da nova conversao
always@(negedge Allow or posedge clk16 or negedge rst)
    begin
        if(~rst) cnt <= 0;
        else if(~Allow) if(~clk16) cnt <= {sampler, 2'b0};
        else cnt <= cnt;
        else cnt <= (cnt << 1);
    end
endmodule

```

DSOX1202A, CN60142112: Sat Jun 14 11:24:14 2025



O sistema emprega três blocos “always” para controle de temporização e geração de sinais:

1. Clock de 1,6 kHz:
 - Responsável pelo deslocamento (*shift*) do registro interno.
 - Determina a taxa em que os bits são processados.
2. Clock de 100 kHz:
 - Utilizado exclusivamente para a saída PWM.
 - Se o bit atual (MSB do registro CNT) for 1, a saída reproduz este clock.
 - Se o bit for 0, a saída permanece em nível baixo.
3. Atualização do Registro:
 - Sensível a duas bordas:
 - Borda de atualização: Carrega um novo valor no registro.

- Borda de deslocamento (*shift*): Realiza o deslocamento do registro a 1,6 kHz.

A lógica de sinal de controle e saída temos o sinal “Allow” onde ele é proveniente de um módulo externo, indica quando o sistema está em modo de conversão ou modificação.

- Nível Baixo “0”: Indica que uma conversão está em andamento (registro não deve ser alterado).
- Nível Alto “1”: Indica que o sinal pode ser modificado (novo valor pode ser carregado no registro).

Isso ocorre no registro “CNT”, quando “CLK16” ativa:

- “Allow = 1” → O registro é atualizado com um novo valor.
- “Allow = 0” → O registro é deslocado (shift).

A saída final é produzida por uma porta lógica AND com as seguintes entradas:

- CLK100K (100 kHz): Sinal de clock de alta frequência.
- Bit mais significativo (MSB) de CNT:
 - Se CNT[MSB] = 1 → Saída = CLK100K (pulsos em 100 kHz).
 - Se CNT[MSB] = 0 → Saída = 0 (nível baixo).

O sistema descrito implementa uma modulação BASK utilizando PWM, onde:

- O registro CNT armazena e processa amostras de 8 bits.
- Um clock de 1,6 kHz controla o deslocamento dos bits.
- Um clock de 100 kHz gera a portadora PWM, ativada apenas quando o bit mais significativo de CNT é 1.

O sinal “Allow” sincroniza a atualização do registro, garantindo que novas amostras só sejam carregadas quando o sistema estiver pronto. Essa abordagem permite uma modulação eficiente, com controle preciso da saída BASK em função dos dados armazenados no registro CNT.