

ELTD12A – Eletrônica Digital II

Projeto disciplinar – 2023.1

Rev. 1 – Jun/2023



UNIFEI – Universidade Federal de Itajubá
IENTI – Instituto de Engenharia de Sistemas e Tecnologia da Informação
Prof. Rodrigo de Paula Rodrigues

Sumário

1 Descritivo.....	3
2 Especificações.....	4
2.1 Circuito de base.....	4
2.2 Circuito de aplicação.....	6
3 Requisitos.....	9
3.1 Gerais.....	9
3.2 Recursos a utilizar.....	9
3.3 Realização de testes.....	9
3.4 Elaboração de descrições.....	9
4 Resultados.....	11
5 Avaliação.....	12

1 Descritivo

Como projeto disciplinar, será desenvolvida descrição em *Verilog* para um controlador de velocidade por modulação de comprimento de pulso. Este circuito digital deve ser capaz de estipular a velocidade de rotação para dispositivos cuja operação possa ser configurada por meio de sinal em modulação de comprimento de pulso e que notifiquem a execução de cada revolução efetuada, como o que é realizado com certos ventiladores, rodas e motores em corrente contínua no geral.

Para efetuar o controle da velocidade para o contexto apresentado, o circuito a ser desenvolvido deverá levar em consideração parâmetros de operação como o velocidade-alvo a ser atingida assim como taxas de variação e de atualização do sinal de controle utilizado para se realizar a estipulação da velocidade pretendida. Ele também deverá capturar as notificações de execução de revoluções provenientes do dispositivo sob controle a fim de estimar a velocidade instantânea de tal equipamento na forma de rotações por minuto (rpm). A descrição a ser elaborada também deve ser capaz de aferir valores limite de operação de um equipamento, o que permitirá que o circuito seja compatível com dispositivos que desenvolvam diferentes limites de velocidade.

A Figura 1 exibe uma representação do contexto de aplicação do circuito. Nele, o circuito a ser desenvolvido, chamada de controlador, e um dispositivo controlado, este representado por um ventilador, são apresentados. Enquanto o circuito controlador gerar sinais em modulação em comprimento de pulso para estipular a velocidade de operação do dispositivo (PWM), este gera sinais de notificação por revolução executada. Esses sinais são capturados pelo controlador. É assumido que esta notificação ocorre na forma de um pulso positivo.

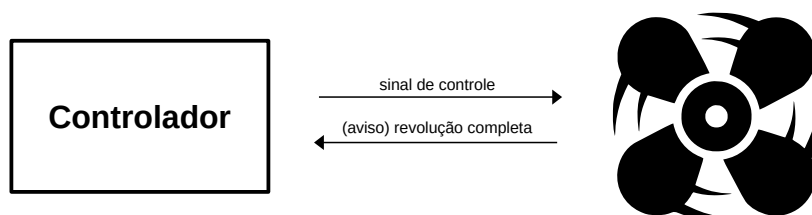


Figura 1: Contexto de aplicação do circuito

Em linhas gerais, o circuito controlador deve operar de forma que, uma vez estipulada uma velocidade-alvo (rpm) para o dispositivo sob controle, então sejam geradas variações no sinal de controle de velocidade até que a velocidade de rotação mensurada pelo controlador se equipare à velocidade-alvo desejada.

2 Especificações

Deverão ser elaboradas descrições em *Verilog* para duas versões do circuito controlador de velocidade. Para a primeira delas, a qual é chamada de circuito de base, a parametrização da operação do controlador deverá ser realizada a partir de barramento de sinais de acesso paralelo. Já para a versão posterior, chamada de circuito de aplicação, a parametrização em questão ocorrerá por meio de uma interface de comunicação no padrão I2C.

2.1 Circuito de base

Na Figura 2, é apresentado o símbolo do circuito de base com seus sinais de interface. A Tabela 1 apresenta detalhes desses sinais.

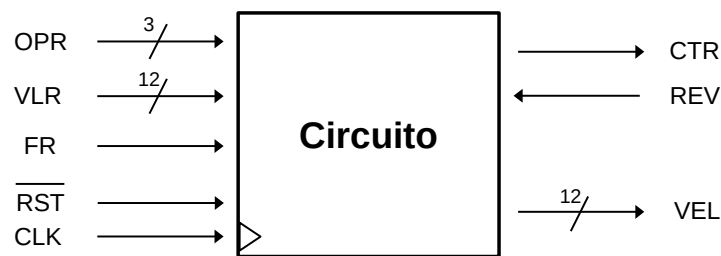


Figura 2: Representação do circuito de base a ser desenvolvido

Tabela 1: Entradas e saídas do circuito de base

Sinais			Descrição
OPR[2..0]	entrada	3 bits	Identificação da operação a ser efetuada
VLR[11..0]	entrada	12 bits	Parâmetro de operação
CLK	entrada	1 bit	Sincronismo para a aplicação de comandos
FR	entrada	1 bit	Sincronismo de referência para modulação (até 31kHz)
CTR	saída	1 bit	Controle por modulação de comprimento de pulso
REV	entrada	1 bit	Notificação de revolução por pulso digital
VEL[11..0]	saída	12 bits	Valor de velocidade aferida (em rpm)
RST	entrada	1 bit	Sinal de (re)início ativo em nível baixo

Para configurar e mesmo operar o circuito, é necessário imprimir comandos(operações) a ele. A Tabela 2 detalha os comandos que devem ser interpretados pelo circuito.

Tabela 2: Relação de comandos

OPR*	Descrição
0	Estipular a atividade do módulo (<i>bit</i> menos significativo na entrada VLR: 0, inativo; 1, ativo)
1	Configurar a frequência do sinal de referência em kHz (5 <i>bits</i> menos significativos na entrada VLR)
2	Estipular o valor absoluto da velocidade-alvo (valor na entrada VLR em rpm)
3	Estipular o passo de mudança em rpm (5 <i>bits</i> menos significativos na entrada VLR)
4	Estipular o intervalo de processamento em segundos (5 <i>bits</i> menos significativos na entrada VLR)
5	Mensurar a velocidade máxima do dispositivo
6	Mensurar a velocidade mínima de acionamento do dispositivo
7	Seleção da velocidade na saída VEL (2 <i>bits</i> menos significativos na entrada VLR: 00, atual; 01: máxima; 10: mínima)

* valor decimal

Para imprimir um dado comando ao circuito, é necessário estipular o valor de identificação do comando pretendido por meio da entrada OPR. Se houver necessidade de parametrizar o comando, então o valor de configuração deve ser estipulado na entrada VLR. Então, um pulso positivo deve ser aplicado ao sinal de sincronismo CLK. Uma carta de tempo de exemplo para estipular o passo de atualização (atualização da saída de controle) em 100 rpm é exposta na Figura 3.

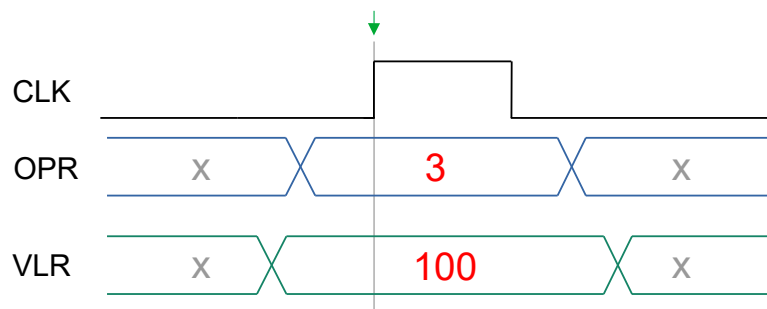


Figura 3: Exemplo de aplicação de uma operação ao circuito de base

Uma vez parametrizada a operação do circuito ao se atribuir valor à velocidade-alvo, ao passo de atualização e ao intervalo de processamento, é possível ativar sua saída de controle de velocidade (CTR) ao se especificar o valor 1 como parâmetro para a operação de índice 0. Atribuindo-se o valor 0 para a mesma operação desativa a geração da saída de controle.

Para operar, o circuito necessita da configuração dos parâmetros de operação de 0 a 5. Dentre eles, a frequência de referência é utilizada para se calcular a base de tempo para o passo de atualização da saída de controle.

Sempre que a geração da saída de controle for ativada (operação 0 com parâmetro 1) ou assim que o circuito for (re)iniciado, a saída de valor de velocidade aferida, VEL, deve conter o valor da velocidade mensurada pelo circuito segundo o parâmetro de operação 7. Quando se tratar da velocidade corrente, tal valor deve ser atualizado a uma frequência constante de 1 Hz e independe de qualquer parametrização imposta ao circuito. Para os demais casos, o valor mensurado deve ser mantido até que haja nova mensuração.

As operações 5 e 6, quando requisitadas, devem resultar na mensuração correspondente durante 1 segundo. Após tal mensuração, é necessário que um novo comando de mensuração seja requisitado para que nova execução seja efetuada.

Quanto ao sinal de controle, CTR, seu processo de geração deve utilizar uma janela de cem (100) pulsos do sinal de sincronismo de referência, FR, como período de modulação. Desta forma, e como exemplo, uma modulação de 67% significa que a saída de controle deve manter nível lógico alto somente durante o período equivalente a 67 pulsos contíguos da janela adotada para efetuar a modulação.

2.2 Circuito de aplicação

A diferença entre os circuitos de base e de aplicação consiste na interface utilizada para se imprimir comandos ao circuito de controle de velocidade. O comportamento do circuito em termos de seus sinais de saída, CTR e VEL, é, portanto, o mesmo. Desta forma, é mantido todo o detalhamento sobre operações suportadas pelo circuito (Tabela 2) e a forma de geração das saídas o qual é apresentado na seção anterior. No entanto, a forma de receber os dados das operações (a identificação da operação e seu parâmetro) passa a ser serial e segundo o padrão de comunicação I2C.

A Figura 4 e a Tabela 3 detalham os sinais de interface a constarem na versão de aplicação do circuito.

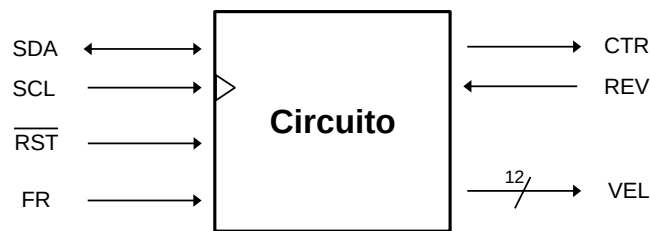


Figura 4: Representação do circuito de aplicação a ser desenvolvido

Tabela 3: Entradas e saídas do circuito de aplicação

Sinais			Descrição
SDA	bidirecional	1 bit	Sinal de dados no padrão I2C
SCL	entrada	1 bit	Sinal de sincronismo no padrão I2C
FR	entrada	1 bit	Sincronismo de referência para modulação
CTR	saída	1 bit	Controle por modulação de comprimento de pulso
REV	entrada	1 bit	Notificação de revolução por pulso digital
VEL[11..0]	saída	12 bits	Valor de velocidade aferida (em rpm)
RST	entrada	1 bit	Sinal de (re)início ativo em nível baixo

O circuito de controle de aplicação deve ser implementado a partir da integração de um módulo de comunicação I2C ao controlador de base desenvolvido. Este novo módulo deverá receber as informações sobre operações de configuração a serem aplicadas ao controle de velocidade e então aplicá-las ao circuito pré-existente. Para tanto, é necessário que este novo circuito contenha um conjunto de sinais de saída que correspondam a uma parcela dos sinais de entrada do controlador de base. A Figura 5 traz a arquitetura associada à abordagem em questão.

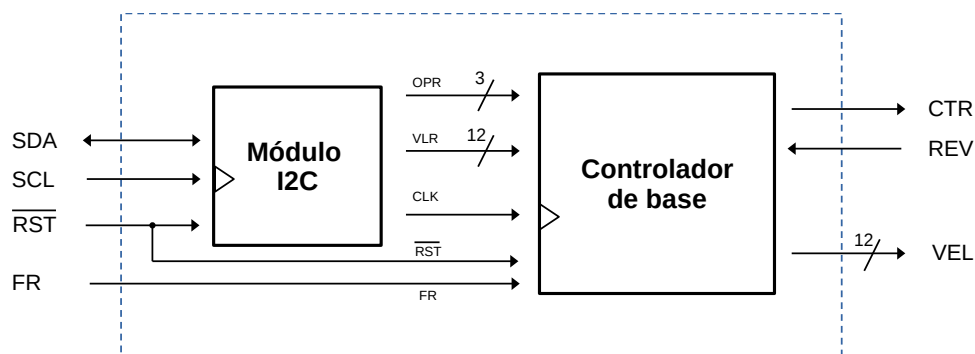


Figura 5: Arquitetura requisitada para a versão de aplicação do controlador de velocidade

2.2.1 Módulo de comunicação I2C

O módulo de comunicação I2C a ser descrito deve:

- Operar segundo a especificação UM10204 (2021, *Philips Semiconductors*) em relação ao recebimento de mensagens;
- Atuar como dispositivo escravo e manter endereço de identificação fixo;
- Ser capaz de estabelecer sessões de comunicação nas quais haja a transmissão de quantidades variadas de palavras de dados;
- Se integrar ao módulo de base a partir de seus sinais de interface CLK, VLR e OPR e sem que haja a necessidade de alteração do último.

Para receber as operações e seus respectivos parâmetros, o formato das transmissões devem ser os seguintes:

- Para operações que não requeiram parâmetros (operações 4 a 7, Tabela 2), a sessão de comunicação deve transmitir, em adição às informações de endereçamento, apenas uma palavra de dados. Nessa palavra, seu *nibble*(porção de 4 *bits*) mais significativo deve transportar os 3 *bits* que identificam a operação. Seus demais *bits* devem ser fixados em valor zero (0);
- Para a requisição que estipula a atividade de operação do módulo (operação 0, Tabela 2), como dados, deve ser transmitido apenas uma palavra cujo *nibble* mais significativo identifique a operação e o *nibble* de menor peso, o valor do parâmetro da operação;
- Para os demais casos, devem ser transmitidos dois *bytes* como palavras de dados: o primeiro deles transmitirá a identificação da operação em seu *nibble* de maior peso e os 4 *bits* mais significativos do parâmetro da operação em seu *nibble* remanescente. Por fim, o segundo *byte* deve transportar os *bits* remanescentes do parâmetro da operação.

3 Requisitos

3.1 Gerais

São requisitos gerais de projeto:

- Execução individual do desenvolvimento;
- Preferência ao desenvolvimento modular.

3.2 Recursos a utilizar

Os recursos a serem utilizados são os seguintes:

- Linguagem de descrição *Verilog*;
- Ambientes de desenvolvimento Quartus e ModelSim.

3.3 Realização de testes

Devem ser realizados testes individuais por simulação para cada um dos módulos que venham a ser desenvolvidos. Tais testes devem abranger, necessariamente, casos que contemplem limites de atuação dos módulos.

Notadamente, devem ser elaborados descrições de teste para cada um dos seguintes casos:

- Estipulação de parâmetros de operação;
- Geração da saída de controle para diferentes parâmetros de operação;
- Geração da saída de velocidade mensurada;
- Controle da velocidade para um caso em que seja necessário realizar a alteração gradual da velocidade do dispositivo até que a velocidade-alvo seja atingida.

3.4 Elaboração de descrições

No caso de ser efetuado o desenvolvimento modular, as descrições em nível superior que representem cada um dos circuitos de controle de velocidade deverão ser elaboradas de maneira puramente estrutural. Desta forma, elas devem instanciar e integrar cada um dos módulos que as compõem e criar seus pinos de interface.

Os módulos específicos podem ser descritos por meio das abordagens que melhor convierem ao desenvolvedor.

4 Resultados

Deverão ser entregues como resultados do desenvolvimento os seguintes itens:

- Descrição para o circuito de controle de velocidade básico;
- Descrições de validação inerentes ao circuito de controle básico;
- Descrição para o circuito de controle de velocidade de aplicação;
- Descrições de validação relativas de controle de velocidade de aplicação;
- Relatório de desenvolvimento;
- Vídeo de apresentação do projeto.

Observações importantes:

- É facultativo o desenvolvimento do circuito controlador de velocidade em sua versão de aplicação;
- O relatório de desenvolvimento deve atender ao modelo de relatório disponibilizado em conjunto a esta especificação de projeto.
- Deverá ser disponibilizado endereço eletrônico para acesso ao vídeo de apresentação elaborado. O endereço deve constar no relatório de desenvolvimento;
- Todos os resultados de projeto devem ser entregues em um único arquivo compactado (formato .zip) e por meio de uma tarefa específica existente no sistema da universidade;
- Arquivos entregues em formato ou meio diferente do especificado serão desconsiderados.

5 Avaliação

Os seguintes quesitos serão avaliados:

- Operação do circuito de base: **50%**, dos quais:
 - 20% para o mecanismo de estipulação de operações;
 - 10% para a mensuração da velocidade de rotação;
 - 30% para o mecanismo de controle da velocidade;
 - 30% para a geração da saída de controle;
 - 10% para a geração da saída de velocidade mensurada.
- Operação do circuito de aplicação: **20%**, dos quais:
 - 50% para a conformidade com a especificação da comunicação I2C;
 - 25% para o recebimento de operações;
 - 25% para a aplicação de operações ao módulo de controle de base.
- Relatório de desenvolvimento: **20%**, dos quais:
 - 30% para a completude;
 - 60% para a qualidade de editoração (textos, formatação, padrão, etc).
- Vídeo de apresentação: **10%**, dos quais:
 - 50% completude;
 - 50% clareza.

A verificação da operação correta do circuito será realizada por meio de simulação no ambiente de desenvolvimento.