

SERVIÇO PÚBLICO FEDERAL UNIVERSIDADE FEDERAL DA FRONTEIRA SUL PRÓ-REITORIA DE GRADUAÇÃO



Rodovia SC 484, km 02, Fronteira Sul, Chapecó-SC, CEP 89815-899, 49 2049-3710 www.uffs.edu.br

PLANO DE ENSINO

1. IDENTIFICAÇÃO

Componente Curricular: GEX606 - Sistemas digitais								
Créditos: 4	Número da turma: 34960	Ano/semestre: 2022.1						
Carga horária total: 60	Períodos de aula: 72							
Curso(s)/fase de oferta:	1100 - CIÊNCIA DA COMPUTAÇÃO 1101 - CIÊNCIA DA COMPUTAÇÃO	0 / 3ª fase 0 / 3ª fase						

Professor(es): ADRIANO SANICK PADILHA

Horário de atendimento ao estudante: Segundas-feiras das 16h20 às 18h e sextas-feiras das 18h às 19h (sala 408B) ou sob agendamento no e-mail padilha@uffs.edu.br.

2. EMENTA

Dispositivos Lógicos Programáveis. Introdução à Linguagem de Descrição de Hardware. Prototipação de hardware utilizando FPGAs. Máquinas Sequenciais Síncronas (Mealy e Moore). Síntese de Circuitos Sequenciais. Descrição de Sistemas Digitais no nível de RT. Projeto de Sistemas Digitais no nível de RT (datapath x controle).

3. OBJETIVOS

3.1 GERAL

Compreender os conceitos e o funcionamento de circuitos digitais utilizados em computação, através da apresentação de técnicas de projeto e simulação e implementação usando linguagens de descrição de hardware e tecnologias de prototipação.

3.2 ESPECÍFICOS

- 1- Conhecer os diferentes tipos de Dispositivos Lógicos Programáveis, com ênfase nos FPGAs;
- 2- Apresentar ao estudante o fluxo de projeto digital;
- 3- Familiarizar o aluno com o uso de uma linguagem de descrição de hardware (Verilog) visando a prototipação de circuitos em FPGAs;
- 4- Realizar a a síntese física de circuitos utilizando dispositivos de prototipação;
- 5- Compreender a teoria de Máquinas de Estado Finitas e suas técnicas de implementação (Mealy e Moore);
- 6- Estudar os princípios do projeto de sistemas digitais no nível RT (transferência entre registradores).
- 7- Introduzir o modelo clássico de sistema digital (datapath x controle).

4. CRONOGRAMA E CONTEÚDOS PROGRAMÁTICOS

Nº	Datas	Períodos*	Conteúdo	Totais por tipo
1	02/05/2022 a 06/05/2022	5	Apresentação do Plano de Ensino e introdução e contextualização da disciplina.	PT: 5
2	23/05/2022 a 27/05/2022	5	Revisão de conteúdos de pré-requisitos.	PT: 5
3	30/05/2022 a 10/06/2022	10	-Revisão sobre Registradores. Introdução à Sistemas Digitais e Máquinas de Estado Finitas.	PT: 10
4	13/06/2022 a	10	-Linguagem Descrição de Hardware: Lógica	PT: 5, PP: 5

Nº	Datas	Períodos*	Conteúdo	Totais por tipo
4	24/06/2022	10	Combinacional (módulos e portas). Tipos de dados. Testbench. Ambientes de Simulação.	PT: 5, PP: 5
5	27/06/2022 a 15/07/2022	15	Máquinas Sequenciais Síncronas (Mealy e Moore): - Introdução sobre Máquinas de Estados Finitas (FSM); - Modelagem de uma FSM; - Análise de Máquinas Sequenciais Síncronas	PT: 10, PP: 5
6	18/07/2022 a 29/07/2022	10	Máquinas Sequenciais Síncronas (Mealy e Moore): - Síntese de Máquinas Sequenciais Síncrona	PT: 5, PP: 5
7	01/08/2022 a 05/08/2022	5	Máquinas Sequenciais Síncronas (Mealy e Moore): -Projeto de Máquinas Sequenciais Síncronas.	PT: 5
8	08/08/2022 a 19/08/2022	12	Projeto de Sistemas Digitais no nível de RT (datapath x controle) para uma arquitetura RISC.	PT: 7, PP: 5

Legenda:

PT Presencial teórica PP Presencial prática NP Não presencial Est Atividade de estágio Pes Atividade de pesquisa Ext Atividade de extensão

5. PROCEDIMENTOS METODOLÓGICOS

Os conceitos apresentados serão trabalhados de forma colaborativa com os alunos, referencialmente em grupos pequenos. O professor utilizará slides para apoio e auxílio no acompanhamento dos conteúdos, sendo, estes disponibilizados de forma antecipada para os estudantes. O conteúdo dos slides serão produzidos a partir da ementa, apoiando-se nos livros da bibliografía adotada. Este professor acompanhará o processo de aprendizado através de avaliações de conteúdo e tarefas de engajamento da turma. No ambiente Moodle serão disponibilizados os materiais digitais, tais como slides, textos de apoio, artigos e conteúdos teóricos das aulas. Será utilizado também o ambiente de chat e o fórum presente no ambiente para auxiliar a comunicação e a eliminação de dúvidas referente aos conteúdos ministrados.

Para as atividades prática da disciplina, o professor utilizará a estrutura, materiais e equipamentos disponíveis no Laboratório 409B. Serão desenvolvidas atividades práticas de montagem e análise de circuitos sequenciais condizentes com o conteúdo que estará sendo apresentado nas aulas teóricas da disciplina.

O horário de atendimento do professor será nas segundas-feiras das 16h20 às 18h e nas sextas-feiras das 18h às 19h (sala 408B), ou sob agendamento no e-mail padilha@uffs.edu.br.

6. AVALIAÇÃO DO PROCESSO DE ENSINO E APRENDIZAGEM

Como mecanismos de avaliação, serão utilizadas atividades avaliativas e trabalhos. As avaliações serão agrupadas em quatro avaliações parciais (NP1, NP2, NP3 e NP4), cuja a nota final será a média aritmética das mesmas, ou seja, NF=(NP1+NP2+NP3+NP4)/4.

A NP1 será dada pelo engajamento na disciplina (parte teórica), ou seja, pelas tarefas teóricas e participação nas atividades/discussão em sala.

A NP2 será composta pela média das Avaliações de Conhecimento (AC): NP2 = (AC1+AC2)/2.

A NP3 corresponde a média das implementações práticas desenvolvidas (tarefas) ao longo do semestre.

A NP4 será um trabalho prático realizado no laboratório, o qual será avaliado pelos seguintes critérios:

- pontualidade de entrega;
- cumprimento dos itens exigidos em cada entrega;
- qualidade do trabalho desenvolvido;

6.1 NOVAS OPORTUNIDADES DE APRENDIZAGEM E AVALIAÇÃO

Tendo em vista que o objetivo da avaliação do processo de ensino aprendizagem é permitir verificar se os estudantes possuem as competências e habilidades mínimas necessárias relacionadas aos conteúdos da disciplina sendo que parte da avaliação é constituída de atividades na forma de tarefas e participação em sala de aula (NP1), a recuperação será realizada a partir da extensão do prazo de entrega em até 7 dias, sendo, neste caso, aplicada a penalidade de 20% na nota da atividade entregue atrasada.

Para as avaliações de conhecimento (NP2) será dada a oportunidade de recuperação de conteúdo e nota através da revisão dos conceitos nos encontros de dúvidas e a possibilidade de realizar uma prova substitutiva para os estudantes que tiverem nota inferior a 6,0.

As tarefas realizadas que compõe a (NP3) e o trabalho final (NP4) terão prazos estendidos para que todos os

^{*} Cada período de aula equivale a 50 minutos.

acadêmicos possam entregá-las. Assim, o estudante poderá entregar a atividade/trabalho com até 7 dias de atraso, com uma penalidade de 20% na mesma.

7. REFERÊNCIAS

7.1 BÁSICA

TOCCI, Ronald; WIDMER, Neal; MOSS, Gregory. Sistemas Digitais: princípios e aplicações. 10. ed. São Paulo: Pearson, 2007.

HARRIS, David M.; HARRIS, Sarah L. Digital Design and Computer Architecture. Rio de Janeiro: Elsevier, 2007.

D'AMORE, Roberto. VHDL: Descrição e Síntese de Circuitos Digitais. Rio de Janeiro: LTC, 2005.

ASHENDEN, Peter J. The Students guide to VHDL. Morgan Kaufmann, 2008.

7.2 COMPLEMENTAR

TAUB, Herbert. Circuitos Digitais e Microprocessadores. São Paulo: McGraw-Hill, 1984.

IDOETA, Ivan V.; CAPUANO, Francisco G. Elementos de Eletrônica Digital. 37. ed. São Paulo: Livros Érica Editora Ltda, 2006.

TOKHEIN, Roger. Introdução aos Microprocessadores. São Paulo: McGraw-Hill, 1985.

MELO, Mairton de Oliveira. Eletrônica Digital. São Paulo: Makron Books, 1994.

OSBORNE, Adam. Microprocessadores - Circuitos Básicos. São Paulo: McGraw-Hill, 1983.

TAUB, Herbert; SCHILLING, Donald. Eletrônica Digital. São Paulo: McGraw-Hill, 1982.