

Laboratório de Sistemas Digitais
Ano Letivo 2022/23
Projeto Final – enunciado 7

Máquina automática de fazer pão (versão 1)

1. Introdução

O objetivo deste trabalho é modelar em VHDL e testar na FPGA o controlo e o funcionamento de uma máquina cozer pão. Uma característica das máquinas é possuírem vários programas predefinidos. Vamos implementar dois desses programas. Normalmente o processo é automático sem necessidade de grande interação como o utilizador. Para a interação com o utilizador e controlo do funcionamento dos vários elementos que constituem a máquina devem ser consideradas as seguintes entradas e saídas:

Entradas: start/stop, (KEY) e Prog 1, 2 (SW).

Saídas: LEDR (Indicação máquina ON/OFF), Displays de 7 segmentos de acordo com a descrição de funcionamento.

2. Descrição do funcionamento e requisitos

Uma máquina de cozer pão executa um conjunto de tarefas sequencialmente e em modo automático cujos sinais de comando são produzidos por um sistema eletrónico de control (normalmente uma máquina de estados). Neste tipo de máquinas as funções são o amassar da massa, o descanso da massa para levedar e a cozedura.

Por uma questão de simplicidade vamos atribuir aos tempos de execução valores em segundos para efeitos de demonstração. A máquina pode cozer dois tipos de pão.

Colocar ingredientes sem tempo

Tipo de pão	Caseiro	/ Rústico
amassar	10s	/ 15s
levedar	04s	/ 08 s
cozedura	10s	/ 10s

Especificação:

- Ligando a máquina deve aparecer nos Displays de 7 segmentos o tempo que demora a fazer um pão caseiro.

- Deve em seguida selecionar o programa que pretende executar. Por uma questão de simplicidade a máquina pode executar até 2 programas: **pão caseiro / rústico**: amassar, levedar, cozer pão com os respetivos tempos
- Cada programa tem um tempo fixo para o fabrico que corresponde à soma dos tempos de execução de cada uma das funções. Este tempo deve ser mostrado nos displays de sete segmentos quando se seleciona o programa.
- Uma vez escolhido o tipo de pão deve-se iniciar o processo de fabricação pressionando o botão de start/ stop. A partir deste instante um LEDR ilumina-se indicando que a máquina está a executar um programa.
- Iniciado o fabrico deve ser mostrado num display o tempo remanescente para a fabricação que deve ser atualizado sempre que existe alteração da função que a máquina está a executar. A fabricação pode ser parada a qualquer momento pressionando o botão Start/stop. Quando a máquina interrompe a execução do programa deve aparecer num display de sete segmentos a mensagem =
- Quando a máquina termina a cozedura espera 2s e apaga o Led vermelho ficando pronta para aceitar nova programação.
- A máquina deve utilizar um sinal de *clock* de 50MHz para todos os componentes síncronos.
- Deverá existir um botão de RESET global que coloca a máquina nas condições iniciais.

3. Implementação

A implementação deste trabalho deve ser baseada em máquinas de estado e sugere-se uma estratégia faseada (cada fase deve corresponder a um novo projeto no Quartus), de acordo com a descrição que se segue:

Fase 1 (14 valores): Implemente a máquina de acordo com as especificações descritas acima sem o modulo **de display**.

Fase 2 (3 valores): Nesta fase deve implementar a possibilidade de dar um tempo extra de cozedura quando termina o programa normal. O tempo extra pode variar entre 1s e 5s. O aumento de tempo deverá ser feito através da entrada KEY0 e a sua validação com o início da cozedura é feito através da KEY1. Caso não pretenda tempo extra basta pressionar a KEY1. O tempo extra deverá ser visualizado no display HEX4.

4. Requisitos para obtenção de classificações superiores a 17 valores

Para se obter classificações mais elevadas deve ser implementada a função início atrasado. Neste modo a máquina poderá ser programada para terminar a cozedura após decorrer um tempo definido. Por exemplo numa máquina real poderíamos ligar a máquina à 90s antes de finalizar a fabricação. A máquina calcula quando deve iniciar o programa para terminar nesse tempo.

Nota: O Top-level da máquina deverá ser implementado preferencialmente com recurso a representação estrutural em VHDL.

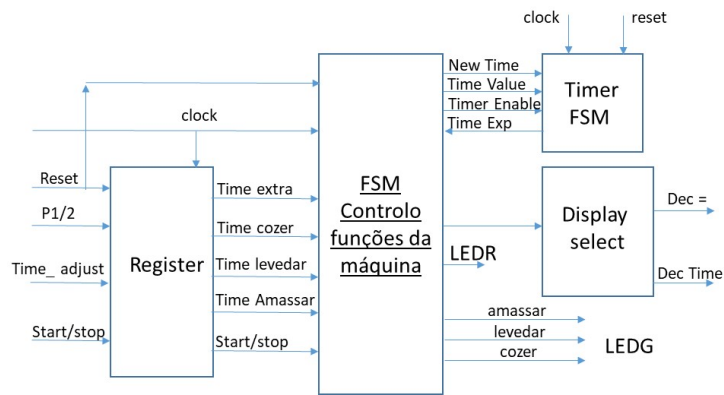


Fig. 1: Sugestão de uma possível arquitetura.