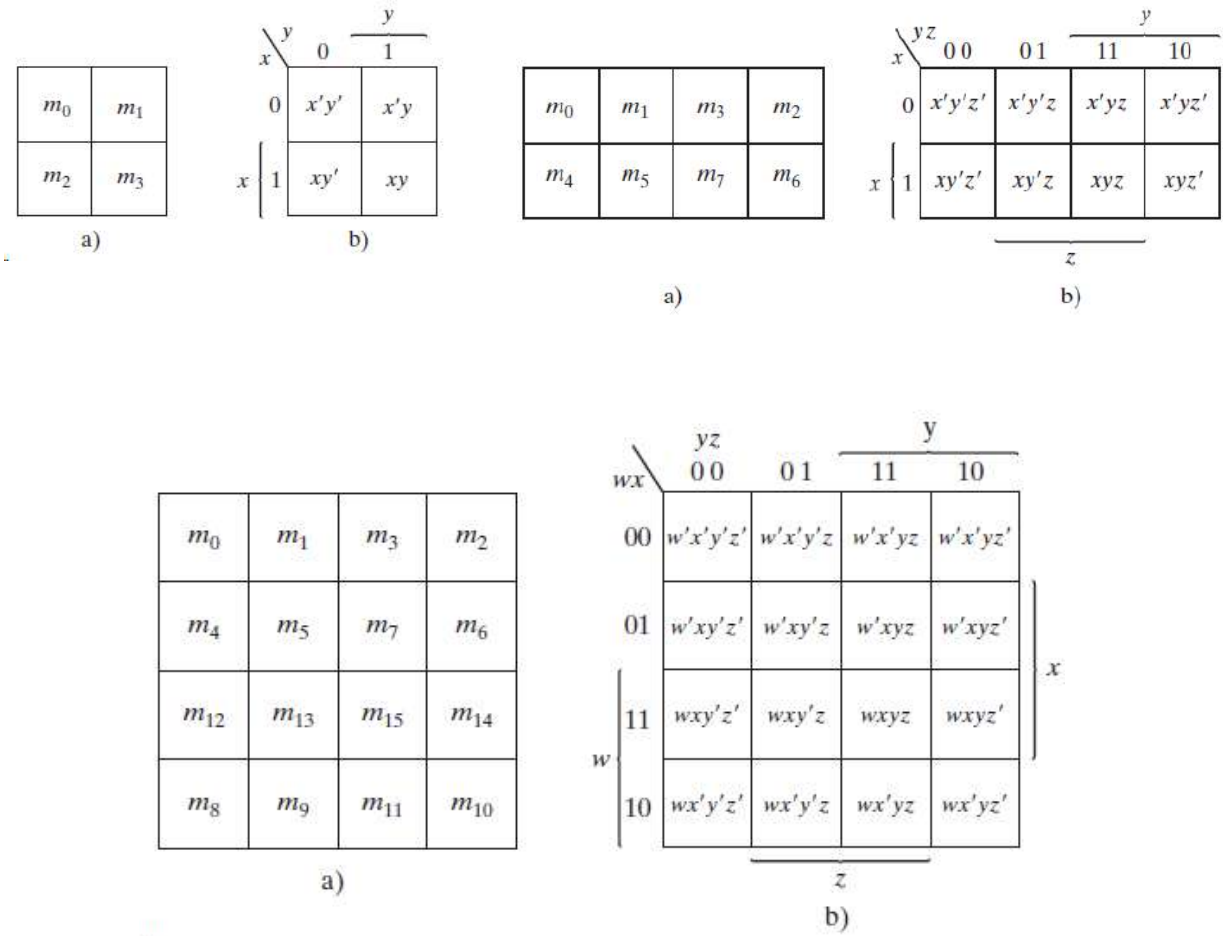


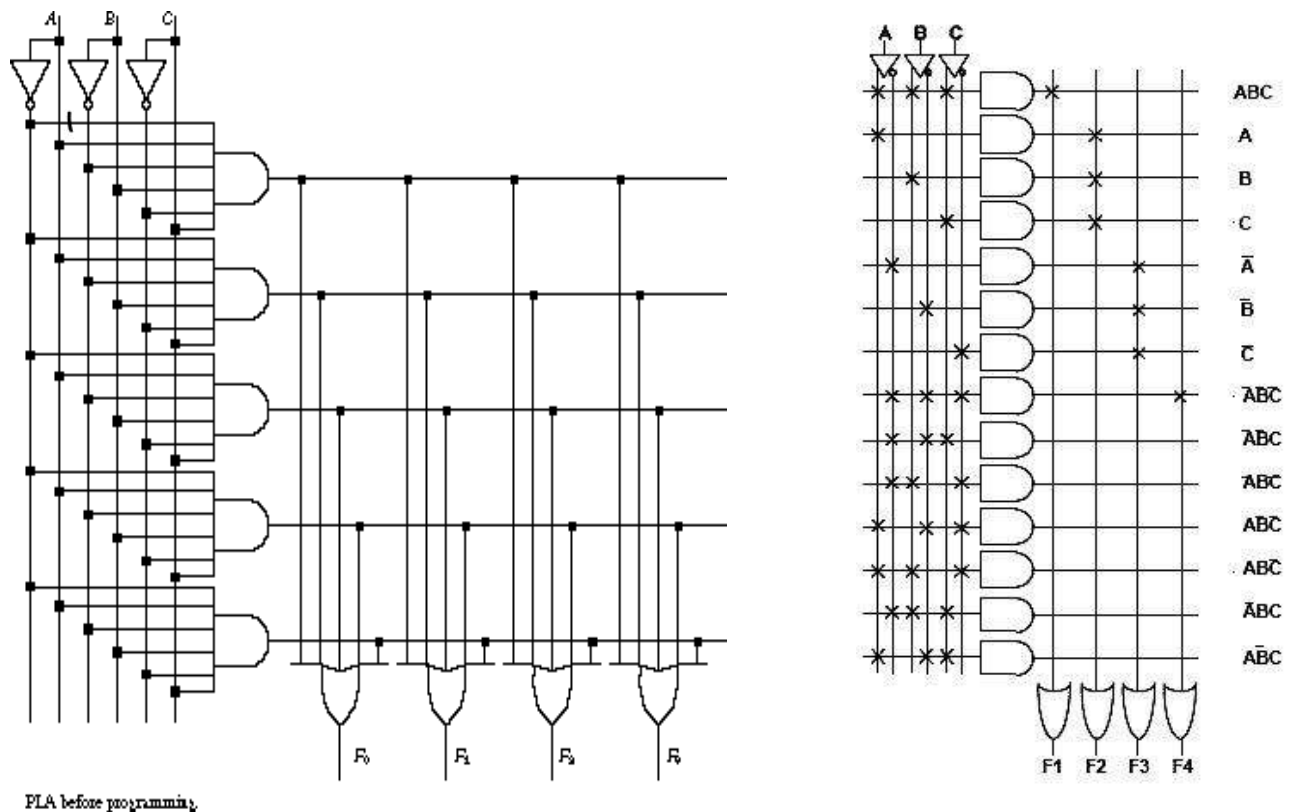
PRÁCTICO 3 - Lógica Combinacional

Minitérminos y maxitérminos para tres variables binarias

<i>x</i>	<i>y</i>	<i>z</i>	Minitérminos		Maxitérminos	
			Términos	Designación	Términos	Designación
0	0	0	$x'y'z'$	m_0	$x + y + z$	M_0
0	0	1	$x'y'z$	m_1	$x + y + z'$	M_1
0	1	0	$x'yz'$	m_2	$x + y' + z$	M_2
0	1	1	$x'yz$	m_3	$x + y' + z'$	M_3
1	0	0	$xy'z'$	m_4	$x' + y + z$	M_4
1	0	1	$xy'z$	m_5	$x' + y + z'$	M_5
1	1	0	xyz'	m_6	$x' + y' + z$	M_6
1	1	1	xyz	m_7	$x' + y' + z'$	M_7

Mapas de Karnaugh de 2, 3 y 4 variables:



Programmable Logic Array (PLA):**Ejercicio 1:**

Un detector de paridad impar de 4 entradas y una salida funciona de la siguiente manera: si la cantidad de entradas con valor '1' es impar la salida se pone en '1', en el resto de los casos la salida toma valor '0'.

- Construir la tabla de verdad para dicho sistema.
- Obtener la ecuación lógica como suma de minitérminos y producto de maxitérminos (funciones canónicas).
- Implementar el sistema con compuertas NAND de la cantidad de entradas requeridas.
- Implementar el sistema con una PLA.

Ejercicio 2:

Un sistema digital recibe información en forma de palabras de 5 bits (**ABCDE**) en un código protegido contra errores, de tal forma que cualquier dato que se reciba debe contener 3 y sólo 3 bits en '1'. Diseñar un circuito con las entradas **ABCDE** y una salida **err** que se activa por bajo cuando se recibe un dato incorrecto.

- Construir la tabla de verdad para dicho sistema.
- Obtener la ecuación lógica como suma de minitérminos y producto de maxitérminos (funciones canónicas).
- Implementar el sistema con una PLA.

Ejercicio 3:

Verificar los resultados obtenidos de cada función lógica en la Guía 2 - Ejercicio 1, mediante la utilización de mapas de Karnaugh, el cual garantiza la obtención de la mínima expresión.

- $x.y + x.y'$
- $(x + y).(x + y')$
- $x.y.z + x'.y + xyz'$
- $z.x + z.x'.y$
- $(A + B).(A' + B')$
- $y.(w.z' + w.z) + x.y$

Ejercicio 4:

Dadas la siguientes tablas de verdad para las funciones Fx:

 (f_1)

x3	x2	x1	x0	F(x3,x2,x1,x0)
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

 (f_2)

x3	x2	x1	x0	F(x3,x2,x1,x0)
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

 (f_3)

x2	x1	x0	F(x2,x1,x0)
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

- Encontrar las expresiones canónicas de cada Fx como suma de minitérminos y como producto de maxitérminos.
- Encontrar la expresión minimizada de cada Fx utilizando mapas de Karnaugh.

Ejercicio 5:

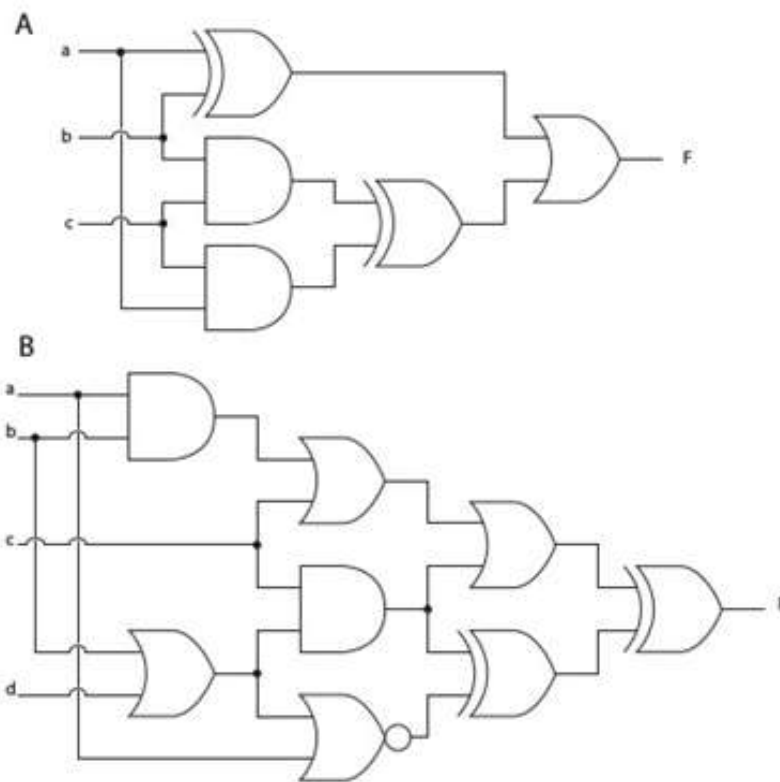
Un circuito combinacional comparador toma dos números de 2 bits, $\mathbf{A} = (A_1, A_0)$ y $\mathbf{B} = (B_1, B_0)$ y retorna tres salidas (" $\mathbf{A} > \mathbf{B}$ ", " $\mathbf{A} = \mathbf{B}$ " y " $\mathbf{A} < \mathbf{B}$ ") de 1 bit cada una.

Ej: si $\mathbf{A} = (00)$ y $\mathbf{B} = (10)$, entonces " $\mathbf{A} > \mathbf{B}$ " = '0', " $\mathbf{A} = \mathbf{B}$ " = '0' y " $\mathbf{A} < \mathbf{B}$ " = '1'.

- Construir la tabla de verdad para dicho sistema.
- Obtener la ecuación lógica como suma de minitérminos y producto de maxitérminos.
- Encontrar la función minimizada de cada salida como suma de productos usando mapas de Karnaugh.
- Implementar el sistema con compuertas lógicas básicas.

Ejercicio 6:

Analizar los circuitos de lógica combinacional de la figura. Para cada uno:



- Escribir la función booleana correspondiente.
- Encontrar la tabla de verdad para la función obtenida.
- Obtener la función minimizada como suma de productos a partir del mapa de Karnaugh.
- Dibujar el circuito de lógica combinacional resultante del punto (c).

Ejercicio 7:

Un DECODIFICADOR es un circuito combinacional que convierte información binaria de 'N' entradas codificadas (\mathbf{A}), a ' 2^N ' salidas únicas (\mathbf{X}). Esto quiere decir que sólo una salida \mathbf{X} está activa y representa el valor de las señales de entrada \mathbf{A} .

Considere un decodificador activo por bajo (salida activa = '0') con $N=2$ y $2^N=4$ (deco 2 x 4).

- Expresar las tablas de verdad de las cuatro salidas X_0 , X_1 , X_2 y X_3 .
- Encontrar las expresiones de X_0 , X_1 , X_2 y X_3 como suma de minterminos y como producto de maxiterminos.
- Encontrar expresiones minimizadas de X_0 , X_1 , X_2 y X_3 utilizando el método de Karnaugh o un método algebraico.
- Implementar las expresiones anteriores a través del uso de compuertas lógicas.
- Repetir el punto (d) agregando una entrada de HABILITACIÓN (**E**) activa por bajo, de tal forma que cuando **E**='1' ninguna señal de salida permanezca habilitada.

Ejercicio 8:

Implementar un decodificador de 3 x 8 y otro de 4 x 16 a partir de decodificadores 2 x 4 activos por bajo, con entrada de habilitación (**E**) activa por bajo y compuertas lógicas.

Ejercicio 9:

- Diseñar un circuito SUMADOR COMPLETO (3 entradas: **X**, **Y**, **C_{IN}**; 2 salidas: **S**, **C_{OUT}**) mediante el uso de un Decodificador de salida activa por alto y compuertas OR. Tip: La salida que vale 1 representa el mintermino equivalente al número binario que está a la entrada.
- Diseñar un sumador completo usando dos semisumadores y una compuerta.

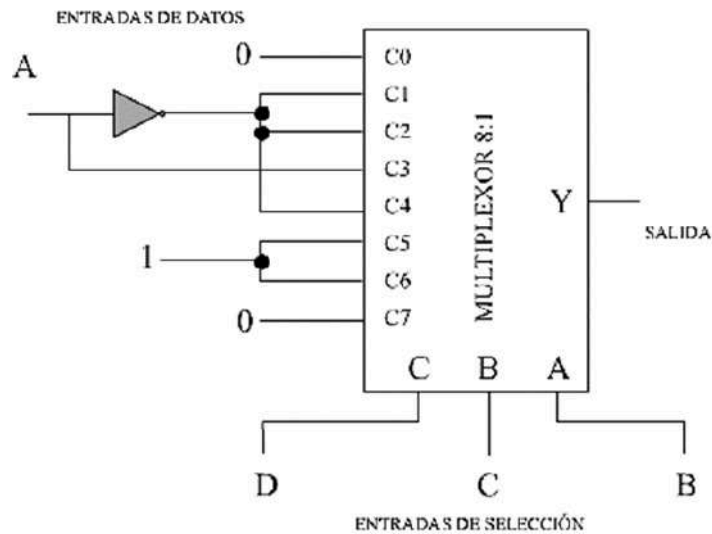
Ejercicio 10:

Un MULTIPLEXOR (MUX) es un circuito combinacional que selecciona información binaria de muchas entradas y la dirige a una única salida (**Y**), conforme al estado de las señales de selección. Si un MUX posee ' 2^N ' entradas de información (**D**) requiere '**N**' señales de selección (**S**).

- Expresar la tabla de verdad de un MUX de 2 entradas (y una salida) y su implementación mediante el uso de compuertas lógicas (AND, OR, NOT, NOR, NAND, etc.)
- Mostrar cómo se puede usar un MUX para obtener una compuerta NOT.
- ¿Cómo obtener un MUX de 4 entradas (y una salida) en base a multiplexores de 2 entradas?
- ¿Cómo obtener un multiplexor de '**N**' entradas con multiplexores de 2 entradas?

Ejercicio 11:

Dado el siguiente circuito con entradas (DCBA):

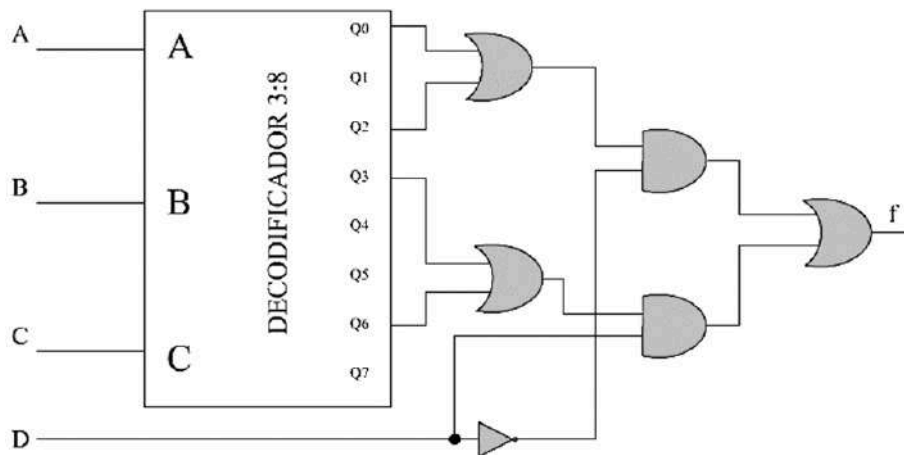


- a. Elabore la tabla de verdad de "SALIDA" y responda: ¿Para cuántas combinaciones posibles de entradas la salida es igual a 1?

ATENCIÓN: no confundir el nombre de las señales del enunciado con las de selección del decodificador!

Ejercicio 12:

Dado el siguiente circuito con entradas (DCBA):

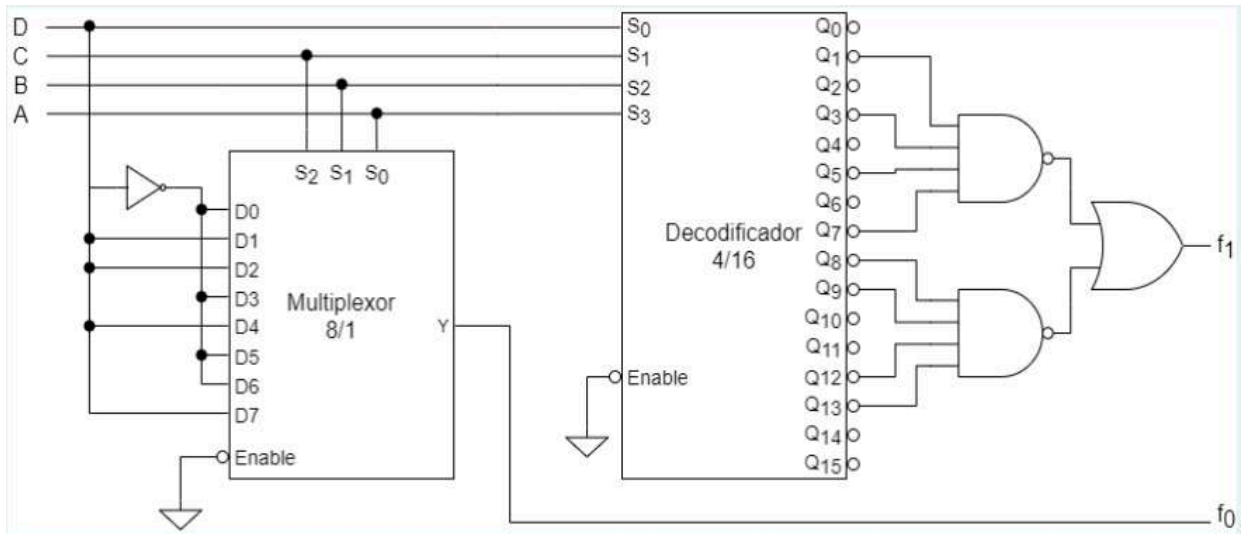


Asumir que las salidas Q del decodificador son activas por alto, y que las salidas Q(1,4,5,7) no se conectan a ninguna compuerta.

- a. a.Elaborar la tabla de verdad de la función f y responder: ¿Para cuántas combinaciones posibles de entradas la salida f es igual a 1?

Ejercicio 13:

Dado el siguiente circuito con entradas (ABCD):



- Elaborar la tabla de verdad de la función f y responder: ¿Para cuántas combinaciones posibles de entradas la salida f es igual a 1?
- Repetir el punto a) pero conectando la salida Y del Multiplexor a la entrada Enable del Decodificador. ¿Qué diferencias se obtuvieron? ¿Por qué?

Ejercicio 1:

Un detector de paridad impar de 4 entradas y una salida funciona de la siguiente manera: si la cantidad de entradas con valor '1' es impar la salida se pone en '1', en el resto de los casos la salida toma valor '0'.

- Construir la tabla de verdad para dicho sistema.
- Obtener la ecuación lógica como suma de minitérminos y producto de maxitérminos (funciones canónicas).
- Implementar el sistema con compuertas NAND de la cantidad de entradas requeridas.
- Implementar el sistema con una PLA.

a) Tabla de verdad

A	B	C	D	f	Minitérmino	Maxitérmino	nro.
0	0	0	0	0	$A'B'C'D'$	$A+B+C+D$	0
0	0	0	1	1	$A'B'C'D$	$A+B+C+D'$	1
0	0	1	0	1	$A'B'CD'$	$A+B+C'+D$	2
0	0	1	1	0	$A'B'CD$	$A+B+C'+D'$	3
0	1	0	0	1	$A'BC'D'$	$A+B'+C+D$	4
0	1	0	1	0	$A'BC'D$	$A+B'+C+D'$	5
0	1	1	0	0	$A'BCD'$	$A+B'+C'+D$	6
0	1	1	1	1	$A'BCD$	$A+B'+C'+D'$	7
1	0	0	0	1	$AB'C'D'$	$A'+B+C+D$	8
1	0	0	1	0	$AB'C'D$	$A'+B+C+D'$	9
1	0	1	0	0	$AB'CD'$	$A'+B+C'+D$	10
1	0	1	1	1	$AB'CD$	$A'+B+C'+D'$	11
1	1	0	0	0	$ABC'D'$	$A'+B'+C+D$	12
1	1	0	1	1	$ABC'D$	$A'+B'+C+D'$	13
1	1	1	0	1	$ABCD'$	$A'+B'+C'+D$	14
1	1	1	1	0	$ABCD$	$A'+B'+C'+D'$	15

b) Suma de minitérminos: tomo los minitérminos que hacen que f devuelva 1.

$$f = A'B'C'D + A'B'CD' + A'BC'D' + A'BCD + AB'C'D' + AB'CD + ABC'D + ABCD'$$

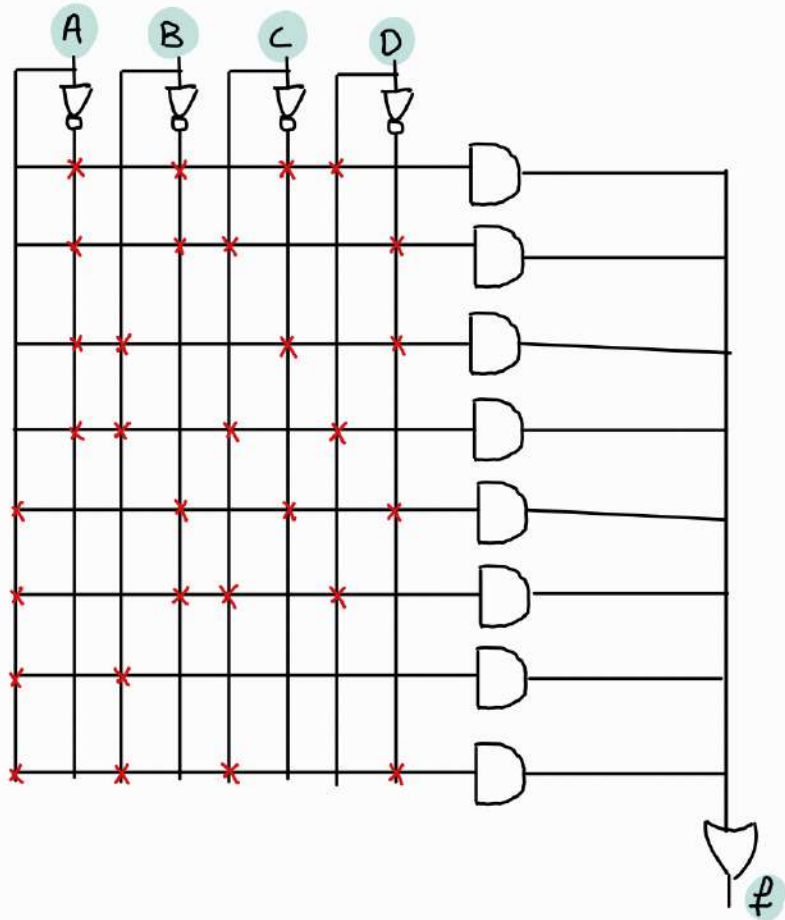
Producto de maxitérminos:

$$f = (A+B+C+D) \cdot (A+B+C'+D) \cdot (A+B'+C+D) \cdot (A+B'+C'+D) \\ \cdot (A'+B+C+D) \cdot (A'+B+C'+D) \cdot (A'+B'+C+D) \cdot (A'+B'+C'+D)$$

c) Para implementar f sólo con compuertas NAND, tomo la suma de minitérminos y niego dos veces:

$$f = A'B'C'D + A'B'CD' + A'BC'D' + A'BCD + AB'C'D' + AB'CD + ABC'D + ABCD' \\ = (A'B'C'D + A'B'CD' + A'BC'D' + A'BCD + AB'C'D' + AB'CD + ABC'D + ABCD')'' \\ = ((A'B'C'D)' \cdot (A'B'CD')' \cdot (A'BC'D')' \cdot (A'BCD)' \cdot (AB'C'D')' \cdot (AB'CD)' \cdot (ABC'D)' \cdot (ABCD'))'$$

a) Implementación de f en un PLA



Ejercicio 2:

Un sistema digital recibe información en forma de palabras de 5 bits (**ABCDE**) en un código protegido contra errores, de tal forma que cualquier dato que se reciba debe contener 3 y sólo 3 bits en '1'. Diseñar un circuito con las entradas **ABCDE** y una salida **err** que se activa por bajo cuando se recibe un dato incorrecto.

- Construir la tabla de verdad para dicho sistema.
- Obtener la ecuación lógica como suma de minterminos y producto de maxiterminos (funciones canónicas).
- Implementar el sistema con una PLA.

a) Tabla de verdad de err

A	B	C	D	E	err	Minitérmino	Maxitérmino	nro
0	0	0	0	0	0	$A'B'C'D'E'$	$A+B+C+D+E$	0
0	0	0	0	1	0	$A'B'C'D'E$	$A+B+C+D+E'$	1
0	0	0	1	0	0	$A'B'C'D'E'$	$A+B+C+D'+E$	2
0	0	0	1	1	0	$A'B'C'DE$	$A+B+C+D'+E'$	3
0	0	1	0	0	0	$A'B'C'D'E'$	$A+B+C'+D+E$	4
0	0	1	0	1	0	$A'B'C'D'E$	$A+B+C'+D+E'$	5
0	0	1	1	0	0	$A'B'CDE'$	$A+B+C'+D'+E$	6
0	0	1	1	1	1	$A'B'CDE$	$A+B+C'+D'+E'$	7
0	1	0	0	0	0	$A'BC'D'E'$	$A+B'+C+D+E$	8
0	1	0	0	1	0	$A'BC'D'E$	$A+B'+C+D+E'$	9
0	1	0	1	0	0	$A'BC'DE'$	$A+B'+C+D'+E$	10
0	1	0	1	1	1	$A'BC'DE$	$A+B'+C+D'+E'$	11
0	1	1	0	0	0	$A'BCD'E'$	$A+B'+C'+D+E$	12
0	1	1	0	1	1	$A'BCD'E$	$A+B'+C'+D+E'$	13
0	1	1	1	0	1	$A'BCDE'$	$A+B'+C'+D'+E$	14
0	1	1	1	1	0	$A'BCDE$	$A+B'+C'+D'+E'$	15
1	0	0	0	0	0	$AB'C'D'E'$	$A'+B+C+D+E$	16
1	0	0	0	1	0	$AB'C'D'E$	$A'+B+C+D+E'$	17
1	0	0	1	0	0	$AB'C'DE'$	$A'+B+C+D'+E$	18
1	0	0	1	1	1	$AB'C'DE$	$A'+B+C+D'+E'$	19
1	0	1	0	0	0	$AB'CD'E'$	$A'+B+C'+D+E$	20
1	0	1	0	1	1	$AB'CD'E$	$A'+B+C'+D+E'$	21
1	0	1	1	0	1	$AB'CD'E'$	$A'+B+C'+D'+E$	22
1	0	1	1	1	0	$AB'CD E$	$A'+B+C'+D'+E'$	23
1	1	0	0	0	0	$ABC'D'E'$	$A'+B'+C+D+E$	24
1	1	0	0	1	1	$ABC'D'E$	$A'+B'+C+D+E'$	25
1	1	0	1	0	1	$ABC'DE'$	$A'+B'+C+D'+E$	26
1	1	0	1	1	0	$ABC'DE$	$A'+B'+C+D'+E'$	27
1	1	1	0	0	1	$ABCD'E'$	$A'+B'+C'+D+E$	28
1	1	1	0	1	0	$ABCD'E$	$A'+B'+C'+D+E'$	29
1	1	1	1	0	0	$ABCDE'$	$A'+B'+C'+D'+E$	30
1	1	1	1	1	0	$ABCDE$	$A'+B'+C'+D'+E'$	31

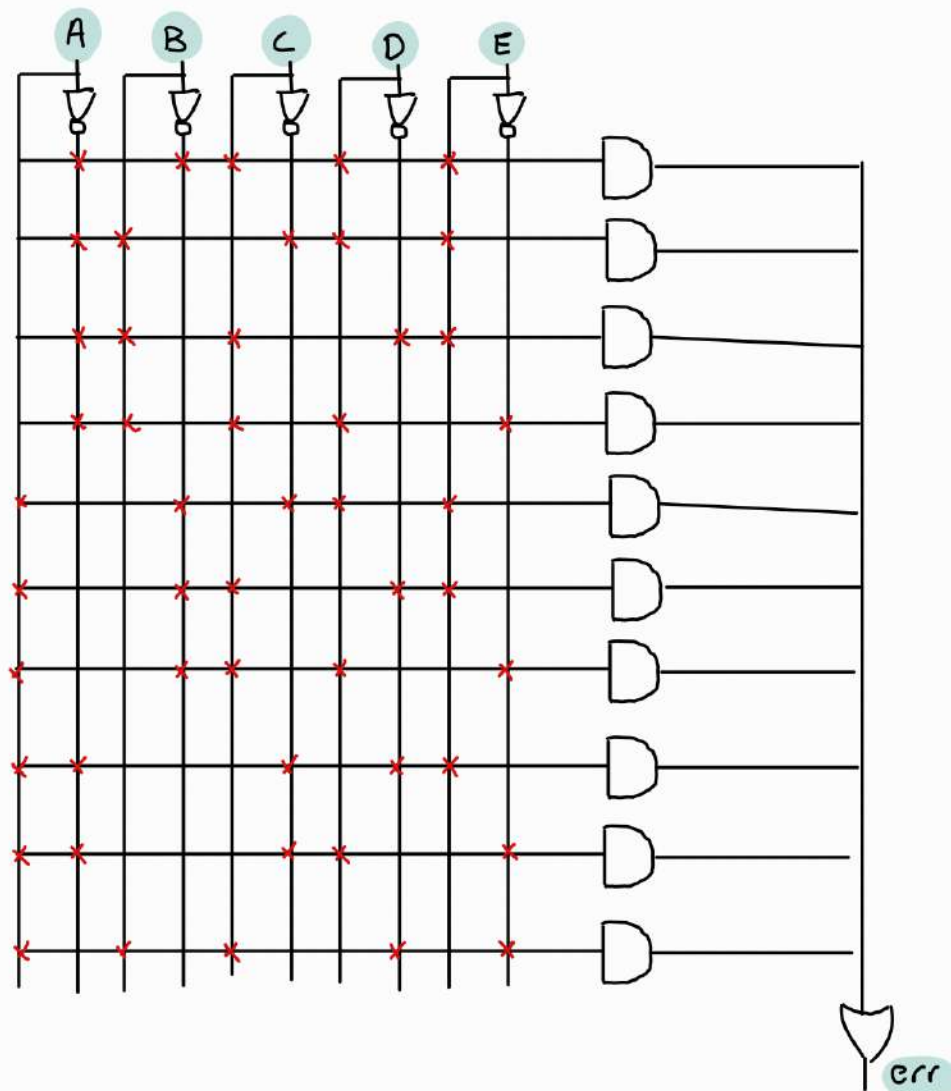
b) Suma de minterminos: tomo los minterminos que hacen que err devuelva 1.

$$err = A'B'CDE + A'BC'DE + A'BCD'E + A'BCDE' + AB'C'DE + AB'CD'E + AB'CDE' + ABC'D'E + ABC'DE' + ABCD'E'$$

Producto de maxiterminos: tomo los maxiterminos que hacen que err devuelva 0.

$$err = (A+B+C+D+E) \cdot (A+B+C+D+E') \cdot (A+B+C+D'+E) \cdot (A+B+C+D'+E') \cdot (A+B+C'+D+E) \cdot (A+B+C'+D+E') \cdot (A+B+C'+D'+E) \cdot (A+B+C'+D'+E') \cdot (A'+B+C+D+E) \cdot (A'+B+C+D+E') \cdot (A'+B+C+D'+E) \cdot (A'+B+C+D'+E') \cdot (A'+B'+C+D+E) \cdot (A'+B'+C+D+E') \cdot (A'+B'+C+D'+E) \cdot (A'+B'+C+D'+E')$$

c) Implementación de err en un PLA



$$err = A'B'CDG + A'BC'DE + A'BCD'E + A'BCDE' + AB'C'DE + AB'CD'E + AB'CDE' + AB'C'D' + ABC'DE' + ABCD'E'$$

Ejercicio 3:

Verificar los resultados obtenidos de cada función lógica en la Guía 2 - Ejercicio 1, mediante la utilización de mapas de Karnaugh, el cual garantiza la obtención de la mínima expresión.

- $x \cdot y + x \cdot y'$
- $(x + y) \cdot (x + y')$
- $x \cdot y \cdot z + x' \cdot y + x y z'$
- $z \cdot x + z \cdot x' \cdot y$
- $(A + B)' \cdot (A' + B')'$
- $y \cdot (w \cdot z' + w \cdot z) + x \cdot y$

a) $x \cdot y + x \cdot y'$

Tabla

x	y	$x y + x y'$
0	0	0
0	1	0
1	0	1
1	1	1

Mapa de Karnaugh

x \ y	0	1
0	0	0
1	1	1

$$x y + x y' = \underline{x}$$

b) $(x + y) \cdot (x + y')$

Tabla

x	y	$(x + y) \cdot (x + y')$
0	0	0
0	1	0
1	0	1
1	1	1

Mapa de Karnaugh

x \ y	0	1
0	0	0
1	1	1

$$(x + y) \cdot (x + y') = \underline{x}$$

c) $x y z + x' y + x y z'$

Tabla

x	y	z	S
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

Mapa de Karnaugh

x \ yz	00	01	11	10
0	1	1	0	0
1	0	0	1	1

$$x' y + x y = y (x' + x) = \underline{y}$$

d) $zx + zx'y$

Tabla

z	x	y	s
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Mapa de Karnaugh

xy \ z	00	01	11	10
0	0	0	0	0
1	0	1	1	1

$$zx + zx'y = z(y+x)$$

e) $(A+B)' \cdot (A'+B')'$

Tabla

A	B	s
0	0	0
0	1	0
1	0	0
1	1	0

Mapa de Karnaugh

y \ x	0	1
0	0	0
1	0	0

= 0

f) $y(wz' + w \cdot z) + xy$

Tabla

y	w	z	x	s
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Mapa de Karnaugh

yz \ wx	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	1	1	1
10	0	1	1	0

$$yw + yx = y(w+x)$$

Ejercicio 4:

Dadas la siguientes tablas de verdad para las funciones Fx:

(f₁)

x ₃	x ₂	x ₁	x ₀	F(x ₃ ,x ₂ ,x ₁ ,x ₀)
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

(f₂)

x ₃	x ₂	x ₁	x ₀	F(x ₃ ,x ₂ ,x ₁ ,x ₀)
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

(f₃)

x ₂	x ₁	x ₀	F(x ₂ ,x ₁ ,x ₀)
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

- Encontrar las expresiones canónicas de cada Fx como suma de minitérminos y como producto de maxitérminos.
- Encontrar la expresión minimizada de cada Fx utilizando mapas de Karnaugh.

a) $f_1 = x_3'x_2'x_1'x_0' + x_3'x_2'x_1'x_0 + x_3'x_2'x_1x_0' + x_3'x_2'x_1x_0 + x_3'x_2x_1'x_0' + x_3'x_2x_1'x_0 + x_3'x_2x_1x_0' + x_3'x_2x_1x_0$

$$f_1 = (x_3 + x_2 + x_1 + x_0') \cdot (x_2 + x_2' + x_1 + x_0) \cdot (x_3 + x_2' + x_1 + x_0) \cdot (x_3 + x_2' + x_1' + x_0') \cdot (x_3' + x_2 + x_1 + x_0) \cdot (x_3' + x_2' + x_1 + x_0) \cdot (x_3' + x_2' + x_1' + x_0')$$

$$f_2 = x_3'x_2'x_1'x_0' + x_3'x_2'x_1x_0' + x_3'x_2x_1'x_0' + x_3'x_2x_1x_0' + x_3x_2'x_1'x_0' + x_3x_2'x_1x_0' + x_3x_2x_1'x_0' + x_3x_2x_1x_0'$$

$$f_2 = (x_3 + x_2 + x_1 + x_0') \cdot (x_3 + x_2 + x_1' + x_2') \cdot (x_3 + x_1' + x_2 + x_1') \cdot (x_3 + x_1' + x_2' + x_3') \cdot (x_3' + x_2 + x_1 + x_0) \cdot (x_3' + x_2' + x_1 + x_0) \cdot (x_3' + x_2' + x_1' + x_0')$$

$$f_3 = x_2'x_1x_0 + x_2x_1'x_0 + x_2x_1x_0' + x_2x_1x_0$$

$$f_3 = (x_2 + x_1 + x_0) \cdot (x_2 + x_1 + x_0') \cdot (x_2 + x_1' + x_0) \cdot (x_2' + x_1 + x_0')$$

b)

f_1

x ₃ x ₂	x ₁ x ₀ 00	01	11	10
00	1	1	0	1
01	0	0	0	1
11	0	0	0	0
10	1	1	0	1

$$f_1 = x_2'x_1' + x_2'x_1 + x_3'x_1x_0'$$

f_2

x ₃ x ₂	x ₁ x ₀ 00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	0	0	0	0
10	0	1	1	1

$$f_2 = x_3'x_0' + x_3x_2'x_0 + x_3x_2'x_1$$

f_3

x ₂	x ₁ x ₀ 00	01	11	10
0	0	0	1	0
1	1	0	1	1

$$f_3 = x_2x_0' + x_1x_0$$

Ejercicio 5:

Un circuito combinacional comparador toma dos números de 2 bits, $A = (A_1, A_0)$ y $B = (B_1, B_0)$ y retorna tres salidas (" $A > B$ ", " $A = B$ " y " $A < B$ ") de 1 bit cada una.

Ej: si $A = (00)$ y $B = (10)$, entonces " $A > B$ " = '0', " $A = B$ " = '0' y " $A < B$ " = '1'.

- Construir la tabla de verdad para dicho sistema.
- Obtener la ecuación lógica como suma de minterminos y producto de maxiterminos.
- Encontrar la función minimizada de cada salida como suma de productos usando mapas de Karnaugh.
- Implementar el sistema con compuertas lógicas básicas.

a)

A_1	A_0	B_1	B_0	f_1 $A > B$	f_2 $A < B$	f_3 $A = B$
0	0	0	0	0	0	1
0	0	0	1	0	1	0
0	0	1	0	0	1	0
0	0	1	1	0	1	0
0	1	0	0	1	0	0
0	1	0	1	0	0	1
0	1	1	0	0	1	0
0	1	1	1	0	1	0
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	0	1
1	0	1	1	0	1	0
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	0	0	1

$$b) f_1 = A_1' A_0 B_1' B_0' + A_1 A_0' B_1' B_0' + A_1 A_0' B_1' B_0 + A_1 A_0 B_0' B_1' + A_1 A_0 B_0' B_1 + A_1 A_0 B_1 B_0'$$

$$f_1 = (A_1 + A_0 + B_1 + B_0) \cdot (A_1 + A_0 + B_1 + B_0') \cdot (A_1 + A_0 + B_1' + B_0) \cdot (A_1 + A_0 + B_1' + B_0') \cdot (A_1 + A_0' + B_1 + B_0') \cdot (A_1 + A_0' + B_1' + B_0) \cdot (A_1 + A_0' + B_1' + B_0')$$

$$f_2 = A_1' A_0' B_1' B_0 + A_1' A_0' B_1 B_0' + A_1' A_0' B_1 B_0 + A_1' A_0 B_1 B_0 + A_1 A_0' B_1 B_0$$

$$f_2 = (A_1 + A_0 + B_1 + B_0) \cdot (A_1 + A_0' + B_1 + B_0) \cdot (A_1 + A_0' + B_1 + B_0') \cdot (A_1' + A_0 + B_1 + B_0) \cdot (A_1' + A_0 + B_1 + B_0') \cdot (A_1' + A_0' + B_1 + B_0) \cdot (A_1' + A_0' + B_1 + B_0')$$

$$f_3 = A_1' A_0' B_1' B_0' + A_1' A_0 B_1' B_0 + A_1 A_0' B_1' B_0' + A_1 A_0 B_1' B_0$$

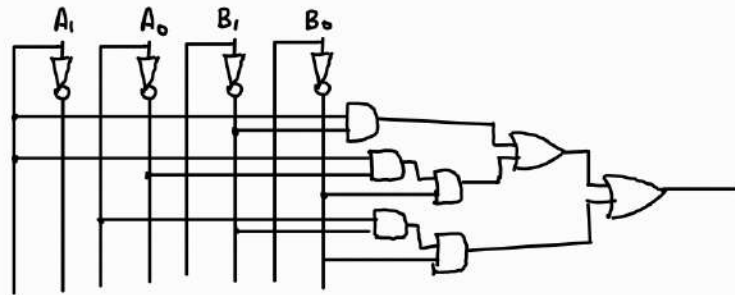
$$f_3 = (A_1 + A_0 + B_1 + B_0') \cdot (A_1 + A_0 + B_1' + B_0) \cdot (A_1 + A_0 + B_1' + B_0') \cdot (A_1 + A_0' + B_1 + B_0) \cdot (A_1 + A_0' + B_1' + B_0) \cdot (A_1 + A_0' + B_1' + B_0') \cdot (A_1' + A_0 + B_1 + B_0) \cdot (A_1' + A_0 + B_1 + B_0')$$

c y d)

ϕ_1 | $B_1 B_0$

$A_1 A_0$	00	01	11	10
00	0	0	0	0
01	1	0	0	0
11	1	1	0	1
10	1	1	0	0

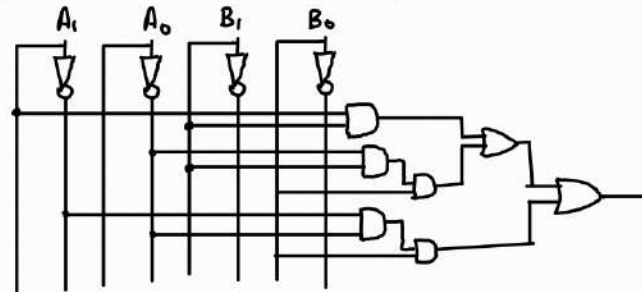
$$\phi_1 = A_1 B_1' + A_1 A_0 B_0' + A_0 B_1' B_0'$$



ϕ_2 | $B_1 B_0$

$A_1 A_0$	00	01	11	10
00	0	1	1	1
01	0	0	1	1
11	0	0	0	0
10	0	0	1	0

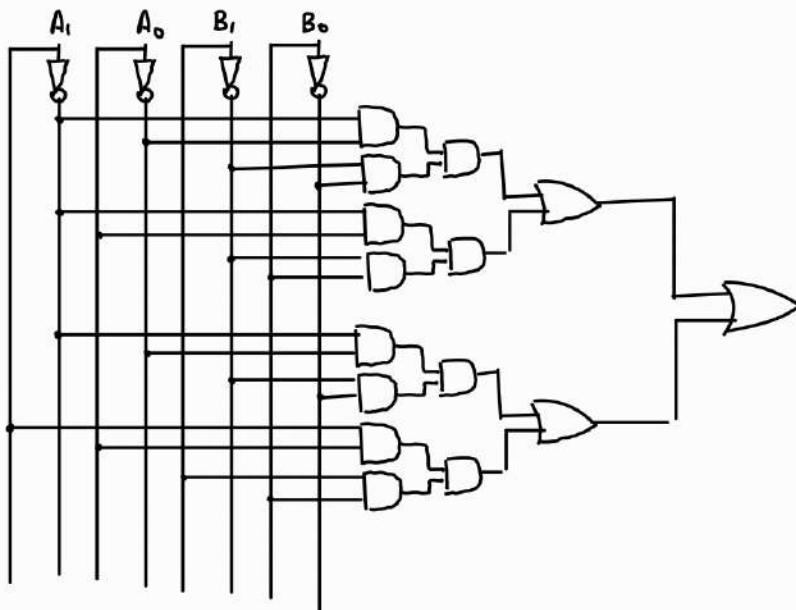
$$\phi_2 = A_1' B_1 + A_0' B_1 B_0 + A_1' A_0' B_0$$



ϕ_3 | $B_1 B_0$

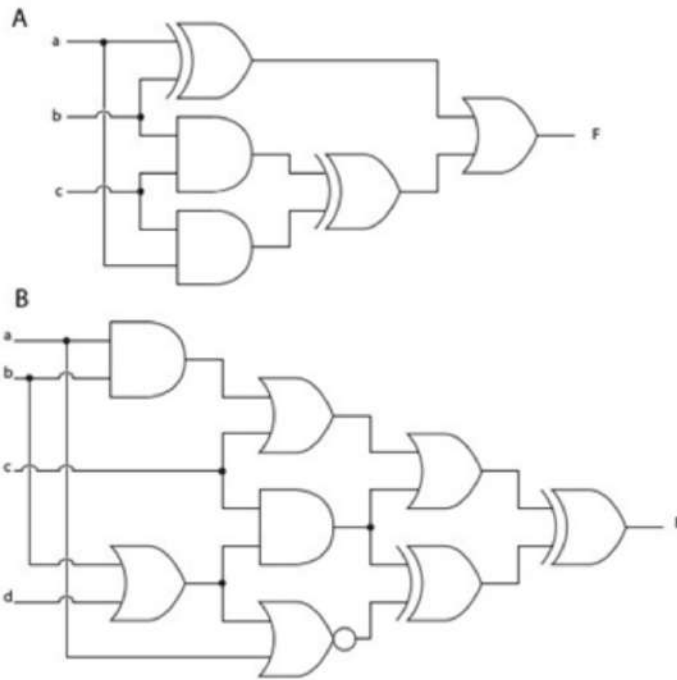
$A_1 A_0$	00	01	11	10
00	1	0	0	0
01	0	1	0	0
11	0	0	1	0
10	0	0	0	1

$$\phi_3 = A_1' A_0' B_1' B_0' + A_1' A_0 B_1' B_0' + A_1 A_0' B_1 B_0' + A_1 A_0 B_1 B_0$$



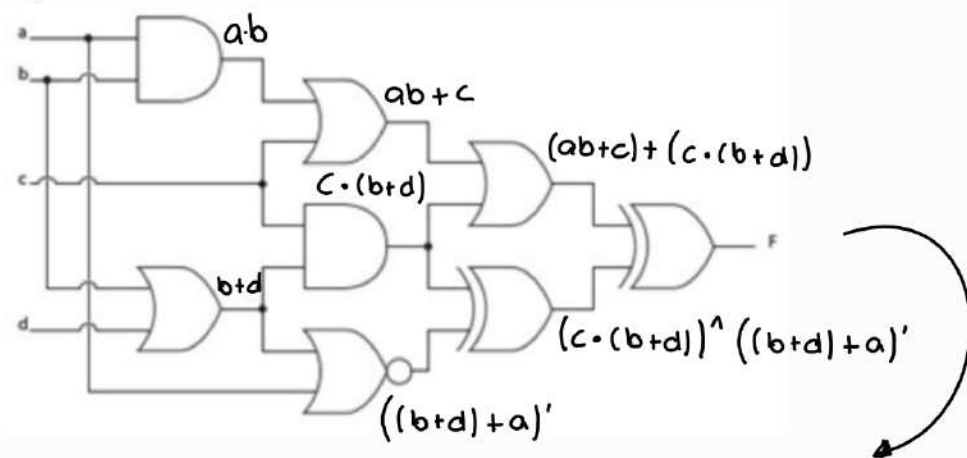
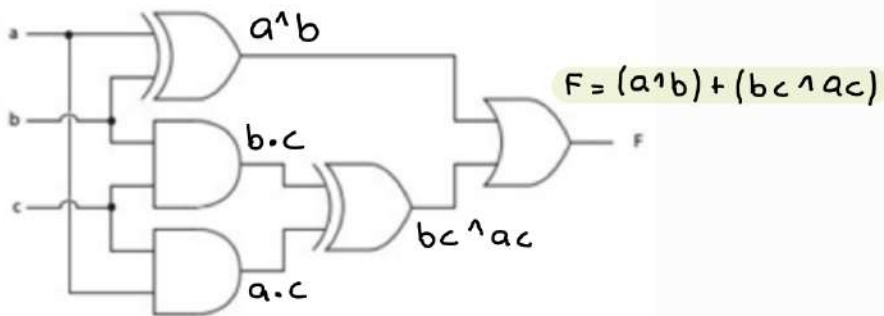
Ejercicio 6:

Analizar los circuitos de lógica combinacional de la figura. Para cada uno:



- Escribir la función booleana correspondiente.
- Encontrar la tabla de verdad para la función obtenida.
- Obtener la función minimizada como suma de productos a partir del mapa de Karnaugh.
- Dibujar el circuito de lógica combinacional resultante del punto (c).

a)



$$F = [(ab+c) + (c.(b+d))] ^ [(c.(b+d)) ^ ((b+d) + a)']$$

b)

Circuito A

a	b	c	S
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

Circuito B

a	b	c	d	S
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

c)

Circuito A

A	bc				
a	00	01	11	10	
0	0	0	1	1	
1	1	1	0	0	

$$F = ab' + a'b$$

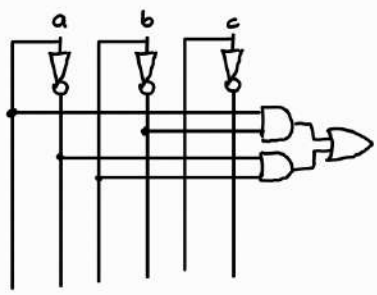
Circuito B

B	cd				
ab	00	01	11	10	
00	1	0	0	0	
01	0	0	0	0	
11	1	1	0	0	
10	0	0	0	1	

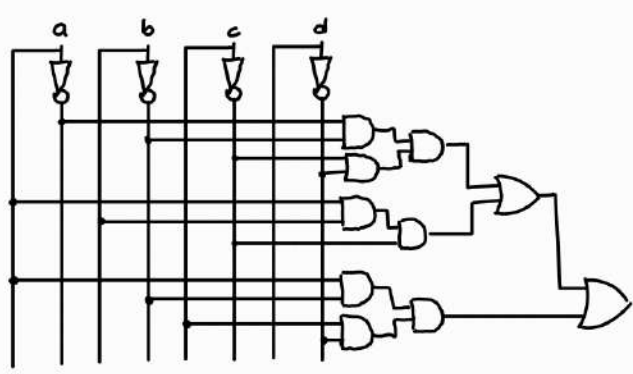
$$B = a'b'c'd' + abc' + ab'cd'$$

d)

Circuito A



Circuito B

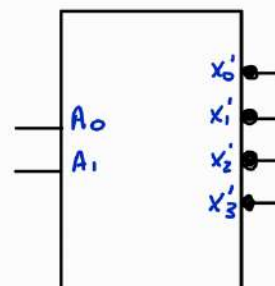


Ejercicio 7:

Un DECODIFICADOR es un circuito combinacional que convierte información binaria de 'N' entradas codificadas (**A**), a '2^N' salidas únicas (**X**). Esto quiere decir que sólo una salida **X** está activa y representa el valor de las señales de entrada **A**.

Considere un decodificador activo por bajo (salida activa = '0') con N=2 y 2^N=4 (deco 2 x 4).

- Expresar las tablas de verdad de las cuatro salidas X₀, X₁, X₂ y X₃.
- Encontrar las expresiones de X₀, X₁, X₂ y X₃ como suma de minitérminos y como producto de maxitérminos.
- Encontrar expresiones minimizadas de X₀, X₁, X₂ y X₃ utilizando el método de Karnaugh o un método algebraico.
- Implementar las expresiones anteriores a través del uso de compuertas lógicas.
- Repetir el punto (d) agregando una entrada de HABILITACIÓN (**E**) activa por bajo, de tal forma que cuando **E**='1' ninguna señal de salida permanezca habilitada.



a)

A ₁	A ₀	X ₀	X ₁	X ₂	X ₃
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

b)

$$X_0 = A_1 \cdot A_0' + A_1' \cdot A_0 + A_1' \cdot A_0'$$

$$X_0 = A_1 + A_0$$

$$X_1 = A_1' \cdot A_0' + A_1 \cdot A_0' + A_1 \cdot A_0$$

$$X_1 = A_1 + A_0'$$

$$X_2 = A_1' \cdot A_0' + A_1' \cdot A_0 + A_1 \cdot A_0$$

$$X_2 = A_1' + A_0$$

$$X_3 = A_1' \cdot A_0' + A_1' \cdot A_0 + A_1 \cdot A_0'$$

$$X_3 = A_1' + A_0'$$

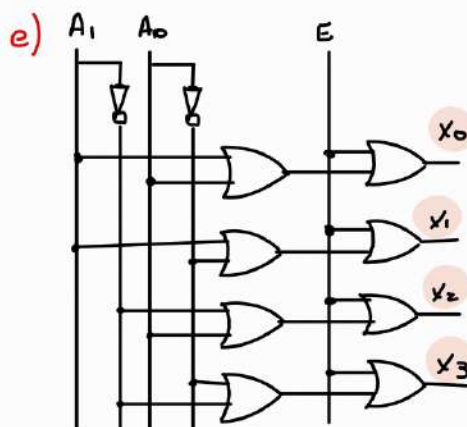
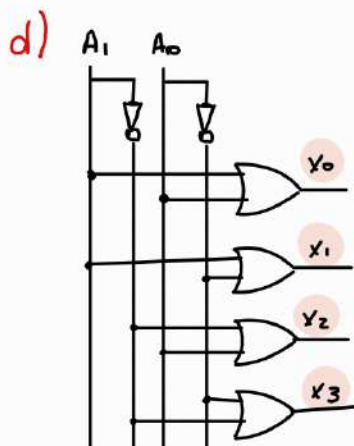
c)

$$X_0 = A_1 + A_0$$

$$X_1 = A_1 + A_0'$$

$$X_2 = A_1' + A_0$$

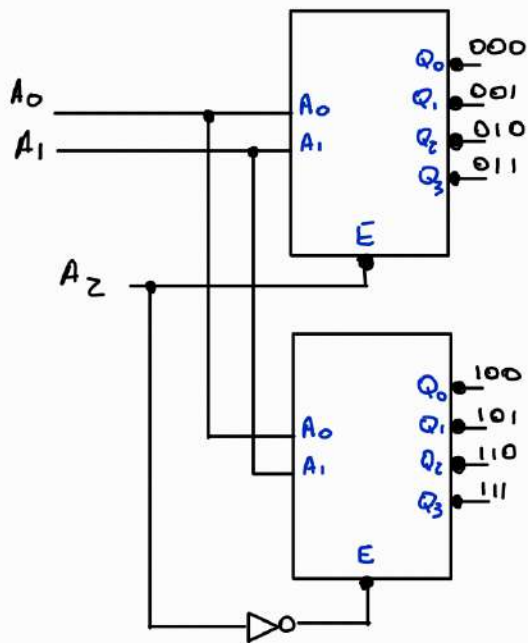
$$X_3 = A_1' + A_0'$$



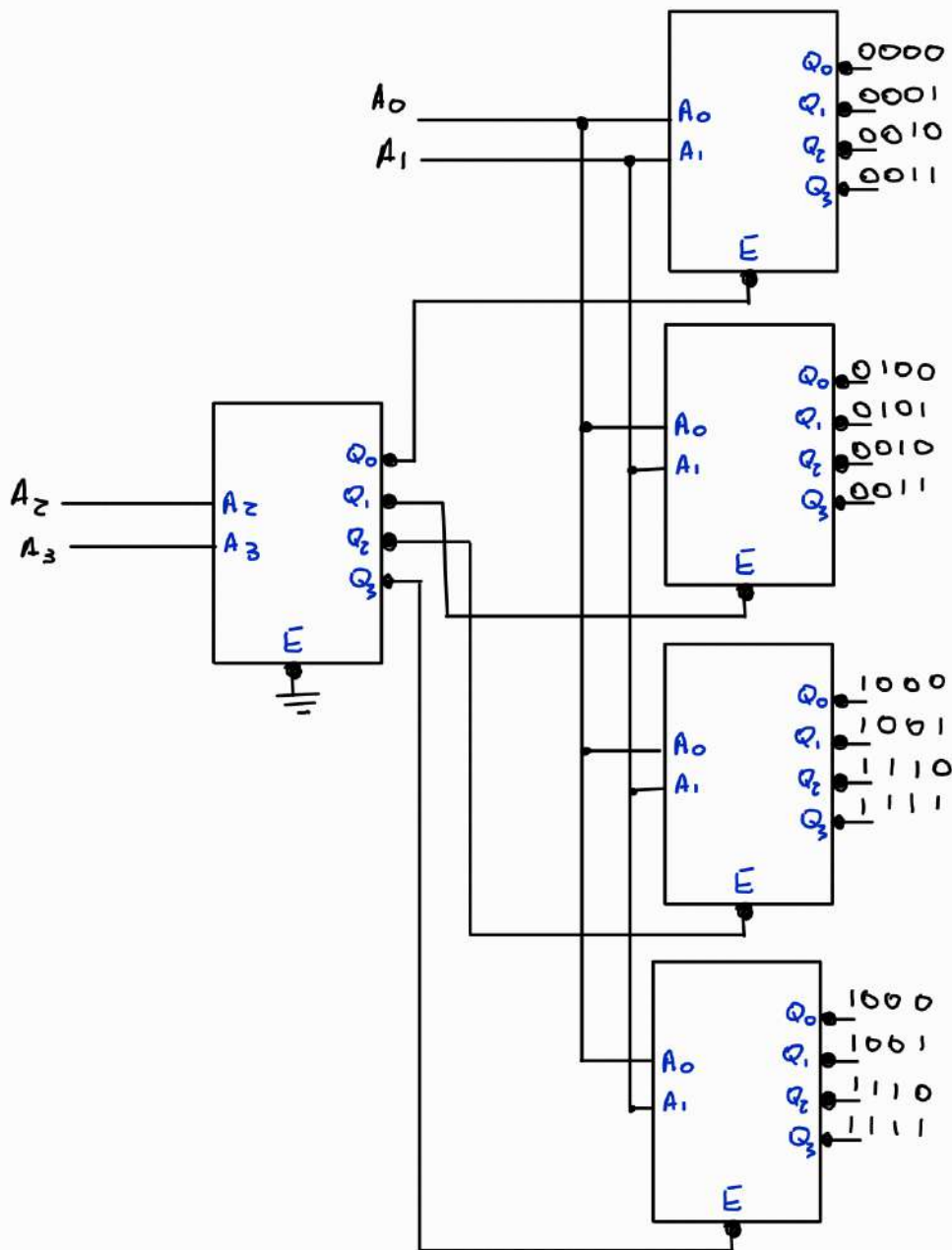
Ejercicio 8:

Implementar un decodificador de 3 x 8 y otro de 4 x 16 a partir de decodificadores 2 x 4 activos por bajo y compuertas lógicas.

Decodificador de 3 x 8 con decodificadores 2x4 activos por bajo



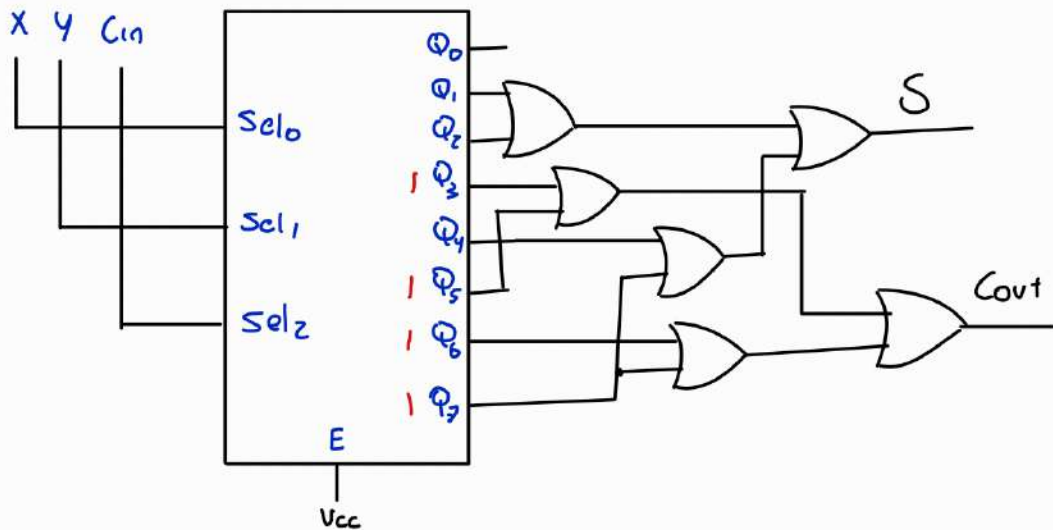
Decodificador de 4x16 con decodificadores 2x4 activos por bajo



Ejercicio 9:

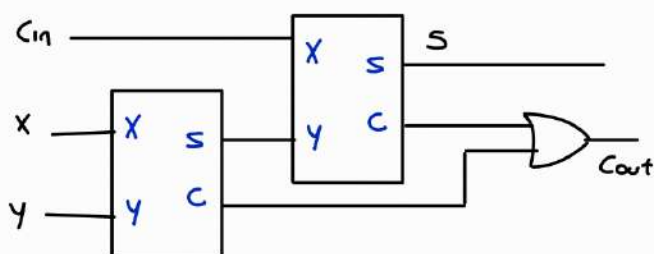
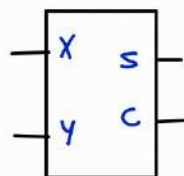
- Diseñar un circuito SUMADOR COMPLETO (3 entradas: X , Y , C_{in} ; 2 salidas: S , C_{out}) mediante el uso de un Decodificador de salida activa por alto y compuertas OR. Tip: La salida que vale 1 representa el mintermino equivalente al número binario que está a la entrada.
- Diseñar un sumador completo usando dos semisumadores y una compuerta.

a)



X	Y	C_{in}	C_{out}	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

- b) Semisumador: suma dos bits y genera la salida y un carry.
No toma carry de entrada

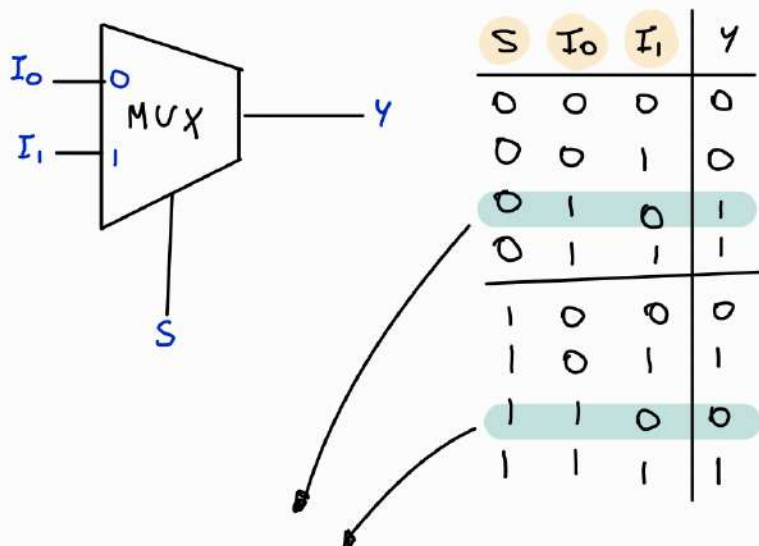


Ejercicio 10:

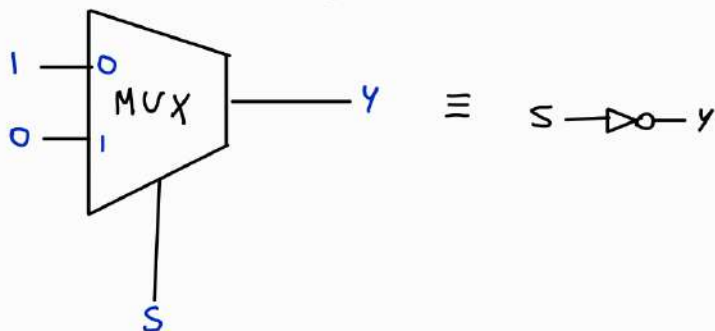
Un MULTIPLEXOR (MUX) es un circuito combinacional que selecciona información binaria de muchas entradas y la dirige a una única salida (Y), conforme al estado de las señales de selección. Si un MUX posee 2^N entradas de información (D) requiere 'N' señales de selección (S).

- Expresar la tabla de verdad de un MUX de 2 entradas (y una salida) y su implementación mediante el uso de compuertas lógicas (AND, OR, NOT, NOR, NAND, etc.)
- Mostrar cómo se puede usar un MUX para obtener una compuerta NOT.
- ¿Cómo obtener un MUX de 4 entradas (y una salida) en base a multiplexores de 2 entradas?
- ¿Cómo obtener un multiplexor de 'N' entradas con multiplexores de 2 entradas?

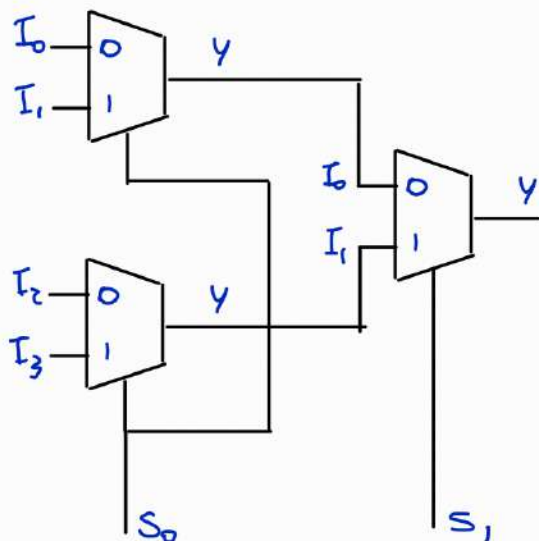
a)



b)



c)

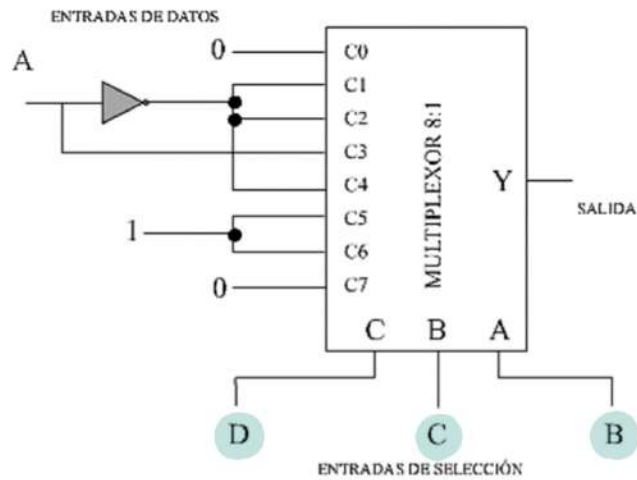


d)

1. Poner una primera columna de multiplexores hasta tener las entradas requeridas.
2. Poner una segunda columna de multiplexores de la mitad de multiplexores que la primera.
3. Repetir paso 2 hasta que quede un solo multiplexor, todos los entradas de selección de una misma columna se conectan, tomando el menos significativo para la primera columna y se incrementa a derecha.

Ejercicio 11:

Dado el siguiente circuito con entradas (DCBA):



- a. Elabore la tabla de verdad de "SALIDA" y responda: ¿Para cuantas combinaciones posibles de entradas la salida es igual a 1?

ATENCIÓN: no confundir el nombre de las señales del enunciado con las de selección del decodificador!

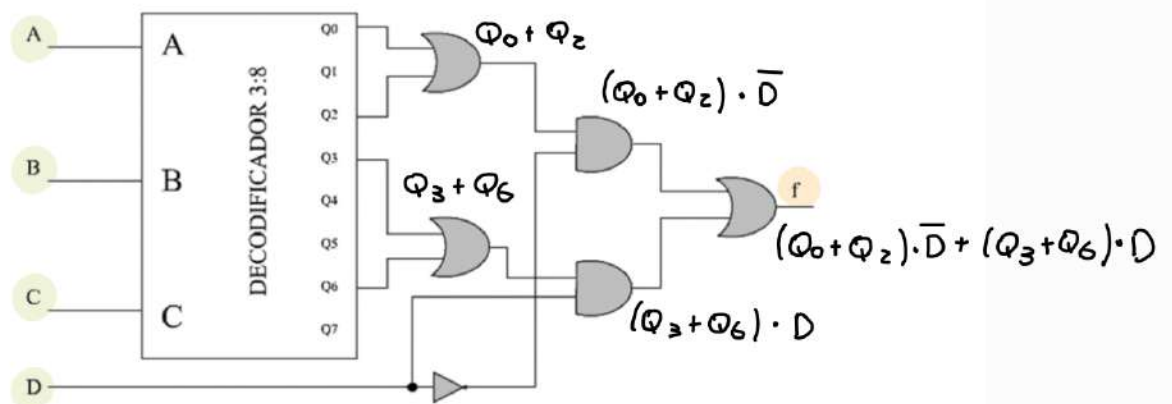
a)

D	C	B	Y
0	0	0	C ₀
0	0	1	C ₁
0	1	0	C ₂
0	1	1	C ₃
1	0	0	C ₄
1	0	1	C ₅
1	1	0	C ₆
1	1	1	C ₇

D	C	B	A	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

Ejercicio 12:

Dado el siguiente circuito con entradas (DCBA):



Asumir que las salidas Q del decodificador son activas por alto, y que las salidas Q(1,4,5,7) no se conectan a ninguna compuerta.

- a. a.Elaborar la tabla de verdad de la función f y responder: ¿Para cuantas combinaciones posibles de entradas la salida f es igual a 1?

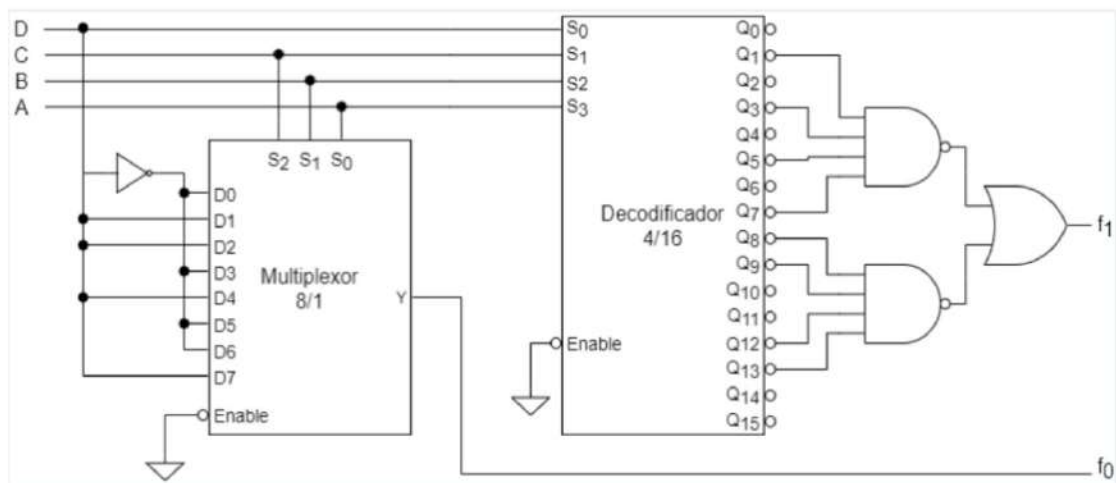
a)

A	B	C	D	f
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

A	B	C	S
0	0	0	Q_0
0	0	1	Q_1
0	1	0	Q_2
0	1	1	Q_3
1	0	0	Q_4
1	0	1	Q_5
1	1	0	Q_6
1	1	1	Q_7

Ejercicio 13:

Dado el siguiente circuito con entradas (ABCD):



- Elaborar la tabla de verdad de la función f y responder: ¿Para cuántas combinaciones posibles de entradas la salida f es igual a 1?
- Repetir el punto a) pero conectando la salida Y del Multiplexor a la entrada Enable del Decodificador. ¿Qué diferencias se obtuvieron? ¿Por qué?

a)

D	C	B	A	f_1	f_2
0	0	0	0	1	1
0	0	0	1	1	1
0	0	1	0	0	1
0	0	1	1	0	1
0	1	0	0	0	1
0	1	0	1	0	1
0	1	1	0	1	1
0	1	1	1	1	1
1	0	0	0	1	1
1	0	0	1	1	1
1	0	1	0	0	1
1	0	1	1	0	1
1	1	0	0	0	1
1	1	0	1	0	1
1	1	1	0	1	1
1	1	1	1	1	1

b)