

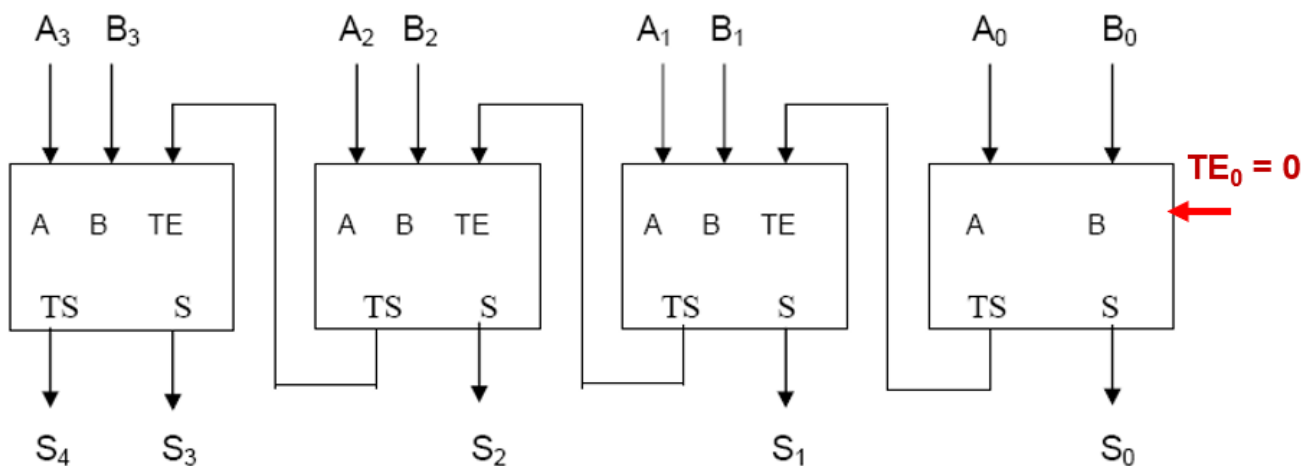
Aluno: _____

Circuito Somador Completo para números de 4 bits

Objetivos: Implementar usando **estrutura hierárquica** em Verilog HDL um circuito SOMADOR COMPLETO para a adição de números de 4 bits: $A_3 A_2 A_1 A_0$ e $B_3 B_2 B_1 B_0$, positivos

Atenção:

- ✓ o **USUÁRIO** só poderá entrar com números de 4 bits sem bit de sinal (o PROJETISTA pode usar quantos bits quiser dentro do projeto). Logo, os **port input** A e B só poderão ser de 4 bits.
- ✓ O **USUÁRIO** terá acesso a uma “Te0” de apenas 1 bit
- ✓ O resultado da soma deve aparecer nos Displays de 7 segmentos (1 display para a dezena e 1 display para a unidade)



1ª Parte: Projetar um circuito **somador completo** que faz adição de dois números positivos de 1 bit usando descrição por **fluxo de dados** (expressão booleanas):

$$S = A \oplus B \oplus TE$$

$$Ts = AB \text{ ou } ATe \text{ ou } BTe$$

Vocês já fizeram esta parte!!!

2ª Parte: Projetar um decodificador BCD para display de 7 segmentos.

Vocês também já fizeram esta parte!!!

3ª parte: Projetar um circuito somador completo que faça adição de dois números positivos de 4 bits

- Crie uma **nova pasta** para este projeto;
- Crie um novo **PROJETO** no QUARTUS.
- Crie um novo **módulo principal** (module main) para o **somador de 4 bits**;
 - Use o módulo (module) da 1ª Questão (já implementado na última aula), use estrutura **hierárquica** para projetar um CIRCUITO **SOMADOR COMPLETO** de dois números de 4 bits positivos.
 - Use o módulo decodificador BCD para display de 7-segmentos já implementado para apresentar os resultados da soma (1 display para dezena e 1 para a unidade);
- Compile o projeto;
- Mostre a Figura do circuito (esquemático) obtida na aba: Tools→Netlist Viewer → RTL
- Defina a pinagem para que o usuário tenha acesso as chaves para as entradas dos valores A e B e veja o resultado da soma em um display de 7-segmentos

$\begin{matrix} A & A & A & A \\ 3 & 2 & 1 & 0 \end{matrix}$	$\begin{matrix} B & B & B & B \\ 3 & 2 & 1 & 0 \end{matrix}$	Te0	Dezena	Unidade
SW[17] SW[16] SW[15] SW[14]	SW[3] SW[2] SW[1] SW[0]	SW[10]	HEX1	HEX0

- Embarque o projeto na FPGA e

h) Envie no AVA.