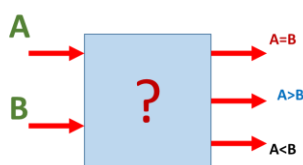


Aluno: \_\_\_\_\_

## 2ª Prática: Circuito digital comparador de Magnitude

**Objetivo:** Implementar, usando **Verilog HDL**, um circuito digital que faça a comparação da magnitude de dois números de 1 bit usando **descrição fluxo de dados**.



Defina as variáveis que serão entradas e quais serão saídas.

- ✓ Crie uma nova PASTA para cada projeto – **CUIDADO COM OS CARECTERES E ACENTOS!!**

### Parte Prática (Quartus e ModelSim):

1º) Monte a tabela verdade que descreve o comportamento do **circuito comparador de magnitude de 2 números de 1 bit** (A e B):

2º) Extraia as expressões booleanas;

3º) Implemente o circuito **comparador de magnitude de 2 números de 1 bit** (A e B) usando a **descrição por fluxo de dados** em Verilog HDL:

- Crie um **NOVO PROJETO** (**Aba file → new Project wizard**) para o comparador de 1 bit.
- Crie **novo arquivo** em **Verilog HDL** para descrever o funcionamento **módulo (module)** para o comparador de 1 bit (clique na aba: **file → New → design file → Verilog HDL file**).

4º) Compile o projeto;

5º) Insira o arquivo de pinagem, sendo

#### Entradas:

A = SW[17] e B = SW[0]

#### Saídas:

maior = LEDR[17]      igual = LEDR[10]      menor = LEDR[0]

6º) Compile novamente o projeto

7º) Mostre a Figura do circuito (esquemático) obtida na aba: Tools → Netlist Viewer → RTL

8º) Embarque seu projeto no FPGA da placa DE2.