

Prática de Lab. de Sistemas Digital - Eng. de Computação - Belo Horizonte

Prof. Mara C. S. Coelho - DECOM

Aluno:		
_		

3º Prática: Circuito digital comparador de Magnitude

Este projeto será apresentado na próxima AULA por 2 grupos

<u>Objetivo</u>: Implementar, usando Verilog HDL, um circuito digital que faça a comparação da magnitude **de dois números de 4 bits** usando **ESTRUTURA HIERÁRQUICA**. O circuito deve apenas sinalizar (com níveis lógicos) se o número A é maior ou menor ou igual a B, e não o resultado bit-a-bit da comparação.

Não pode ser usado operadores RELACIONAIS

- ✓ Crie uma nova PASTA para este novo projeto: Comparador de números de 4 bits
- 1) Implemente o circuito comparador de magnitude de 2 números de 4 bits (A₃ A₂ A₁ A₀) e (B₃ B₂ B₁ B₀) em Verilog HDL a partir do module comparador de 1 bit usando estrutura hierárquica em Verilog HDL:
 - a. Copie o arquivo *.v (module em verilog) do seu comparador de 1 bit da aula passada.
 - Faça as alterações necessárias no seu module de comparador de 1 bit para utilizá-lo neste novo projeto.
 - Explique as alterações usadas.
 - b. Faça um novo projeto para o comparador de 4 bits.
 - c. Faça um novo arquivo em Verilog HDL para descrever o módulo (module) principal (MAIN) do comparador de 4 bits usando o módulo já testado do comparador de 1 bit com ESTRUTURA HIERÁRQUICA.
 - d. Mostre a Figura do circuito (esquemático) obtida na aba: Tools→Netlist Viewer→RTL
 - e. Defina a pinagem

para as entradas:

 $A_3 = SW17$ $A_2 = SW16$ $A_1 = SW15$ $A_0 = SW14$ e $B_3 = SW3$ $B_2 = SW2$ $B_1 = SW1$ $B_0 = SW0$ \nearrow Para as saídas:

Maior – LED R10 Igual = LEDG R5

Menor = LED R1

Parte Teórica:

Leia o arquivo sobre síntaxe de Verilog HDL – ESTRUTURA HIERÁRQUICA – disponível na página do curso.

Exemplo:

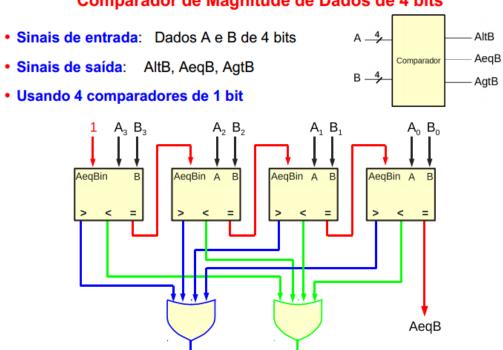
ENTRADAS:

A (A₃ A₂ A₁ A₀) e B (B₃ B₂ B₁ B₀)

SAÍDAS:

- A maior que B = greater that = AgtB
- A menor que B = less than = AltB
- A igual a B = A equal B = AeqB

Comparador de Magnitude de Dados de 4 bits



AltB

AgtB