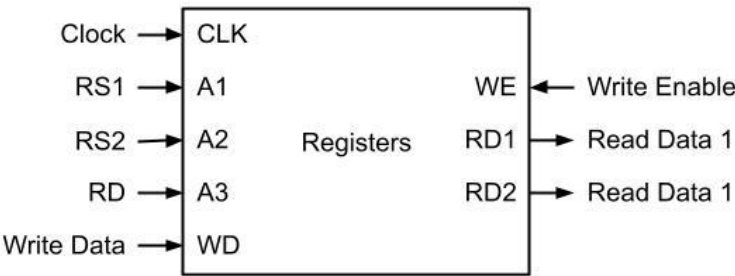


BANCO DE REGISTRADORES

O banco de registradores é o componente responsável por armazenar dados temporariamente. No projeto do myRISCVv1, como na ISA RV32I existem 32 registradores de uso geral, cada um com 32 bits. Estes registradores são comumente referidos como x0 até x31. O primeiro registrador, em particular x0, consistentemente detém o valor 0 (zero), o que significa que sempre armazenará o valor 0 (zero). A Figura 6 mostra o diagrama de blocos do banco de registradores.

Figura 6: Diagrama de Blocos do Banco de Registradores



No myRISCVv1, como no RISC-V, é possível ler até dois registros, com a exigência de que os endereços RS1 e RS2 deve ser distinto. Além disso, um dos registros pode ser escrito através de RD. Para escrever com sucesso em um registro, o WE (write enable) deve ser definido como 1 (um). Os registros operam de forma síncrona e são ativados por uma borda do relógio. A Figura 7 mostra a descrição da entidade do banco de registradores em VHDL.

Figura 7: Descrição da Entidade do Banco de Registradores

```
-- Registers
-- myRISCVv1
--
-- Prof. Max Santana (2025)
-- CECOMP/Univasf
--

library ieee ;
use ieee.std_logic_1164.all;
use IEEE.numeric_std.all;
use ieee.std_logic_unsigned.all;

entity registers is
  port(
    clk: in std_logic;
    rst: in std_logic;
    a1 : in std_logic_vector(4 downto 0); -- RS1
    a2 : in std_logic_vector(4 downto 0); -- RS2
    we : in std_logic;                    -- when 1, write wd in RD
    a3 : in std_logic_vector(4 downto 0); -- RD
    wd : in std_logic_vector(31 downto 0); -- Write data
    rd1: out std_logic_vector(31 downto 0); -- read data 1
    rd2: out std_logic_vector(31 downto 0); -- read data 2
  );
end registers;
```

Com base na descrição da entidade do modelo do banco de registradores, descreva a arquitetura.