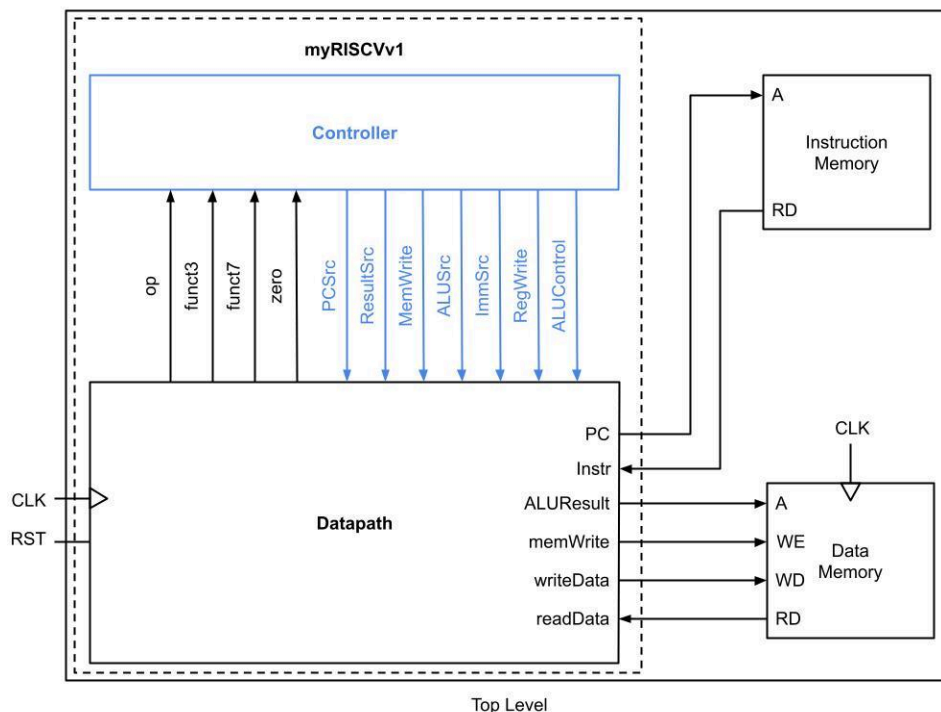


INTRODUÇÃO

Este projeto trata da implementação de um processador Reduced Instruction Set Computer (RISC) de 32 bits com arquitetura Harvard, baseado no processador RISC-V de ciclo único (RV32I), o que significa que todas as instruções são processadas dentro de um ciclo de clock, para fins educacionais, chamado myRISCVv1. Inclui um conjunto básico de instruções e todos os blocos funcionais, como memórias de instrução e dados, registradores de uso geral e uma Arithmetic and Logic Unit (ALU) para operações básicas. A implementação do processador será em VHSIC Hardware Description Language (VHDL), onde vamos implementar componentes individuais passo a passo e, finalmente, conectar tudo. O processador myRISCVv1 será capaz de executar programas reais.

O objetivo deste projeto é ensinar aos alunos o funcionamento da microarquitetura de um processador RISC. Para isso, o projeto está baseado em uma implementação com interfaces para as memórias de instruções (programas) e dados, onde as memórias estão separadas do *datapath* e conectadas por barramentos de endereço e dados. A Figura 1 mostra um diagrama de blocos do processador myRISCVv1 interfaceado com as memórias externas, como o *datapath* e *controller*.

Figura 1: Interface do processador myRISCVv1 para memórias externas



DEFINIÇÃO DO PROCESSADOR myRISCVv1

Como o propósito deste projeto é servir como uma ferramenta para o ensino de AOC, a intenção é implementar um processador totalmente funcional que possa ser usado em qualquer tipo de problema

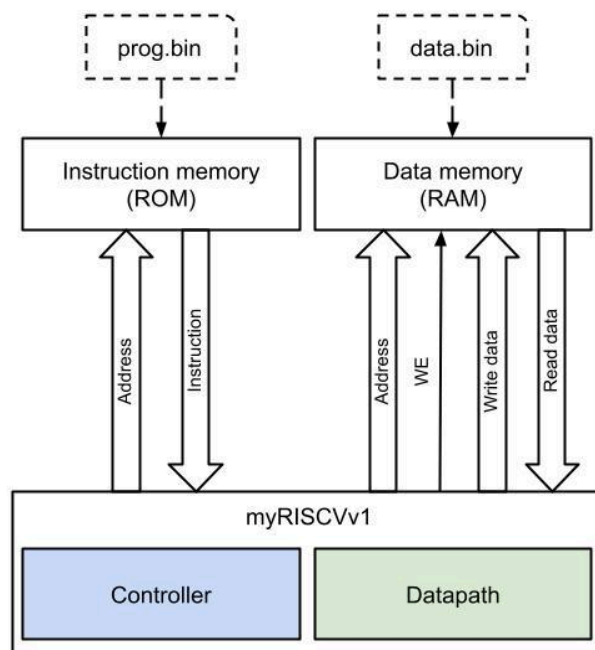
de propósito geral. Mas este projeto também deve atingir um desempenho rápido o suficiente para ser usado em tarefas reais.

Considerando os requisitos básicos do projeto, o myRISCVv1 têm as seguintes características:

- Arquitetura Harvard;
- Conjunto de instruções RISC com 14 instruções;
- Ordem de execução SISD;
- 32 registrador de propósito geral;
- 65.535 posições de memória de instruções de 8 bits;
- 65.535 posições de memória de dados de 8 bits;
- Alu com 3 operações aritméticas e 3 operações lógicas.

O diagrama de bloco do myRISCVv1 da Figura 2 mostra os arquivos necessários para que o processador execute um programa. O código do programa é inserido na *Read Only Memory* (ROM) como arquivo prog.bin e a *Random Access Memory* (RAM) pode ser inicializada com conteúdo através de um arquivo data.bin. Esses dois arquivos (.bin) são gerados pela compilação e scripts de montagem do processador.

Figura 2: Diagrama de Bloco do myRISCVv1



Para atingir o objetivo de implementação de um processador funcional, a primeira tarefa do projeto é definir a estrutura de memória para o processador myRISCVv1, para em seguida definir a estrutura e os blocos funcionais que compõem o processador.