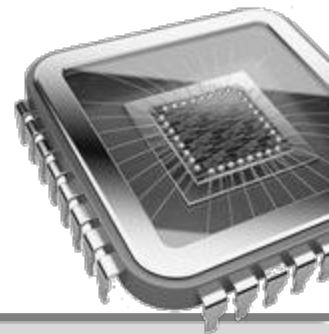


ORGANIZAÇÃO E ARQUITETURA DE COMPUTADORES

AULA 19

Prof. Max Santana Rolemberg Farias
max.santana@univasf.edu.br
Colegiado de Engenharia de Computação



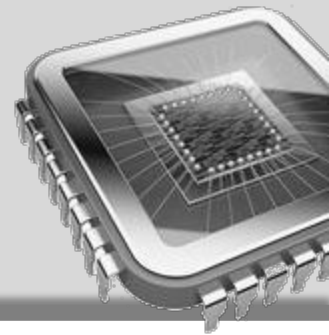


PROCESSADOR DIDÁTICO

myRISCVv1

PROCESSADOR myRISCVv1

DATAPATH

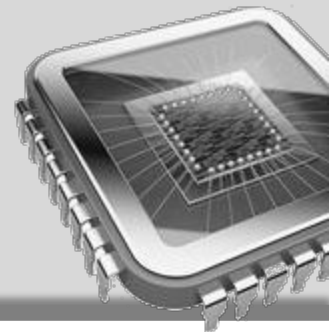


A arquitetura do processador myRISCVv1 é um projeto baseado nos RISC-V de 32 bits: **RV32I**.

O design deste processador consiste em um **processador de ciclo único**.

PROCESSADOR myRISCVv1

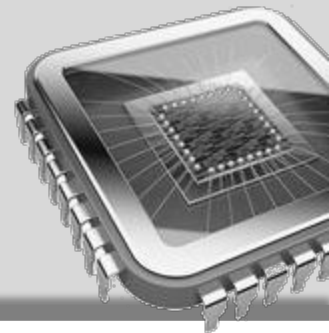
TIPOS DE INSTRUÇÕES



31	30	25	24	21	20	19	15	14	12	11	8	7	6	0	
funct7				rs2			rs1		funct3		rd		opcode		R-type
imm[11:0]						rs1		funct3		rd		opcode		I-type	
imm[11:5]				rs2			rs1		funct3		imm[4:0]		opcode		S-type
imm[12]		imm[10:5]			rs2			rs1		funct3		imm[4:1]	imm[11]	opcode	B-type
imm[31:12]										rd		opcode		U-type	
imm[20]		imm[10:1]				imm[11]		imm[19:12]			rd		opcode		J-type

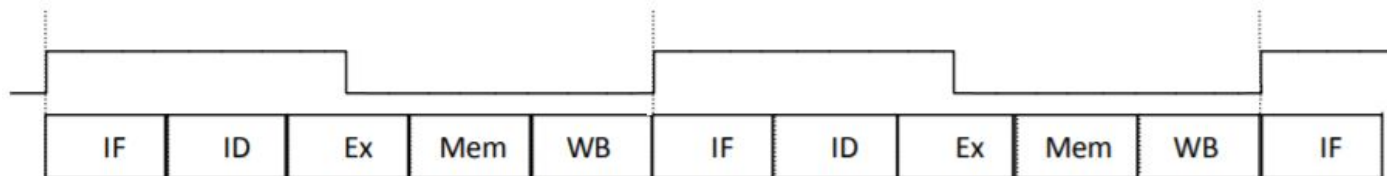
PROCESSADOR myRISCVv1

DATAPATH



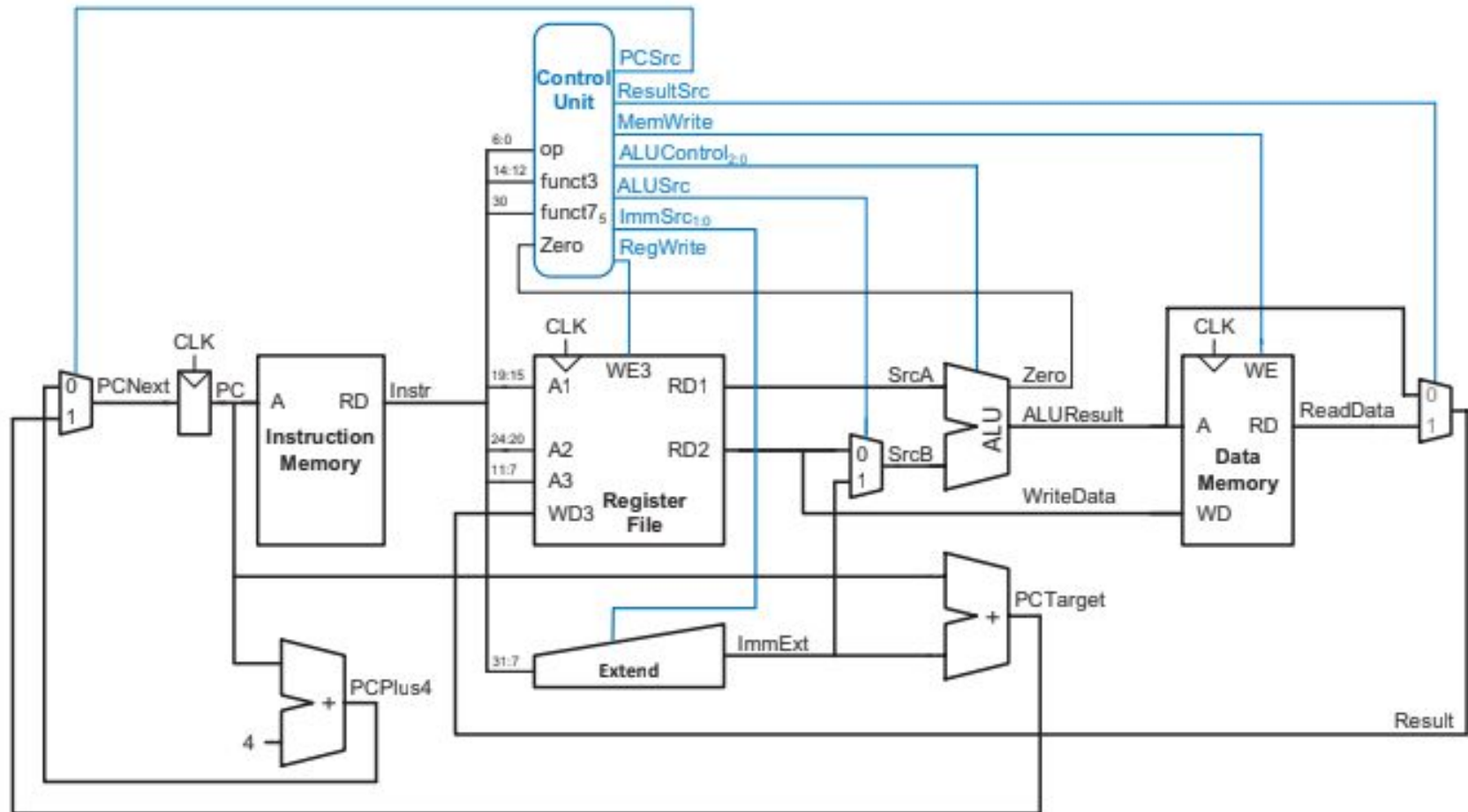
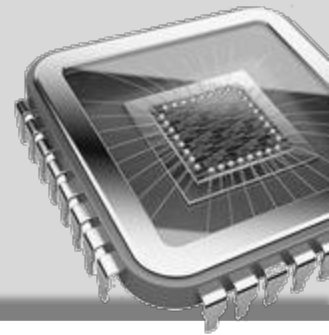
A implementação do myRISCVv1 realiza **busca, decodificação, execução, acesso a memória de dados e escrita em registrador** em um ciclo de clock.

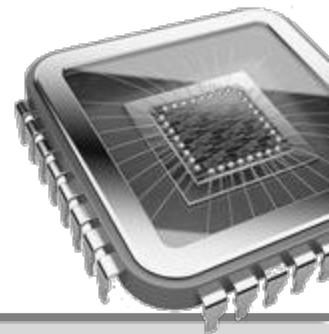
A arquitetura myRISCVv1 é separada em cinco estágios: ***fetch (IF)***, busca de instrução, ***instruction decode (ID)***, decodificação de instrução, ***execute (EX)***, execução, ***data memory (Mem)***, acesso a memória de dados, e ***write back (WB)***, escrita em registrador.



PROCESSADOR myRISCVv1

DATAPATH

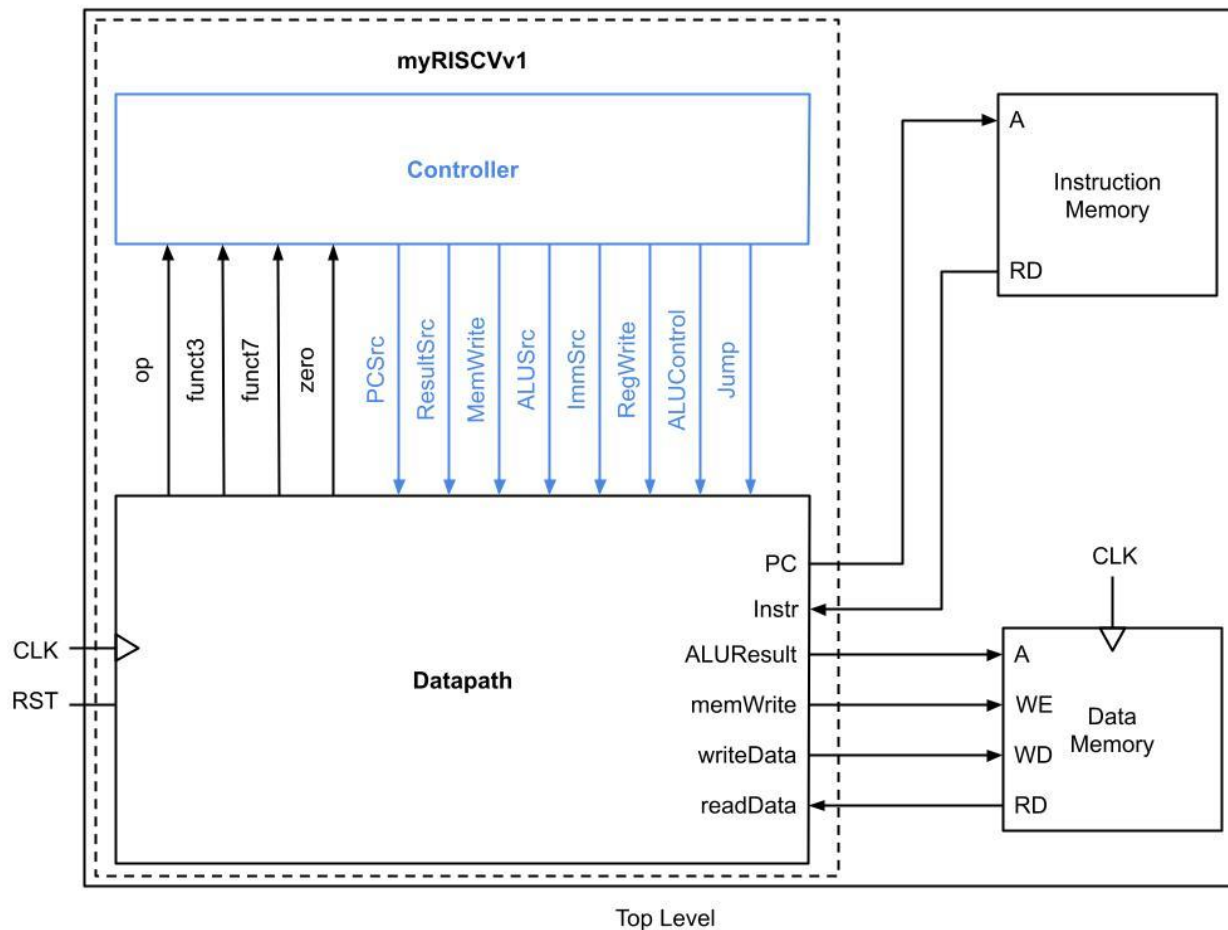
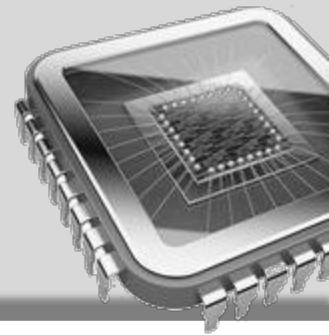




VAMOS CONSTRUIR O PROCESSADOR myRISCVv1 COM INTERFACE PARA MEMÓRIAS EXTERNAS

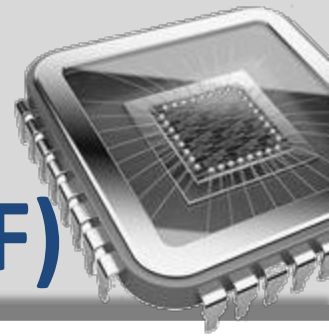
PROCESSADOR myRISCVv1

TOP LEVEL



PROCESSADOR myRISCVv1

DATAPATH INSTRUCTION FETCH (IF)

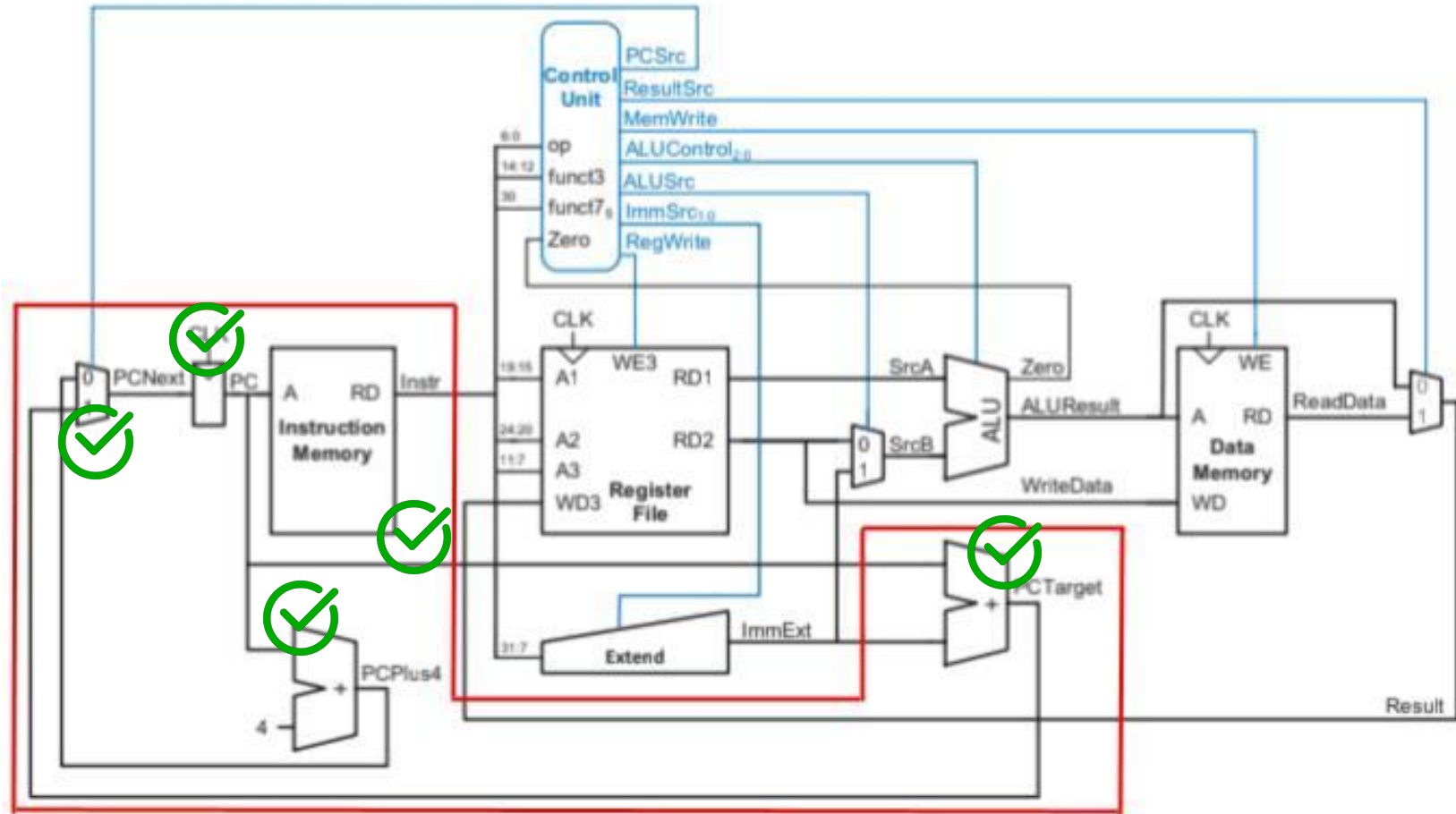
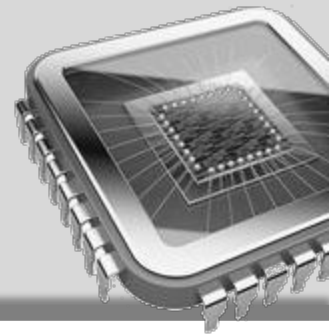


O IF é o primeiro estágio do myRISCVv1 responsável por obter a instrução da memória de instrução.

No myRISCVv1 o estágio IF incluir a busca de instruções para os *branches* e *jump*.

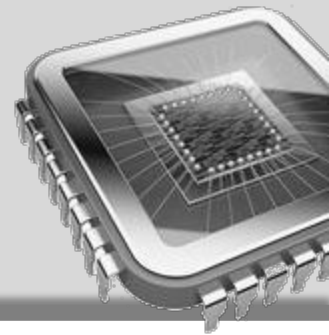
PROCESSADOR myRISCVv1

DATAPATH IFETCH



PROCESSADOR myRISCVv1

DATAPATH IFETCH



```
-- Instruction Fetch (IF)
-- myRISCVv1
--
-- Prof. Max Santana (2025)
-- CECComp/Univasf
```

```
library ieee;
use ieee.std_logic_1164.all;

entity ifetch is
  port(
    clk    : in std_logic;
    rst    : in std_logic;
    PCSrc  : in std_logic;
    imm    : in std_logic_vector(31 downto 0);
    PCCurt : out std_logic_vector(31 downto 0);
  );
end ifetch;
```

-- Source PC

-- Current PC

