Національний технічний університет України

«Київський політехнічний інститут імені Ігоря Сікорського»

Факультет інформатики та обчислювальної техніки

Кафедра обчислювальної техніки

**Лабораторна робота №5**

з дисципліни «Комп’ютерна схемотехніка»

**Тема: «КОМБІНАЦІЙНІ ПРИСТРОЇ. ТИПОВІ ВУЗЛИ КОМП’ЮТЕРА»**

Виконав:

 студент групи ІО-31

Устимчик П.Я..

Перевірив:

Нікольський С.С.

Київ 2025 р.

**Самостійна робота**

Варіант:

312210 - 110000110010₂, звідси :

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 1 | 1 | 0 | 0 | 1 | 0 |
| h6 | h5 | h4 | h3 | h2 | h1 |

**h2 h1 h4 h3** = 1000



**Шифратором -**  або кодером називається комбінаційний логічний пристрій,

що перетворює вхідний код з десяткової системи числення в двійкову. Входам

шифратора послідовно присвоюються значення десяткових чисел, а активний

логічний рівень сигналу одному з входів сприймається шифратором як подача

відповідного десяткового числа. На виході шифратора формується відповідний

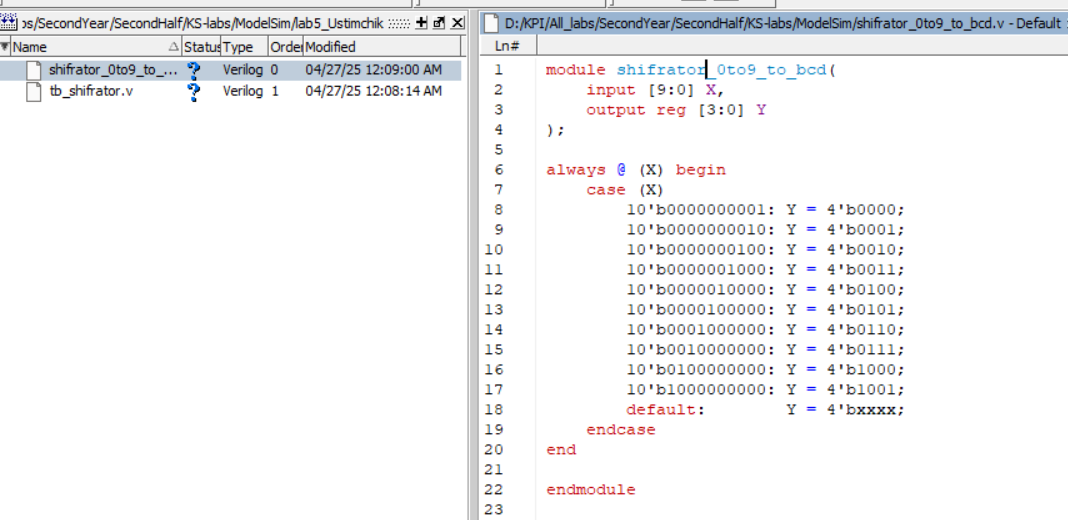
бінарний код. Відповідно, якщо шифратор має n виходів, то кількість вхідних

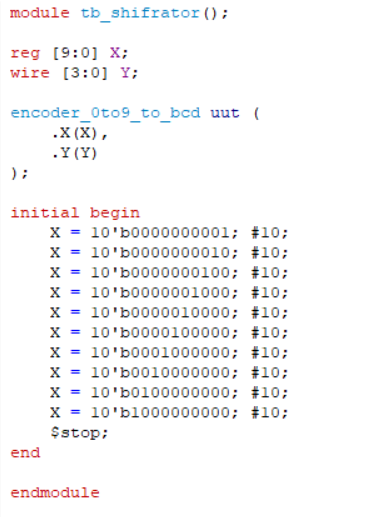
сигналів не повинна перевищувати 2n. Шифратор, який має 2n входів і n виходів називається повним. Якщо кількість входів шифратора менша за 2n, він

називається неповним.

*Створюємо новий проект, створюємо файли на мові Verilog та створюємо код*

*шифратора :*





У представленому коді є:

- вхідна шина X[9:0], яка представляє унітарний код для цифр від 0 до 9,

- вихідна шина Y[3:0], яка кодує активний вхід у двійково-десятковий код (BCD-8421).

Реалізація виконується через оператор always @ (X) та конструкцію case, де для кожного можливого стану входу X на виході Y формується відповідний 4-бітний код:

- Наприклад, якщо активний лише вхід X[0], то на виході буде код 0000 (число 0),

- Якщо активний X[1] — код 0001 (число 1),

- І так далі до X[9], що відповідає коду 1001 (число 9).

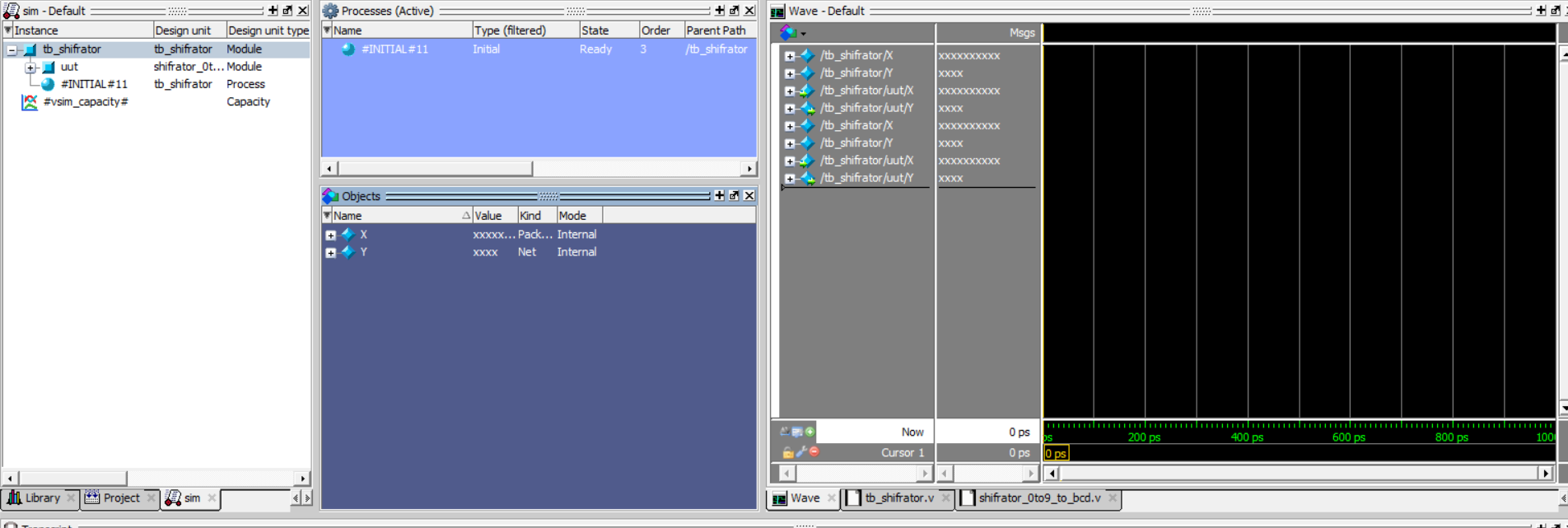
Також передбачено обробку помилкового стану через default, де вихід Y набуває невизначеного значення 'xxxx', якщо вхід не відповідає жодному допустимому значенню.У тестовому модулі (tb\_shifrator) здійснюється послідовна активація кожного з вхідних сигналів з затримкою в 10 наносекунд для перевірки правильності формування коду на виході.

*Тепер компілюємо проект:*

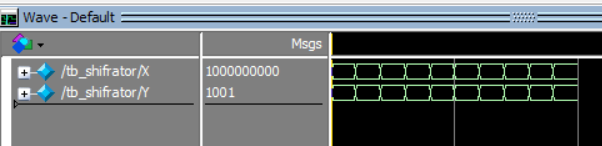


Компіляція пройшла успішно і статус файлів змінився.

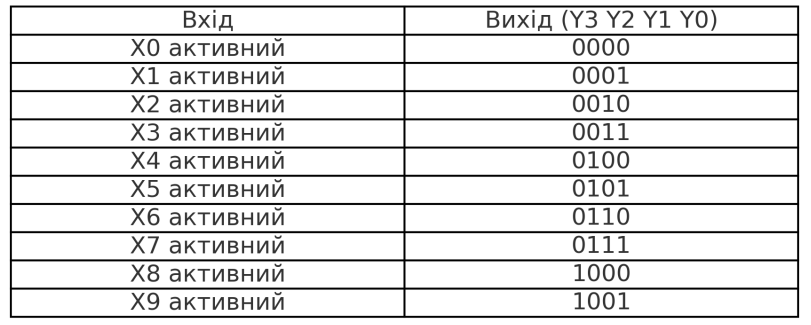
Тепер переходимо у режим моделювання і додаємо вхідні та вихідні сигнали в діаграму і подаємо їх із тестбенча:



Тепер запускаємо симуляцію і отримуємо отаку часову діаграму:



Бачимо, що в залежності від активного вхідного сигналу X, шифратор формує на виході Y відповідний двійково-десятковий код (BCD).  
При активному вхідному сигналі X0 на виході Y = 0000, при активному X1 на виході Y = 0001, і так далі до X9, коли вихід Y = 1001.  
Результати часової діаграми відповідають таблиці істинності для шифратора з перетворенням чисел від 0 до 9 у двійково-десятковий код.



**Висновок:**

У ході виконання роботи було розроблено та змодельовано шифратор, який перетворює унітарний вхідний код у двійково-десятковий код (BCD).  
Проведено симуляцію роботи пристрою у середовищі ModelSim, побудовано часові діаграми сигналів.  
За результатами симуляції встановлено, що вихідний код відповідає таблиці істинності шифратора для всіх вхідних комбінацій.  
Отже, поставлене завдання виконано успішно, схема шифратора працює коректно.

**Посилання на git\_hub :**