

Lab01实验报告

FPGA 基础实验：LED Flow Water Light

- 一、实验目的
- 二、实现步骤
 - 1. flowing_light.v(部分)
 - 2. 仿真激励文件 flowing_light_tb.v(部分)
 - 3. 仿真结果
- 三、总结与心得体会
 - 1. 总结
 - 2. 心得体会

Lab01实验报告

FPGA 基础实验：LED Flow Water Light

518021910489 陈沛宇

一、实验目的

1. 熟悉 Xilinx 逻辑设计工具 Vivado 的基本操作。
2. 掌握使用 VerilogHDL 进行简单的逻辑设计。
3. 使用功能仿真。

二、实现步骤

1. flowing_light.v(部分)

```
reg [23:0] cnt_reg;
reg [7:0] light_reg;
always @ (posedge clock)
begin
    if (reset)
        cnt_reg <= 0;
    else
        cnt_reg <= cnt_reg+1;
    end
always @ (posedge clock)
begin
    if (reset)
        light_reg <= 8'h01;
    else if (cnt_reg == 24'hffffff)
        begin
            if (light_reg == 8'h80)
                light_reg <= 8'h01;
            else
                light_reg <= light_reg<<1;
            end
        end
    end
assign led=light_reg;
```

输出信号：**led**

输入信号：**clock**和**reset**

reset为1时，初始化**cnt_reg**为0，初始化输出信号，否则**cnt_reg**自增，且自增到24位全为1时输出信号左移一位，表现为led灯暗亮切换。

2.仿真激励文件 **flowing_light_tb.v**(部分)

```
reg clock;
reg reset;
wire [7:0] led;

flowing_light u0(
    .clock(clock),
    .reset(reset),
    .led(led));
parameter PERIOD= 10;

always #(PERIOD*2) clock = !clock;
initial begin
    clock=1'b0;
    reset=1'b0;
    #(PERIOD*2) reset = 1'b1;
    #(PERIOD*4) reset = 1'b0;

    //580; reset=1'b1;
end
```

仿真测试中发现与实验指导书上的结果有差异，经过对代码的理解和调试，发现与**PERIOD**初始值大小与**PERIOD**所乘倍数有关，修改后可以得到不同的仿真输出结果。

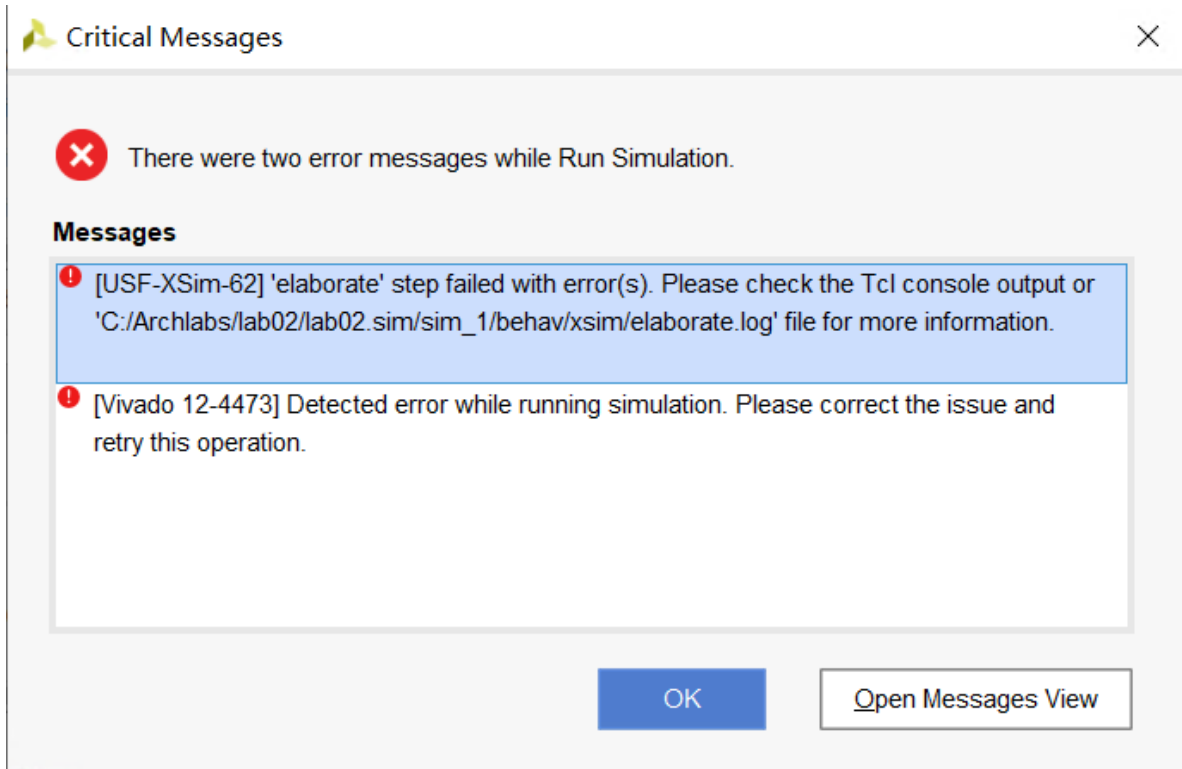
```
parameter PERIOD= 10;
#(PERIOD*2) reset = 1'b1;
#(PERIOD*4) reset = 1'b0;
```

3.仿真结果

仿真波形图：


```
module flowing_light(  
    input clock,  
    input reset,  
    output [7:0] led  
);  
  
    //my code  
  
endmodule
```

2. 如果遇到如下报错，提供一个可行的解决方案：重建一个项目并细致地设置端口等参数，然后将原项目的代码拷贝到新项目。



2.心得体会

Lab01在做完之后反观其实难度不大，但是在实验过程中我也仍然遇到并解决了很多问题，在本次实验中我初步了解到了Verilog的代码风格，如何进行端口的初始化等。我初步认识到，做系统结构实验需要细致和耐心，才能避免不必要的错误。