

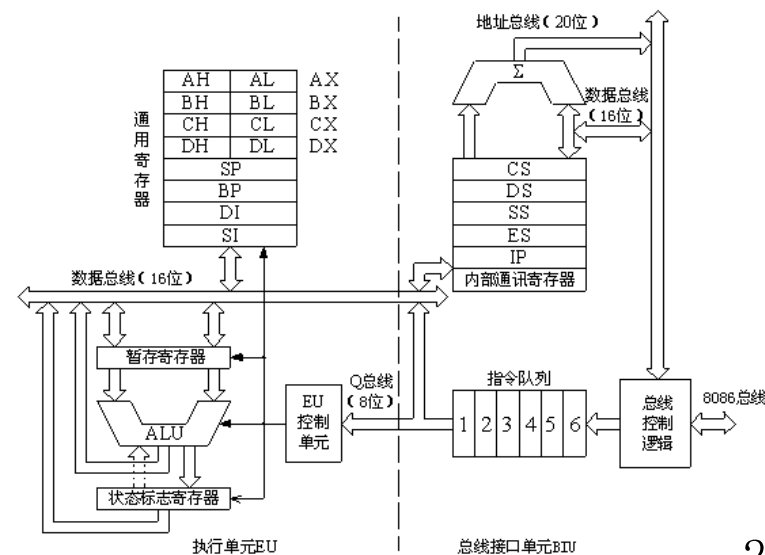
汇编与接口技术

第2章 8086微处理器

1

§ 2.1 8086CPU的编程结构

8086CPU有16根数据线，20根地址线，时钟频率为5MHz。

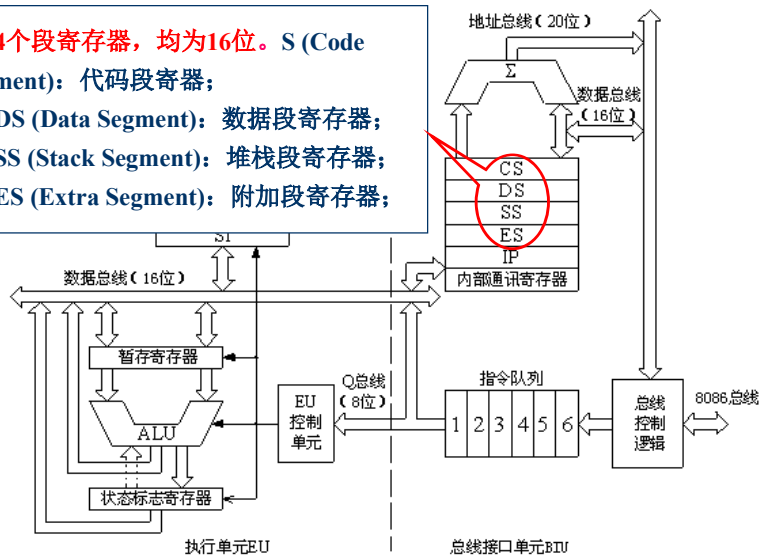


2

§ 2.1 8086CPU的编程结构

8086CPU有16根数据线，20根地址线，时钟频率为5MHz。

4个段寄存器，均为16位。S (Code Segment): 代码段寄存器;
DS (Data Segment): 数据段寄存器;
SS (Stack Segment): 堆栈段寄存器;
ES (Extra Segment): 附加段寄存器;

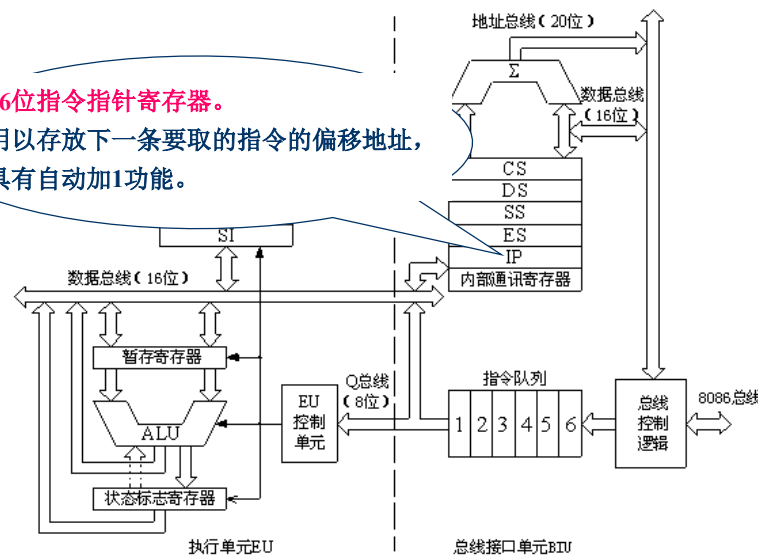


3

§ 2.1 8086CPU的编程结构

8086CPU有16根数据线，20根地址线，时钟频率为5MHz。

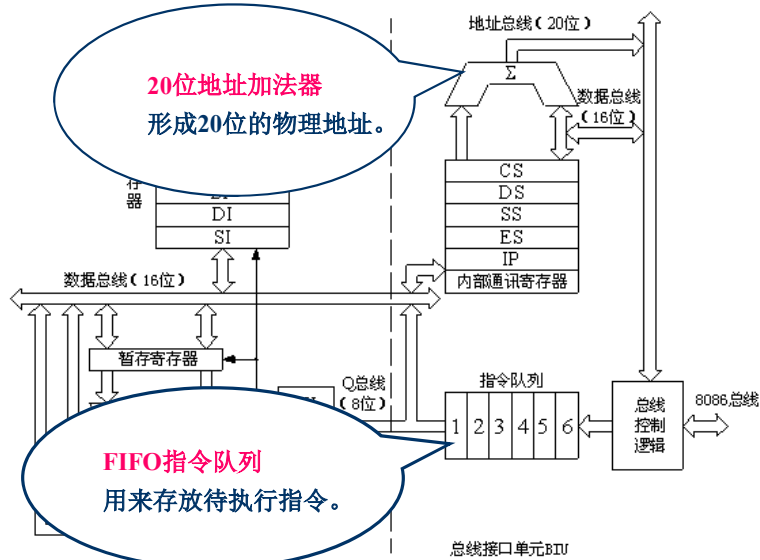
16位指令指针寄存器。
用以存放下一条要取的指令的偏移地址，
具有自动加1功能。



4

§ 2.1 8086CPU的编程结构

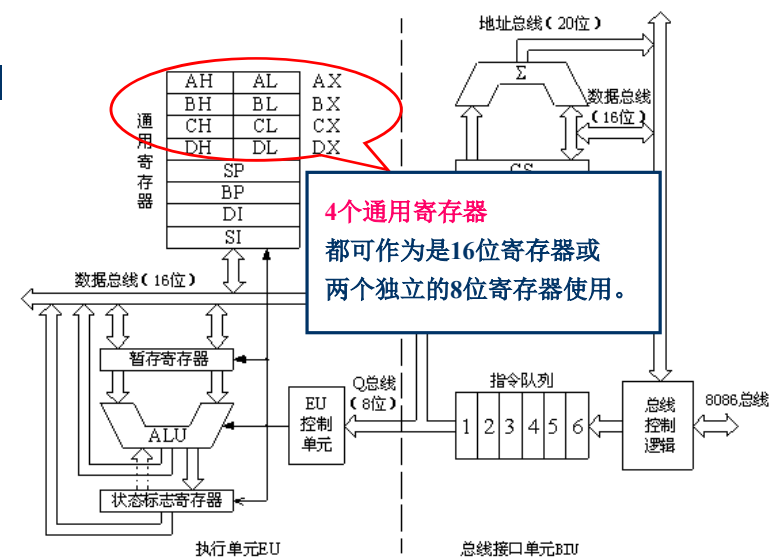
8086CPU有16根数据线，20根地址线，时钟频率为5MHz。



5

§ 2.1 8086CPU的编程结构

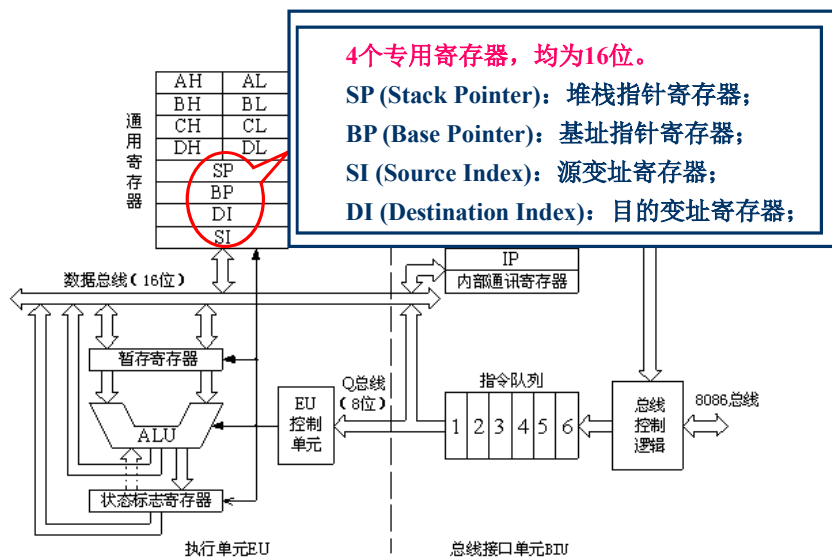
8086CPU有16根数据线，20根地址线，时钟频率为5MHz。



6

§ 2.1 8086CPU的编程结构

8086CPU有16根数据线，20根地址线，时钟频率为5MHz。



7

§ 2.1 8086CPU的编程结构

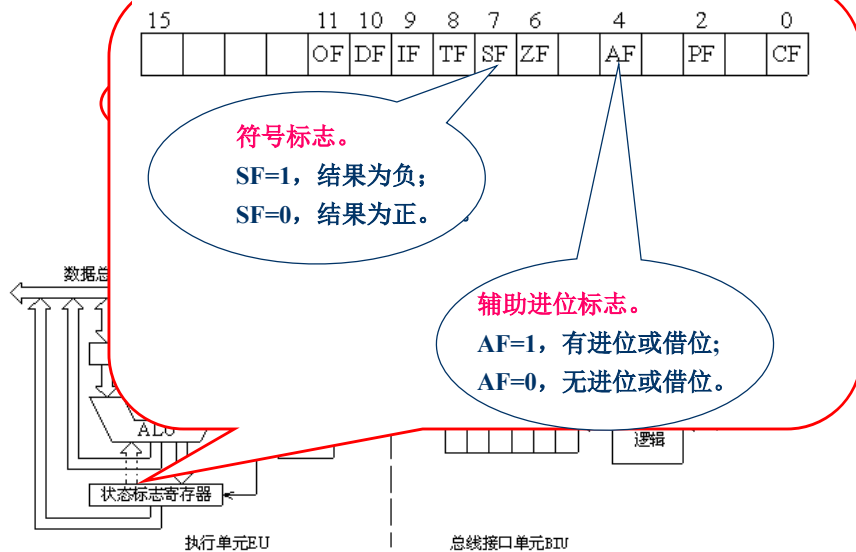
8086CPU有16根数据线，20根地址线，时钟频率为5MHz。



8

§ 2.1 8086CPU的编程结构

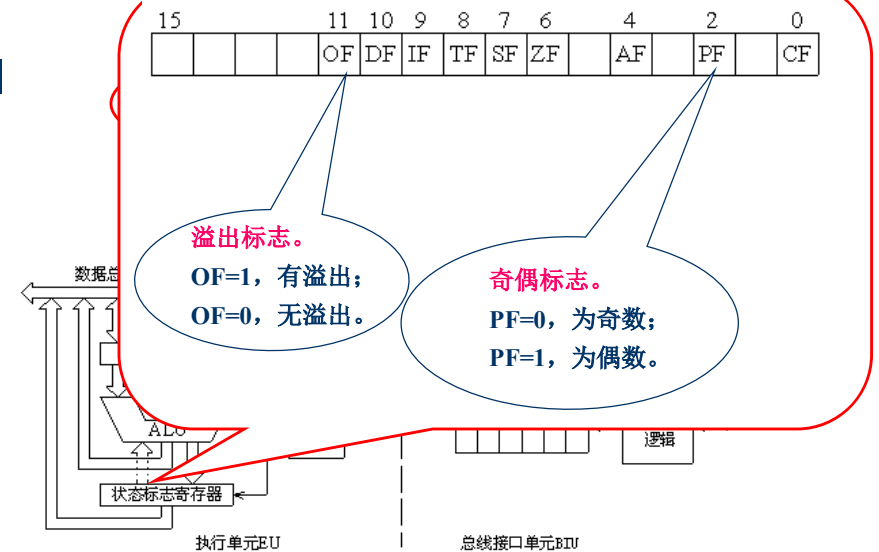
8086CPU有16根数据线，20根地址线，时钟频率为5MHz。



9

§ 2.1 8086CPU的编程结构

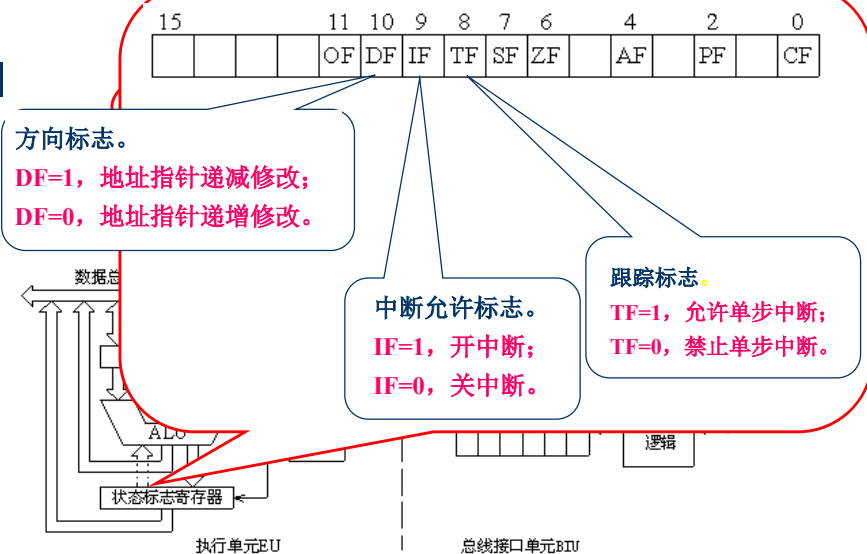
8086CPU有16根数据线，20根地址线，时钟频率为5MHz。



10

§ 2.1 8086CPU的编程结构

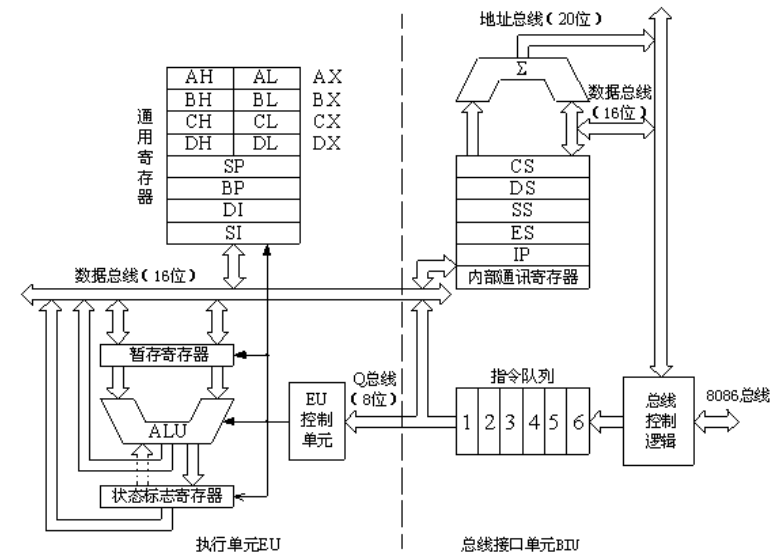
8086CPU有16根数据线，20根地址线，时钟频率为5MHz。



11

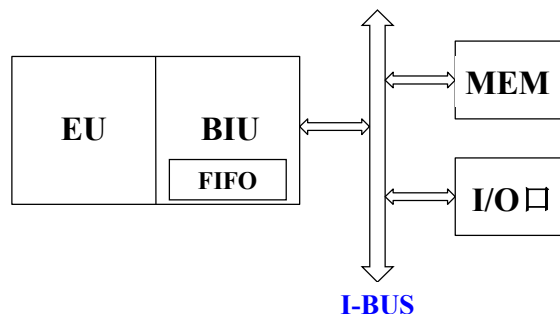
§ 2.1 8086CPU的编程结构

8086CPU有16根数据线，20根地址线，时钟频率为5MHz。



12

■ BIU与EU的动作管理



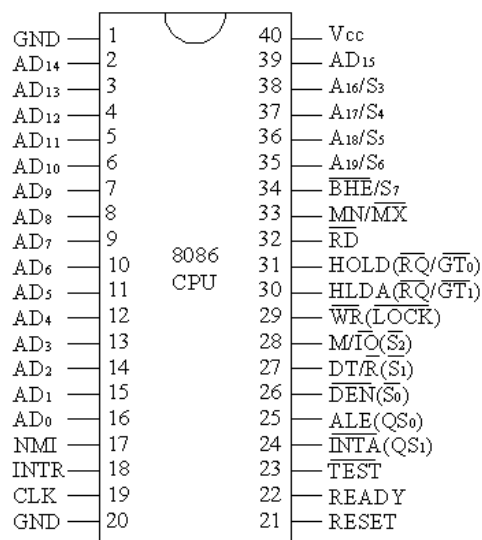
➤ BIU与EU工作是并行的，又是相互配合的，具体体现在：

1. 当指令队列中有2个空字节时，BIU就启动，将新指令送入指令队列。
2. EU在执行指令过程中，需要访问存储器或I/O口时，向BIU发出请求。
3. 当执行转移指令、调用指令及返回指令时，指令队列自动清空。

13

二、8086CPU的引脚功能

8086微处理器采用40脚双列直插式（DIP40）的封装形式。



15

§ 2.2 8086CPU的工作模式与引脚功能

一、8086CPU的工作模式

1. 最小模式：单处理器模式。
2. 最大模式：多处理器模式。

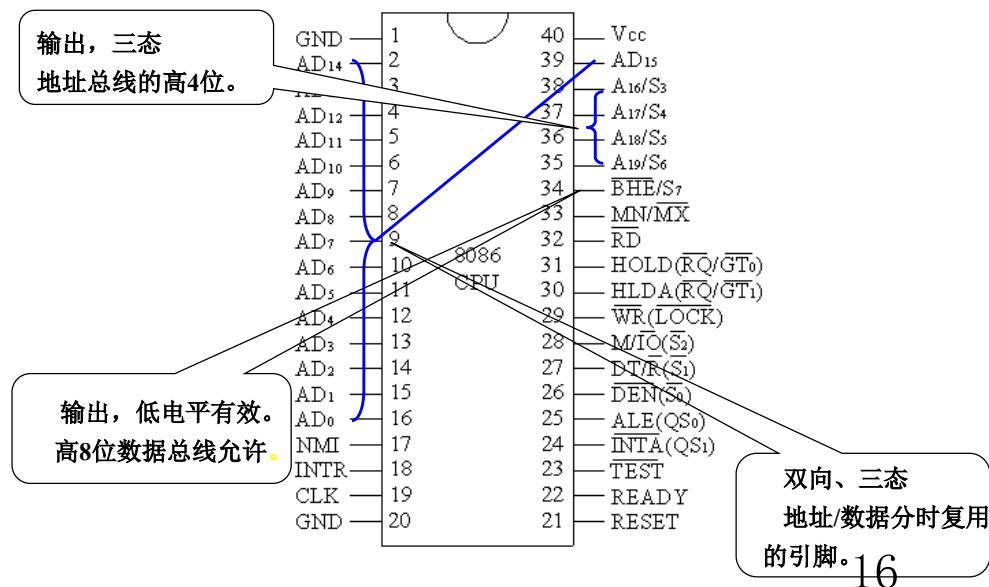
主处理器：8086

协处理器 { 8087, 数值运算的协处理器。
8089, 输入 / 输出协处理器。

14

二、8086CPU的引脚功能

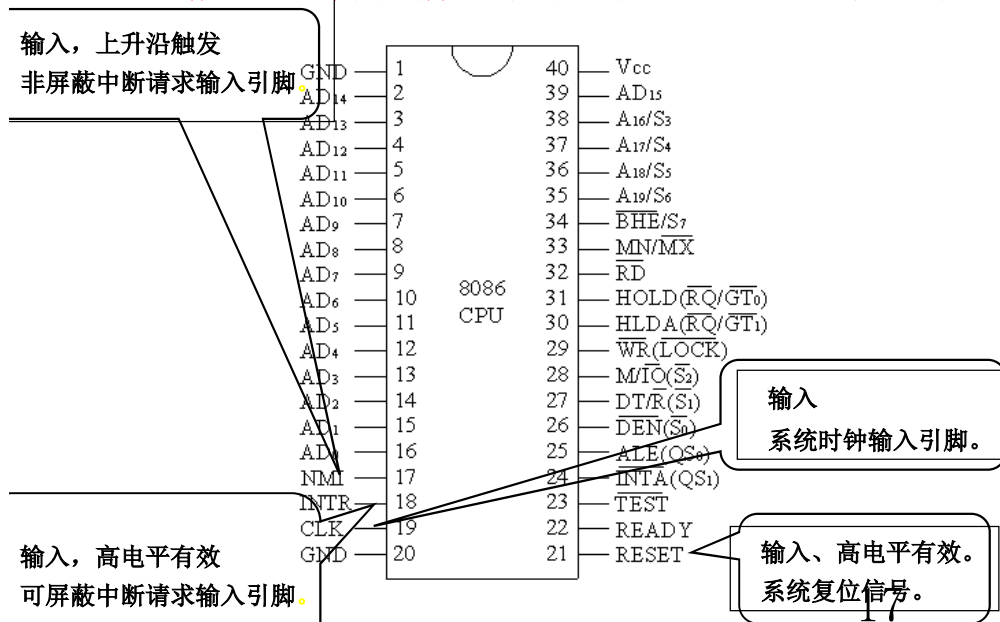
8086微处理器采用40脚双列直插式（DIP40）的封装形式。



16

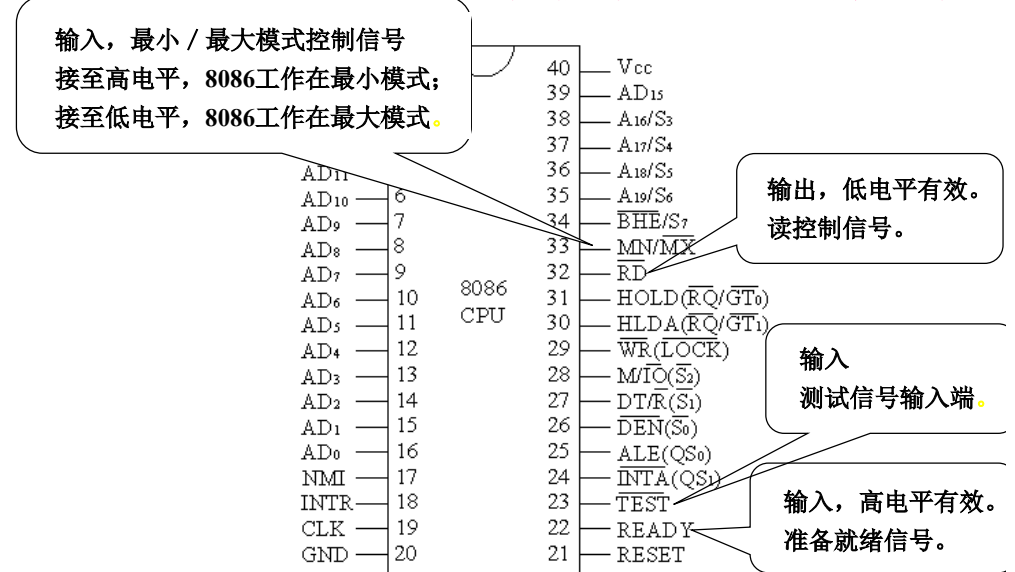
二、8086CPU的引脚功能

8086微处理器采用40脚双列直插式（DIP40）的封装形式。



二、8086CPU的引脚功能

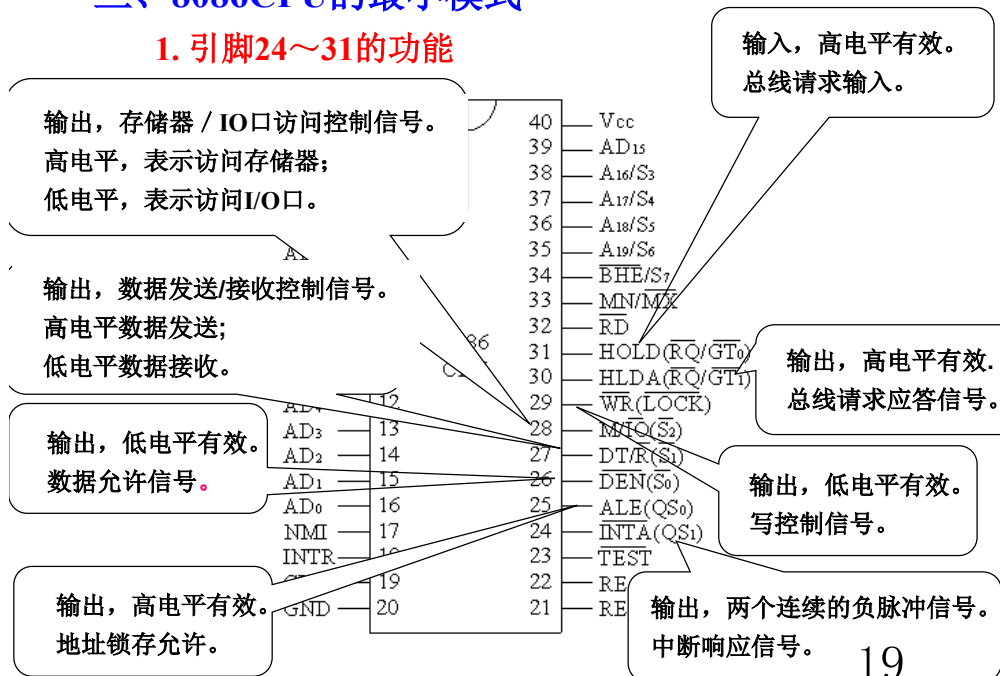
8086微处理器采用40脚双列直插式（DIP40）的封装形式。



18

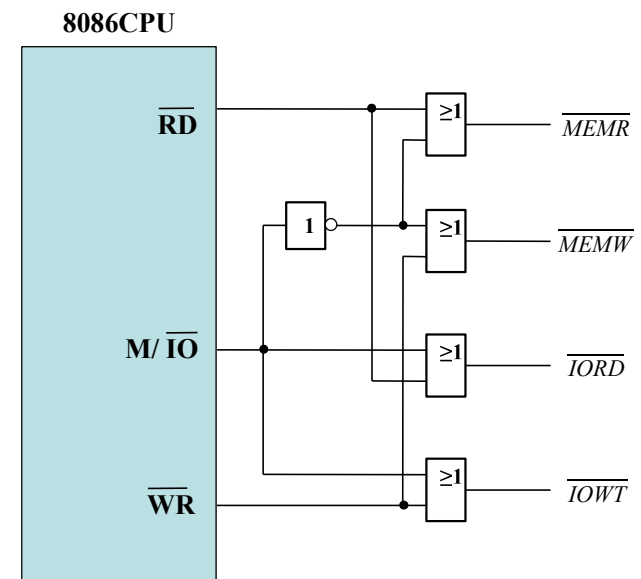
三、8086CPU的最小模式

1. 引脚24~31的功能



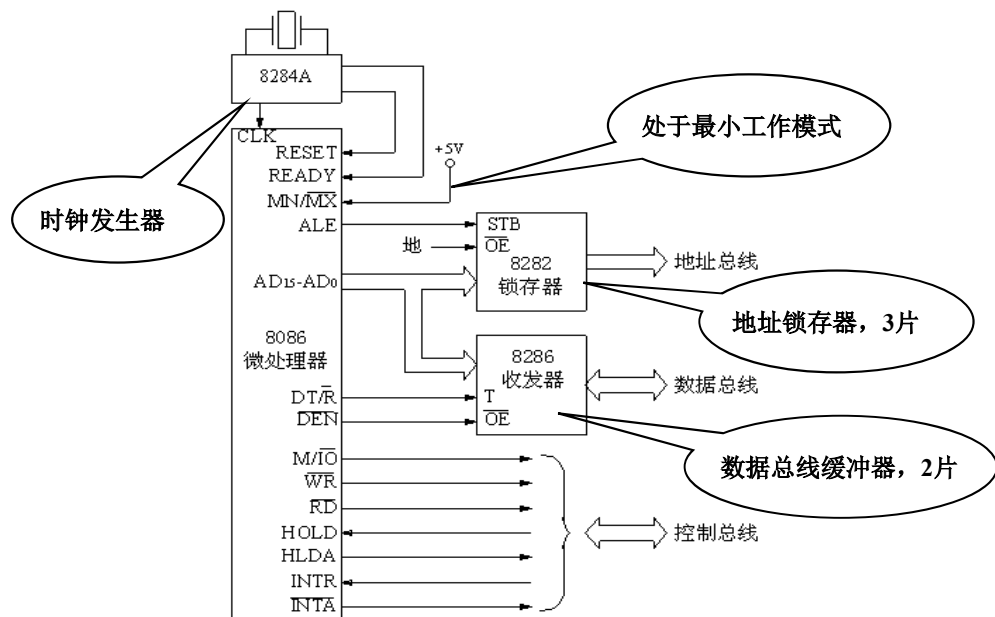
19

■ 存储器和I/O口的读写控制信号形成逻辑



20

2. 8086系统最小模式下的典型配置



21

四、8086CPU的最大模式

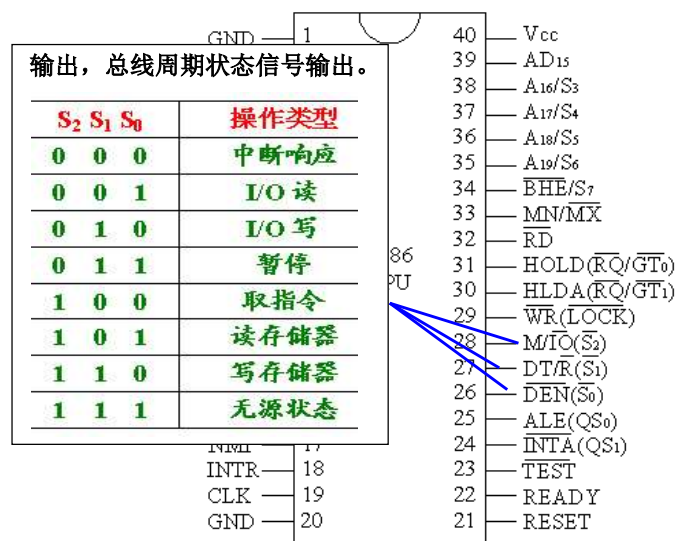
1. 引脚24~31的功能



22

四、8086CPU的最大模式

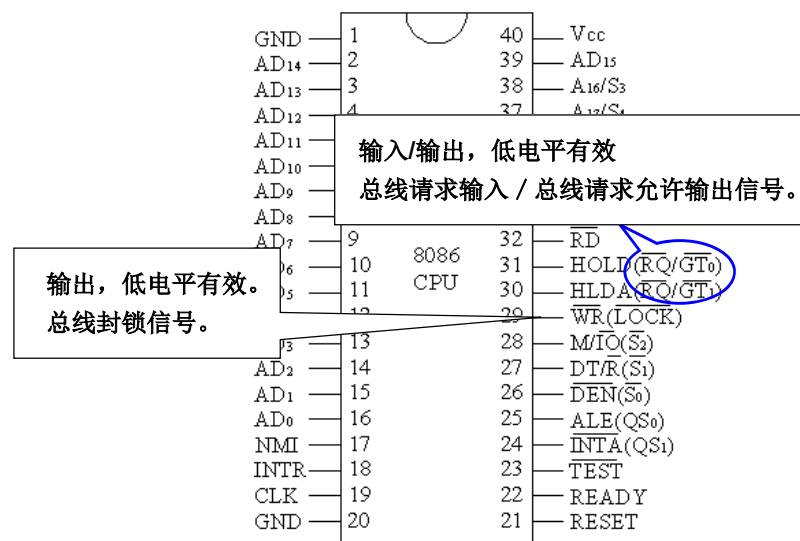
1. 引脚24~31的功能



23

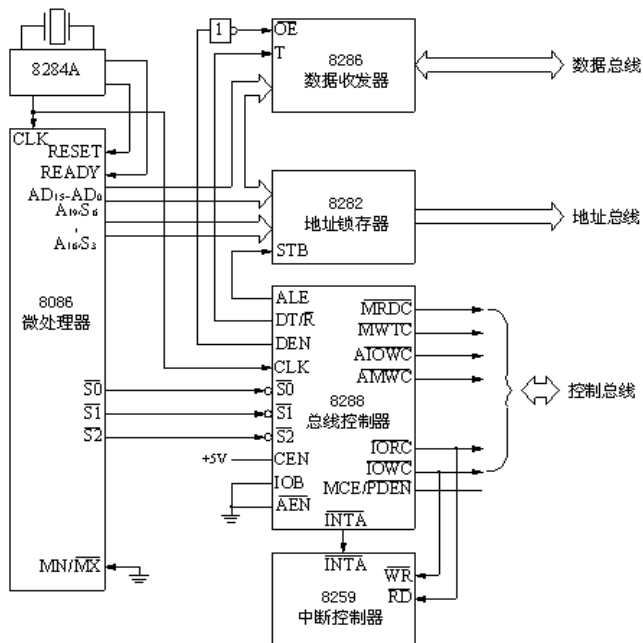
四、8086CPU的最大模式

1. 引脚24~31的功能



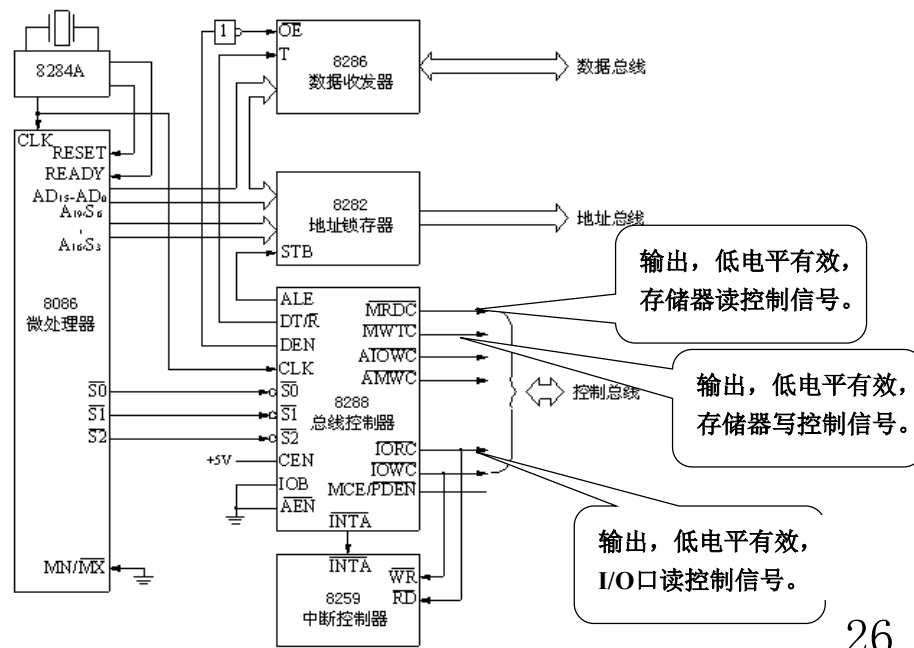
24

2. 8086系统最大模式下的典型配置



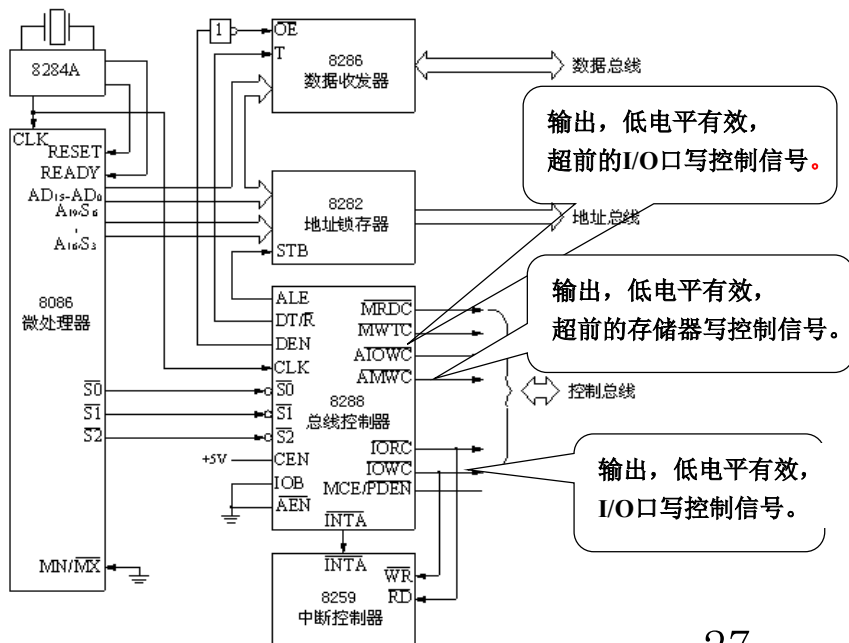
25

2. 8086系统最大模式下的典型配置



26

2. 8086系统最大模式下的典型配置



27

§ 2.3 8086CPU的操作和时序

一、基本概念

1. 机器周期

也称为**时钟周期**，是CPU的时间基准，由计算机的主频决定。

2. 指令周期

CPU**执行一条指令**所需要的时间称为指令周期，不同指令的指令周期是不等长的。**以机器周期为单位**。

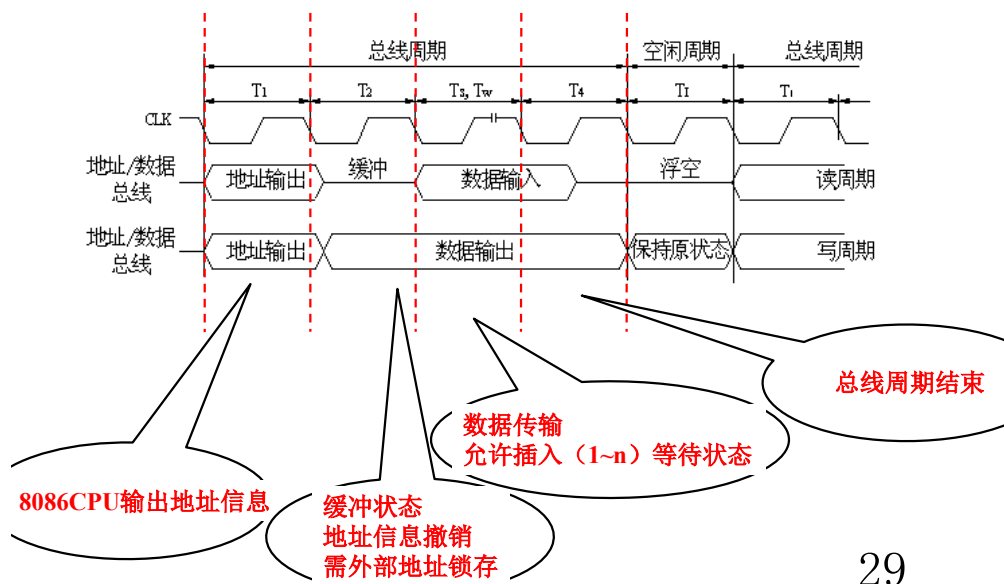
3. 总线周期

CPU通过**总线访问存储器或I/O端口**所需的基本时间周期。**以机器周期为单位**。

28

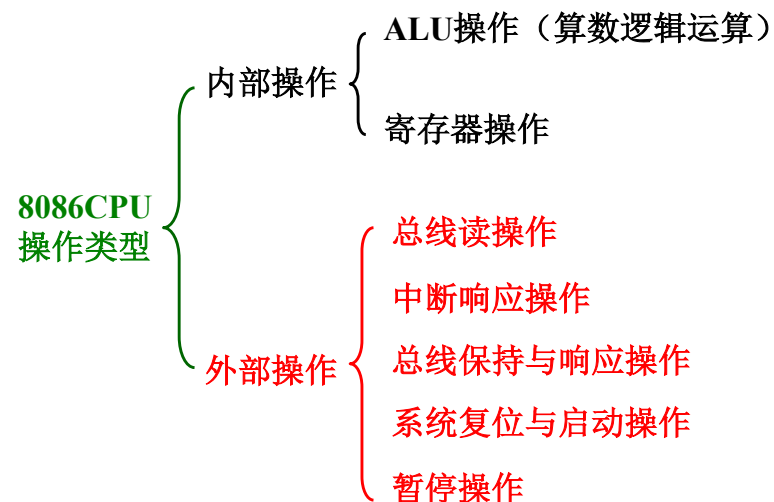
■ 8086的总线周期

8086CPU的总线周期包括4个基本的机器周期，称为4个T状态。



29

二、8086CPU的操作类型

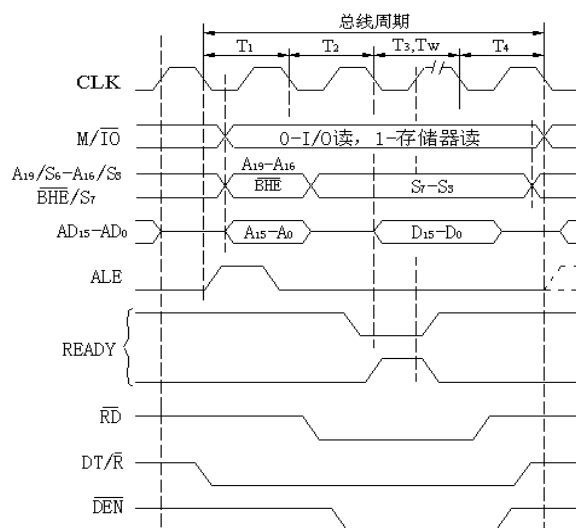


30

三、8086CPU的操作时序

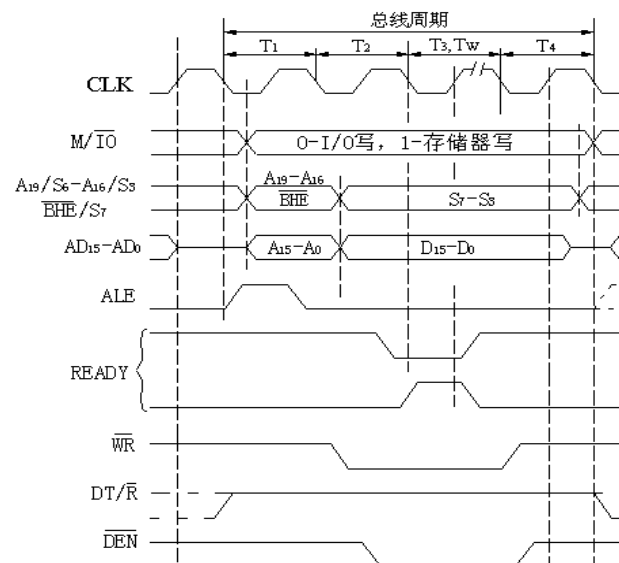
1. 总线操作

①最小模式下的总线读操作



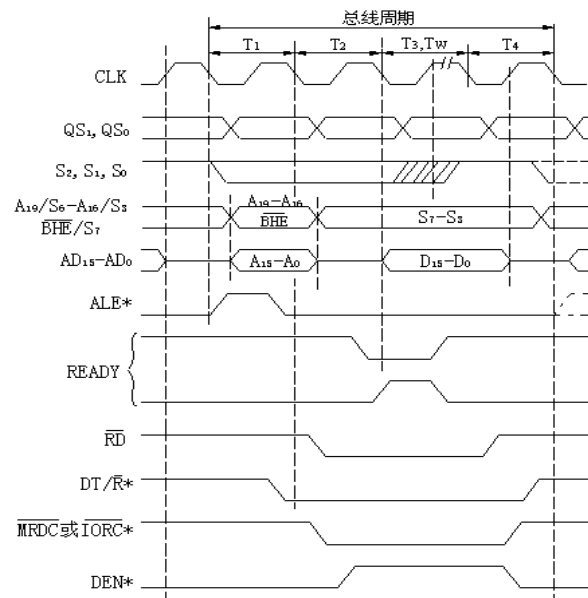
31

②最小模式下的总线写操作



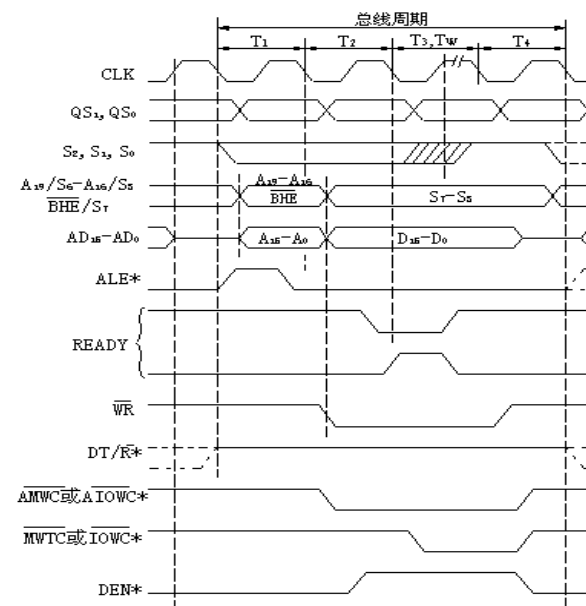
32

③最大模式下的总线读操作



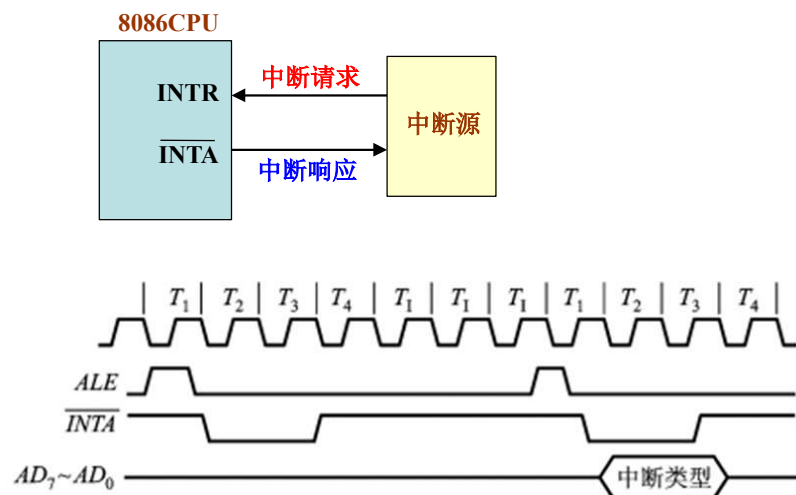
33

④最大模式下的总线写操作



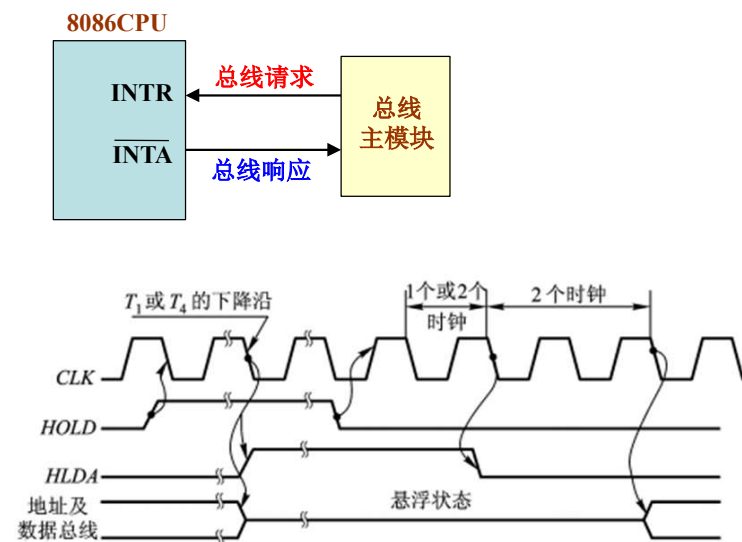
34

2. 中断响应操作



35

3. 总线保持与响应操作



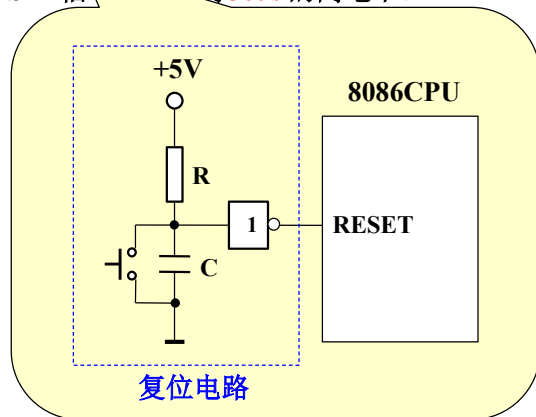
36

4. 复位和启动操作

① 8086的复位和启动操作是由**RESET复位信号**引起的。

➤正常复位，RESET信号至少维持**4个时钟周期**的高电平。

➤上电复位，RESET信号至少维持**50us**的高电平。



37

4. 复位和启动操作

① 8086的复位和启动操作是由**RESET复位信号**引起的。

➤正常复位，RESET信号至少维持**4个时钟周期**的高电平。

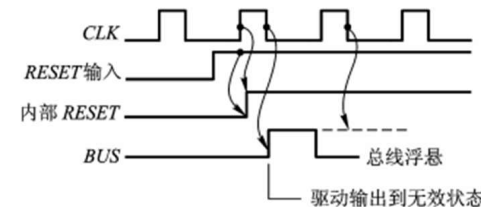
➤上电复位，RESET信号至少维持**50us**的高电平。

②复位后，**CS=FFFFH**、其他寄存器均**清0**。

➤复位后，由于CS=FFFFH、IP=0000H，系统启动后将从 开始执行程序。

➤复位后，标志寄存器F被清零，其中的中断允许标志**IF也清零**，系统**关中断**。

③复位信号RESET撤消后，再经过**7个时钟周期**，CPU才启动。

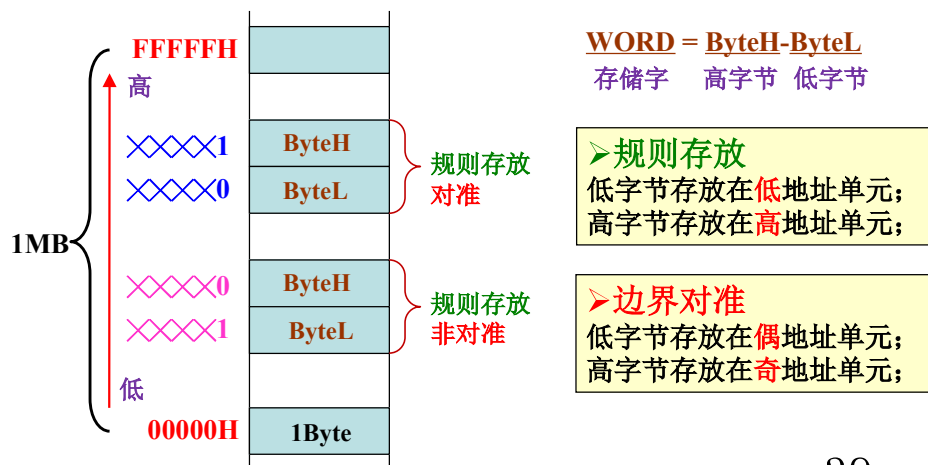


38

§ 2.4 8086系统的存储器组织

一、8086系统存储器组织的基本原则

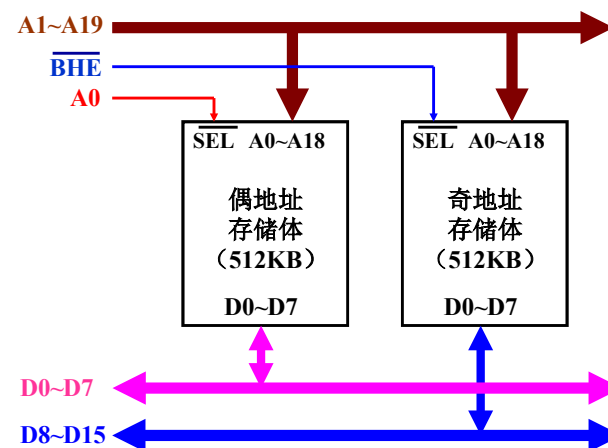
1. 8086有20条地址线，最大寻址空间为 $2^{20}=1\text{MB}$ ；
2. 存储单元按**字节**组织，地址范围**00000H~FFFFFH**；
3. 存储字（两个字节）采用**边界对准**的规则存放方式；



39

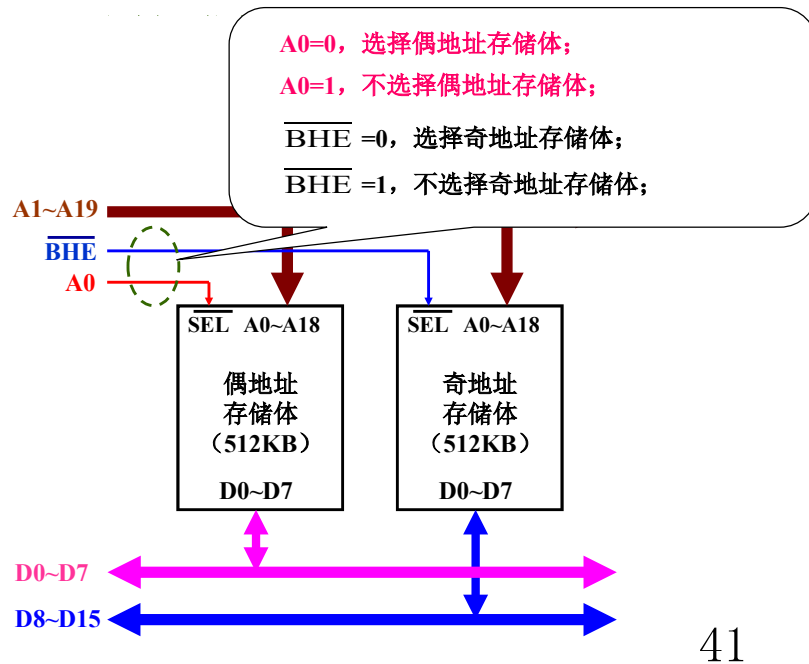
二、8086存储系统的构建

8086CPU通过低8位数据总线访问**偶地址**存储单元或**I/O口**；
通过高8位数据总线访问**奇地址**存储单元或**I/O口**。



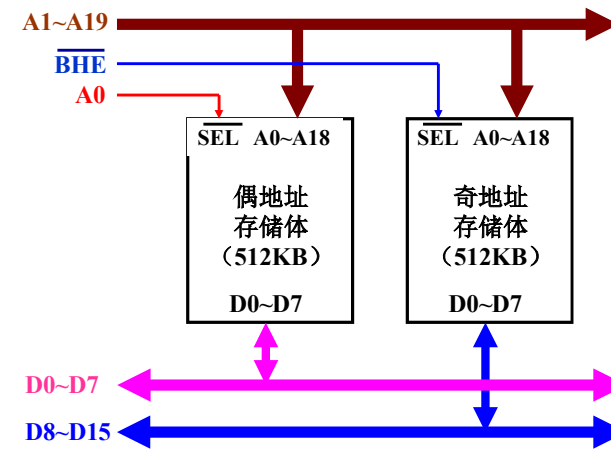
40

二、8086存储系统的构建



\overline{BHE}	A0	操作形式	所用数据线
0	0	从偶地址单元开始读/写一个字 (两个字节)	D0~D15
1	0	从偶地址单元读/写一个字节	D0~D7
0	1	从奇地址单元读/写一个字节	D8~D15
		从奇地址单元开始读/写一个字 (两个字节)	
0	1	从奇地址单元读/写一个字节	D8~D15
1	0	从偶地址单元读/写一个字节	D0~D7

从偶地址单元开始读/写一个字, 需要一个总线周期;
 从奇地址单元开始读/写一个字, 需要两个总线周期。



三、8086系统的存储器管理

1. 分段管理

- ① 将1MB内存空间分为若干段, 每段最大可为64KB。
- ② 每个段起始地址 (段的基址) 存放在段寄存器中, CS、DS、SS、ES。
- ③ 段与段之间可以是连续的、断开的、部分重叠或全部重叠的。

2. 实际地址的形成

- ① 实际地址: 物理地址, 即存储单元的真正地址, 20位。
- ② 逻辑地址: 程序设计采用的地址, 包括段地址和偏移量 (均为16位)
表示为 段地址:偏移量; 例如 2500H:5000H, CS:IP。

实际地址 = 段的基址左移4位 (乘16) + 偏移量

➤访问存储器的类型不同，逻辑地址的来源也不相同

访存类型	隐含的段地址	可替换的段地址	偏移量
取指令	CS	——	IP
堆栈操作	SS	——	SP
访问数据单元	DS	CS、ES、SS	EA
字符串（源）	DS	CS、ES、SS	SI
字符串（目的）	ES	——	DI

3. 分段管理的意义

①减少指令长度，缩短指令执行时间。

②便于程序浮动装配。