

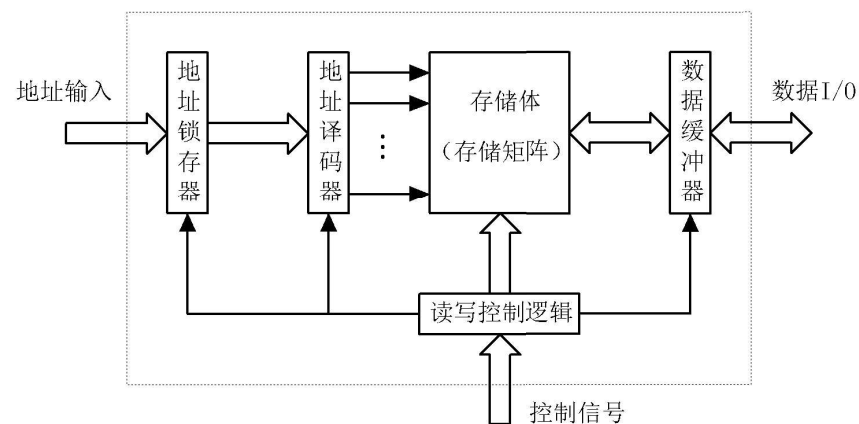
汇编与接口技术

第4章 存储器扩展

1

§ 4.1 半导体存储器的基本知识

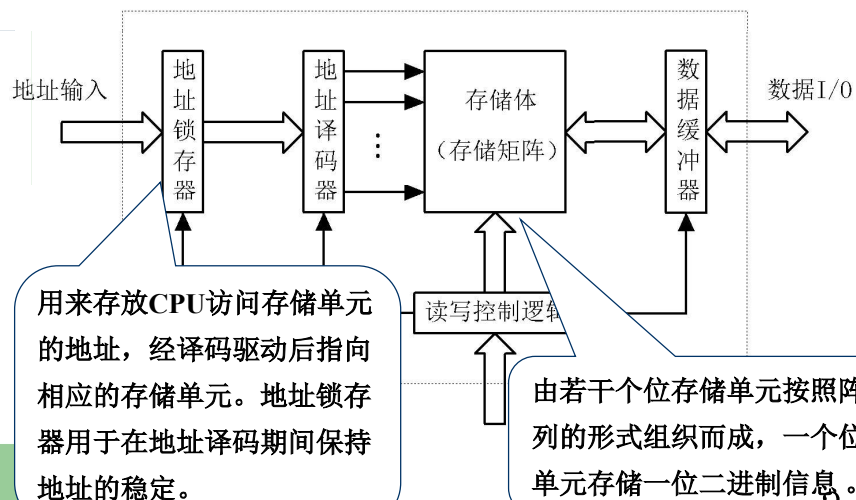
一、半导体存储器的基本结构



2

§ 4.1 半导体存储器的基本知识

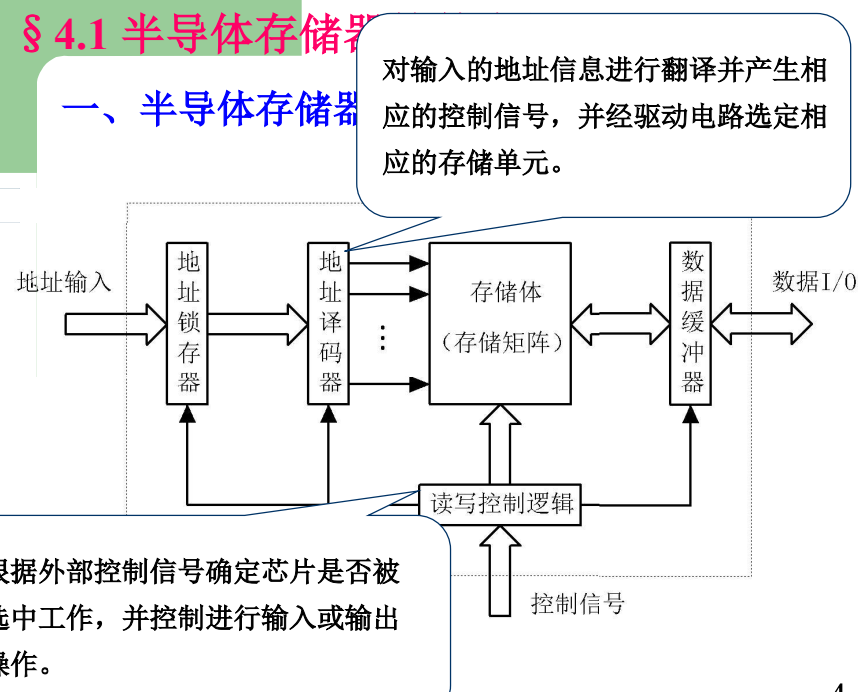
一、半导体存储器的基本结构



3

§ 4.1 半导体存储器的基本知识

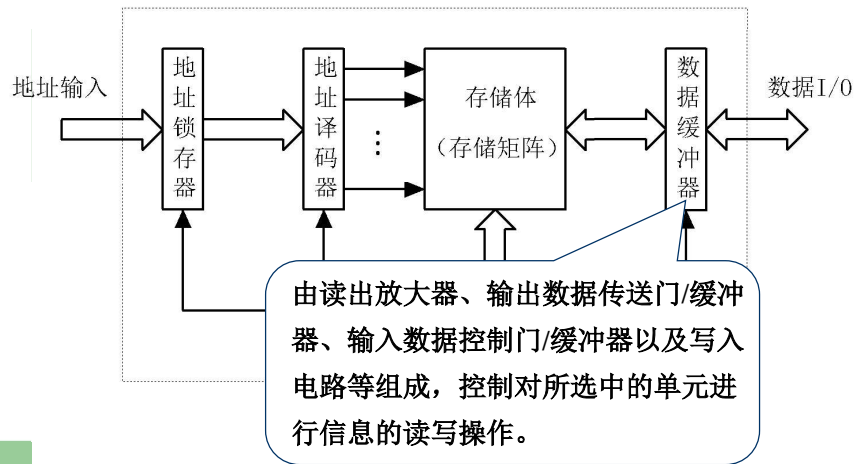
一、半导体存储器的基本结构



4

§ 4.1 半导体存储器的基本知识

一、半导体存储器的基本结构



5

二、半导体存储器的主要性能指标

1. 存储容量

指存储器可以容纳的二进制信息量，它与存储器的字长和地址编码长度直接相关。

2. 存取速度

(1) 存取时间TA (Access Time)

指从CPU给出有效的存储地址启动一次存储器读/写操作开始，到操作完成所经历的时间。

(2) 存取周期TMC (Memory Cycle)

指连续两次存储器读/写操作之间所需的最小时间间隔。

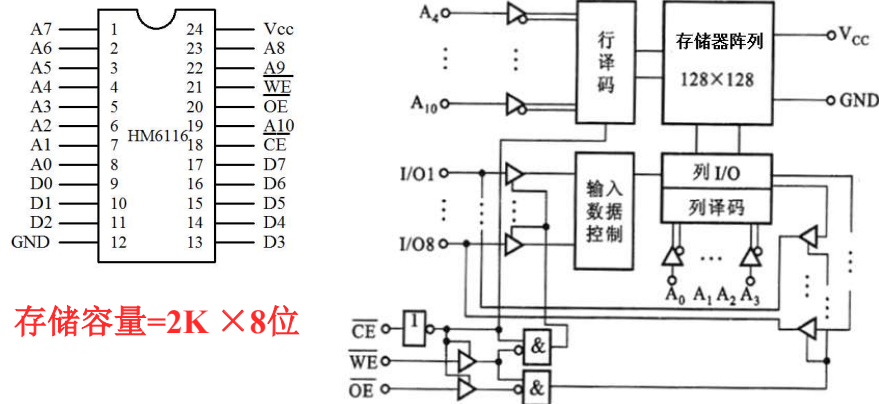
3. 可靠性

用MTBF (Mean Time Between Failures)，即平均故障间隔时间来衡量。

6

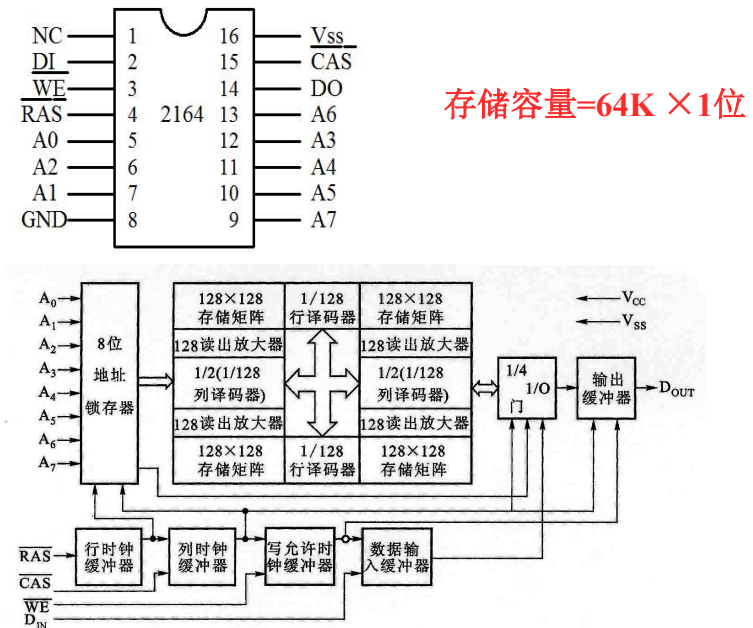
三、常用半导体存储器芯片简介

1. SRAM芯片



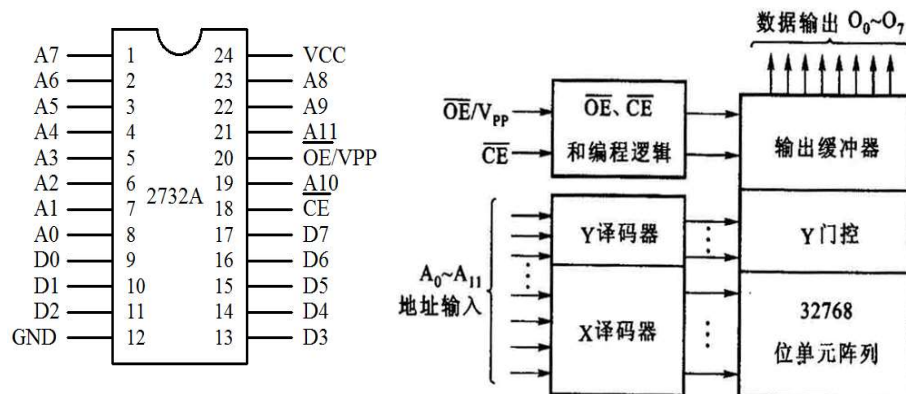
7

2. DRAM芯片



8

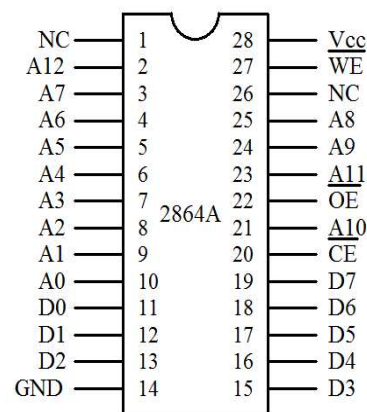
3. EPROM芯片



存储容量=4K × 8位

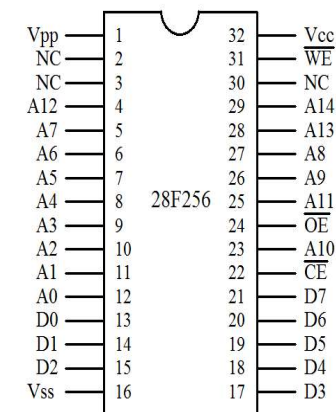
9

4. EEPROM芯片



存储容量=8K × 8位

5. Flash Memory芯片



存储容量=32K × 8位

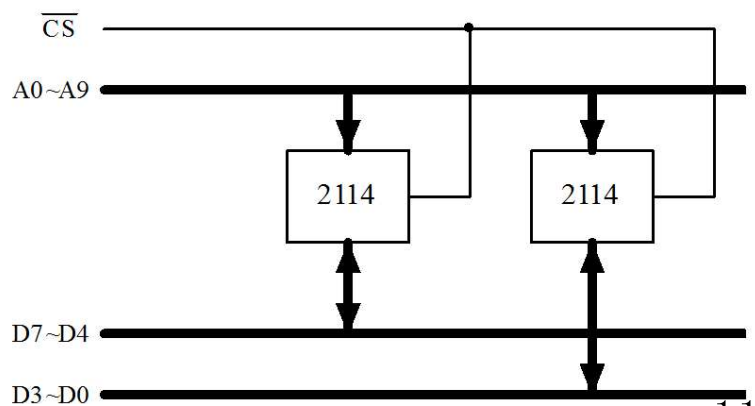
10

§ 4.2 存储容量扩展的基本方式

目的: $mk \times n$ 位/片 $\xrightarrow{\text{扩展}}$ $MK \times N$ 位

一、位扩展

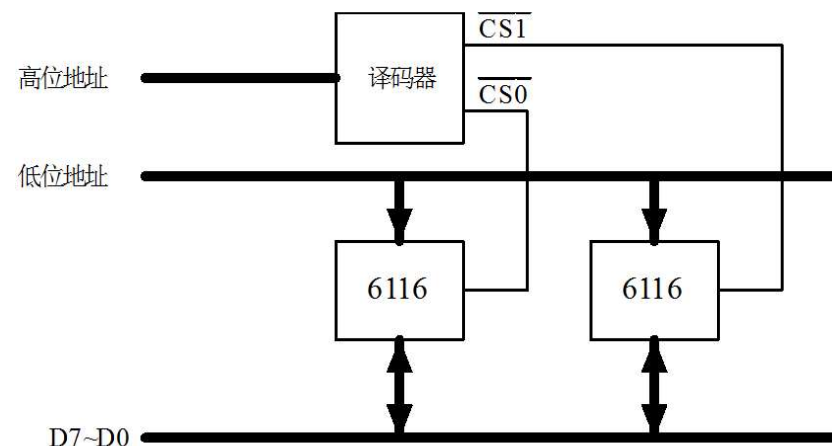
位数扩充, 增加存储字长。 $M=m$, N/n =所需芯片数。



11

二、字扩展

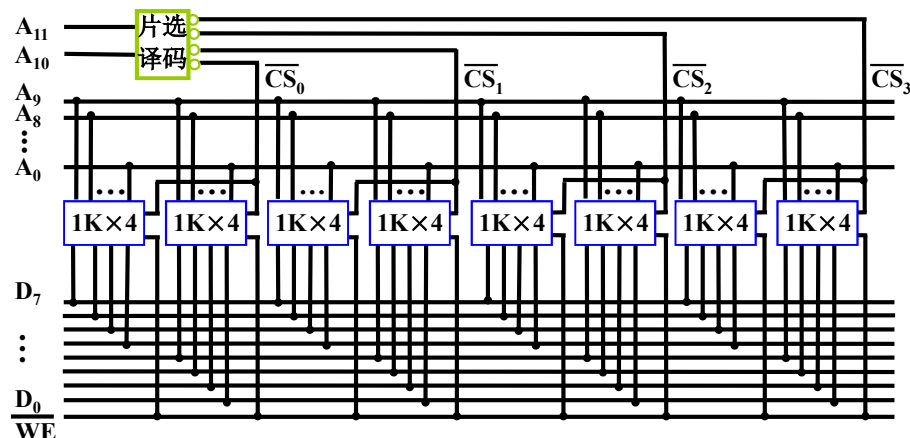
增加存储字数, 即存储单元数。 $N=n$, M/m =所需要片数。



12

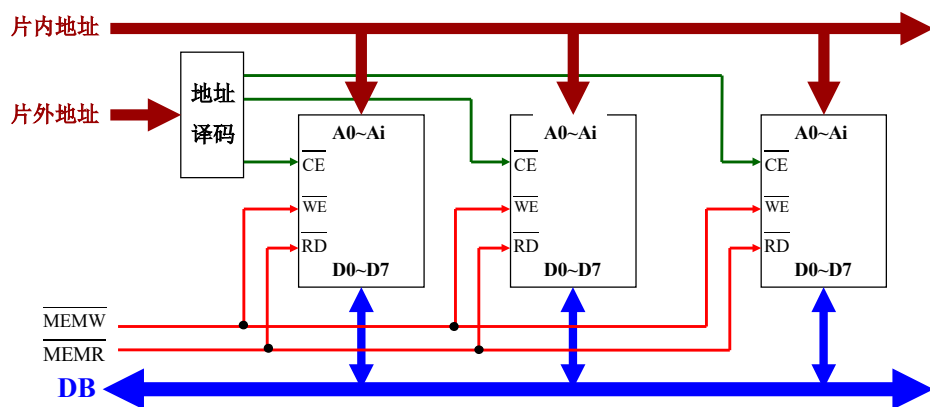
三、字/位同时扩展

$M/m \times N/n = \text{所需芯片数}$ 。



13

■存储器的总线连接



15

§ 4.3 内存芯片与系统总线的连接

1. 数据线的连接

系统数据总线为8位，则需一组8位存储器；
系统数据总线为16位，则需两组8位存储器；
系统数据总线为32位，则需四组8位存储器；
系统数据总线为64位，则需八组8位存储器。

2. 地址线的连接

片外地址
片内地址

3. 控制线的连接

用CPU的存储器读、写信号与存储器芯片的控制信号线连接，以实现存储器正确的读写操作。

14

■实现片选控制的三种方式

1. 全译码

CPU的全部地址线都参予译码，因此对应于存储器芯片中的任意单元都只有唯一的地址。

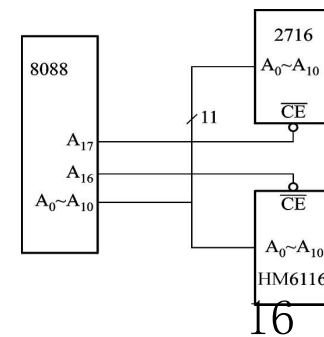
2. 部分译码

CPU的地址线没有全部参予译码，那么一个存储单元的地址不唯一。若有n条地址线未参予译码，则一个存储单元有 2^n 个地址对应，称为“地址重迭”。

3. 线选法（线译码）

用单条地址线选择存储器，不需要地址译码器。

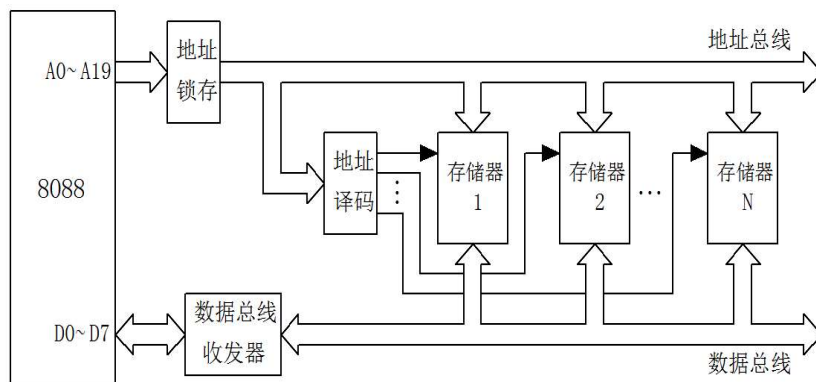
➤ 适用于小容量存储系统。



16

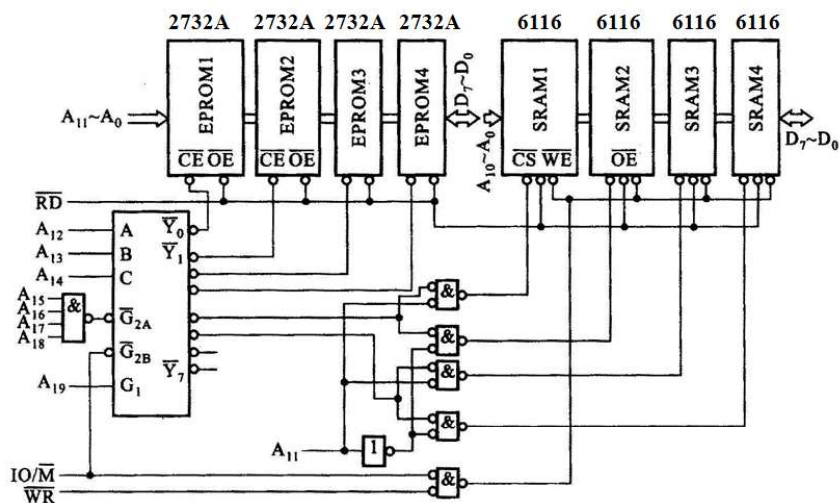
§ 4.4 存储器扩展应用举例

一、8位存储器系统扩展



17

■由4片2732EPROM和4片6116SRAM构成的8位存储器系统

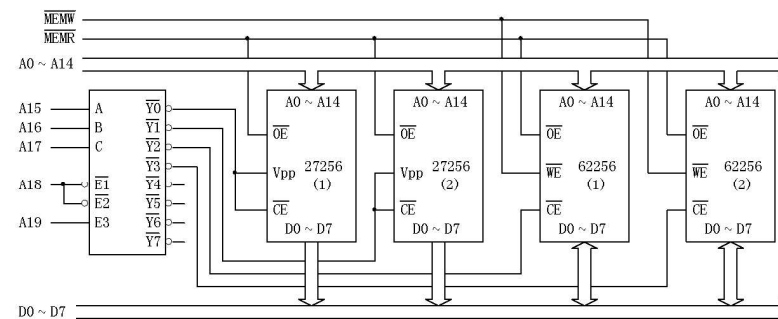


➤采用全译码方式。

➤各存储芯片的地址范围计算详见教材P132。

19

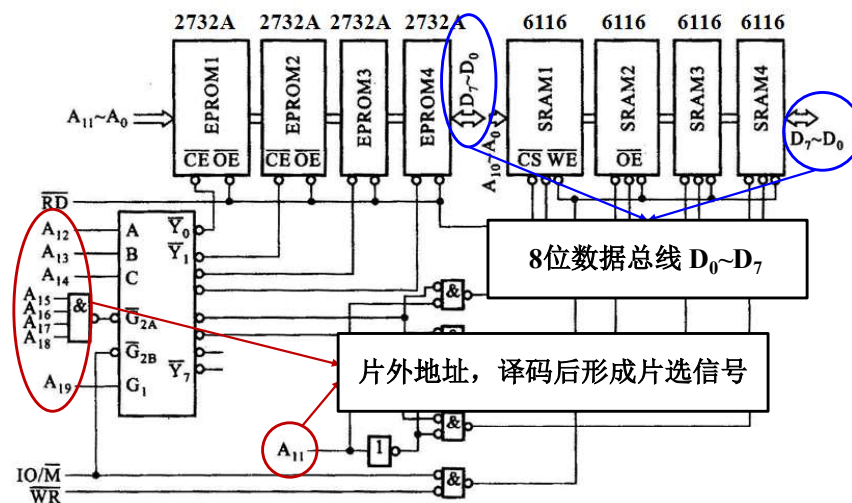
■由两片27256EPROM和两片62256SRAM构成的8位存储器系统



| 存储芯片 | A ₁₉ A ₁₈ | A ₁₇ A ₁₆ A ₁₅ | A ₁₄ ~A ₀ | 地址范围 |
|-----------|---------------------------------|---|---------------------------------|-------------------|
| 27256 (1) | 1 0 | 0 0 0 | 0000 ... 00 ~1111 ... 11 | 80000H ~87FFFH |
| 27256 (2) | 1 0 | 0 0 1 | 0000 ... 00 ~1111 ... 11 | 88000H ~8FFFFH |
| 62256 (1) | 1 0 | 0 1 0 | 0000 ... 00 ~1111 ... 11 | 90000H ~97FFFH |
| 62256 (2) | 1 0 | 0 1 1 | 0000 ... 00 ~1111 ... 11 | 98000H ~9FFFFH |

18

■由4片2732EPROM和4片6116SRAM构成的8位存储器系统

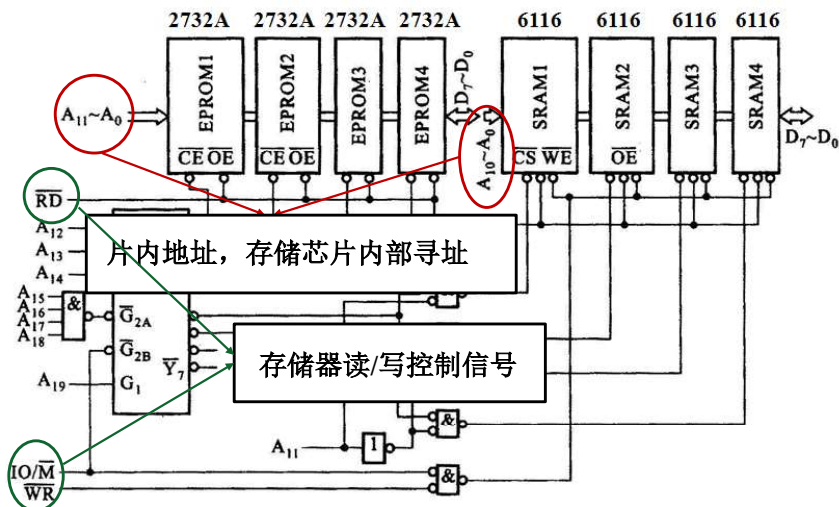


➤采用全译码方式。

➤各存储芯片的地址范围计算详见教材P132。

20

■由4片2732EPROM和4片6116SRAM构成的8位存储器系统

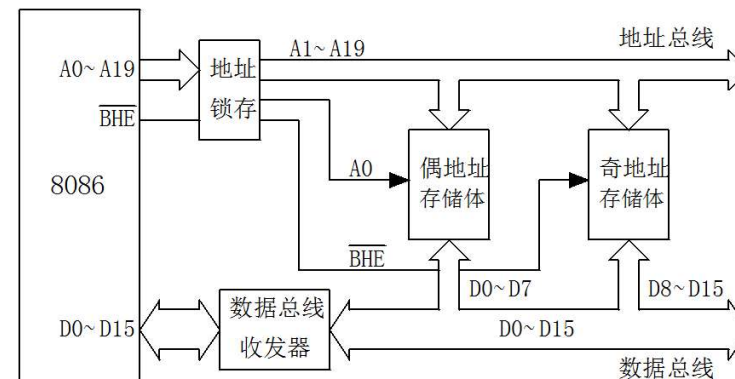


➢采用全译码方式。

➢各存储芯片的地址范围计算详见教材P132。

21

二、16位存储器系统扩展

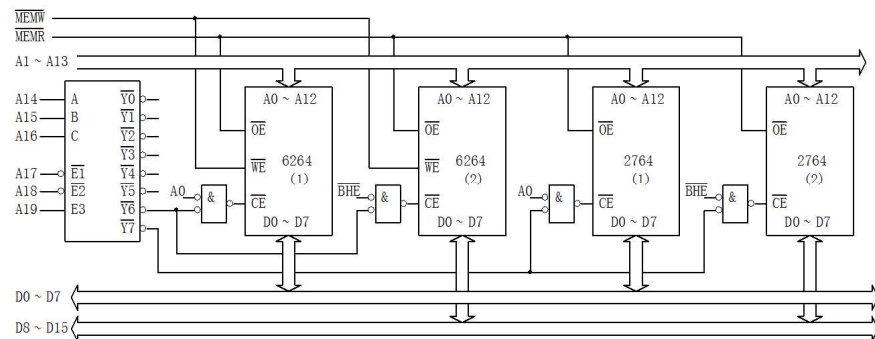


■在16位系统中，内存1MB地址空间分为两部分：

- 偶地址区 — 同CPU低8位数据线相连，由 A_0 作片选，当 $A_0 = 0$ 时选中；
- 奇地址区 — 同CPU高8位数据线相连，由 BHE 片选，当 $BHE = 0$ 时选中；
- 存储芯片 $A_0 \sim A_{18}$ 同CPU $A_1 \sim A_{19}$ 相连。

22

■由两片2764EPROM和两片6264SRAM构成的16位存储器系统

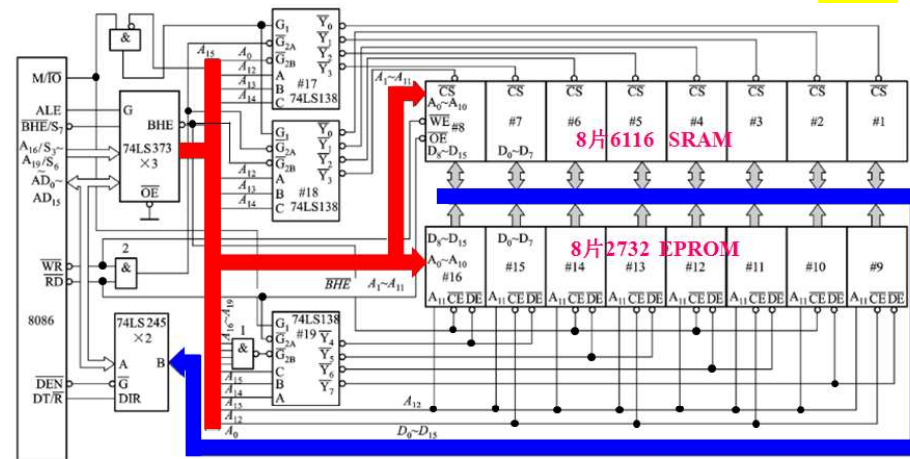


| 存储芯片 | $A_{19}A_{18}A_{17}$ | $A_{16}A_{15}A_{14}$ | $A_{13} \sim A_1$ | \overline{BHE} | A_0 | 地址范围 | 奇/偶 |
|----------|----------------------|----------------------|-----------------------------|------------------|-------|--------------------|-----|
| 6264 (1) | 1 0 0 | 1 1 0 | 0000 ... 00 ~1111 ... 11 | 1 | 0 | 98000H ~9BFFE H | 偶 |
| 6264 (2) | 1 0 0 | 1 1 0 | 0000 ... 00 ~1111 ... 11 | 0 | 1 | 98001H ~9BFFF H | 奇 |
| 2764 (1) | 1 0 0 | 1 1 1 | 0000 ... 00 ~1111 ... 11 | 1 | 0 | 9C000H ~9FFFE H | 偶 |
| 2764 (2) | 1 0 0 | 1 1 1 | 0000 ... 00 ~1111 ... 11 | 0 | 1 | 9C001H ~9FFFF H | 奇 |

23

■由8片2732EPROM和8片6116SRAM构成的16位存储器系统

P143

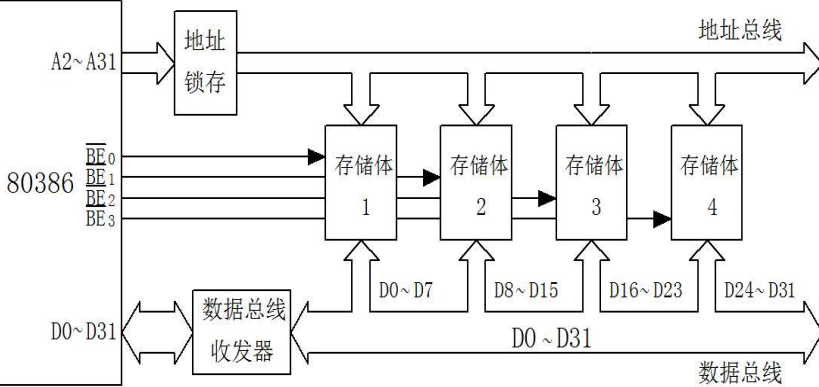


➢EPROM采用全译码方式，SRAM采用部分译码方式。

➢各存储芯片的地址范围计算详见教材P144~P146。

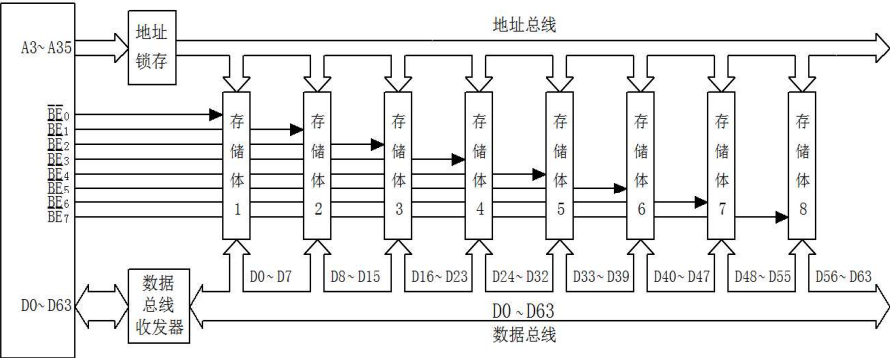
24

三、32位存储器系统



- 在32位系统中，将内存地址空间分为四部分：
- 地址线 A_1 、 A_0 译码后形成4个存储体的片选信号 $\overline{BE}_0 \sim \overline{BE}_3$ ；
- 模4存储结构，一个总线周期可读/写4个字节；

四、64位存储器系统



- 在64位系统中，将内存地址空间分为八部分：
- 地址线 A_2 、 A_1 、 A_0 译码后形成8个存储体的片选信号 $\overline{BE}_0 \sim \overline{BE}_7$ ；
- 模8存储结构，一个总线周期可读/写8个字节；