

EDA 大作业 1： 二进制运算器

院 系: 自动化系

班 级: 自 02 班

学生姓名: 彭程

学 号: 2020011075

目录

1 实验目的	2
2 预习任务	2
2.1 根据实验任务中的步骤提示, 写出要用到的电路模块及其功能	2
2.2 了解实验板上的外设资源, 并掌握其工作原理	2
3 实验任务	5
3.1 设计思路	6
3.2 各模块说明	7
3.2.1 晶振信号输入端	7
3.2.2 分频器	7
3.2.3 输出端数据选择器	10
3.2.4 加数输入端	12
3.2.5 加数符号显示控制端	12
3.2.6 三位二进制运算器	12
3.2.7 数据选择器	16
3.2.8 7448 七段显示译码器	18
3.2.9 计算结果符号显示控制端	18
3.3 仿真波形图分析	18
3.3.1 1 位全加器功能仿真	18
3.3.2 4 位全加器功能仿真	18
3.3.3 运算器功能仿真	19
3.3.4 顶层电路仿真	19
4 实验总结	20

1 实验目的

1. 学习面向 FPGA 的简单数字系统的设计流程。
2. 掌握 EDA 软件 Quartus II 的原理图输入方式。
3. 熟悉实验装置——实验板，掌握板上外设的工作原理。

2 预习任务

2.1 根据实验任务中的步骤提示，写出要用到的电路模块及其功能

(1) 一位二进制全加器

功能：完成 1 位二进制数的加法，输出 1 位结果和 1 位进位

(2) 四位二进制全加器

功能：完成 4 位二进制数的加法，输出 4 位结果和 1 位进位

(3) 原码补码转换器

功能：输入原码输出补码

(4) 补码原码转换器

功能：输入补码输出原码

(5) 二进制运算器

功能：输入两个 3 位二进制数（其中 1 位是符号位），计算他们的和并输出。

(6) 分频器

功能：将系统始终由 50MHz 分频为 250Hz，输出循环的 00，01，10，11 信号。

(7) BCD-七段显示译码器

功能：将运算器结果显示在七段字符显示器上

(8) 输出端数据选择器

功能：根据分频器的地址信号从加数、加和中选择显示的数值位。

2.2 了解实验板上的外设资源，并掌握其工作原理

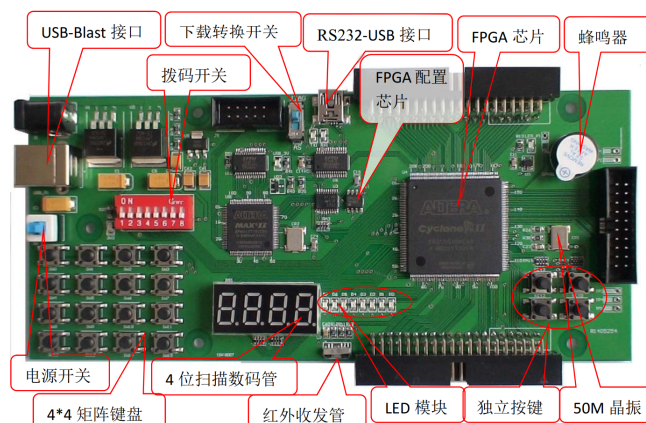


图 1: 实验板外观及组成

1. 拨码开关

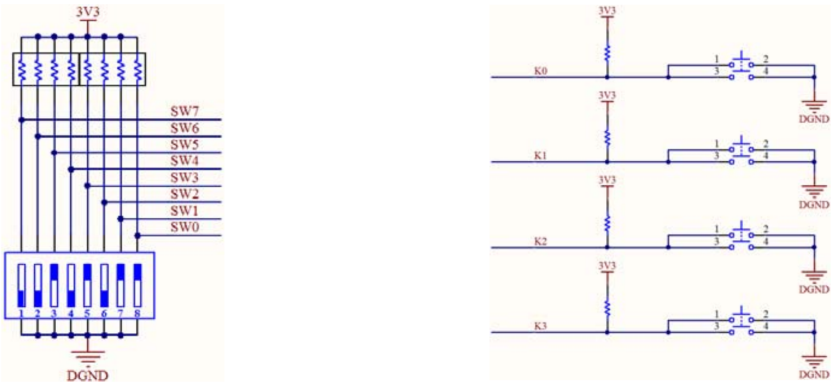


图 2: 拨码开关原理图

拨码开关	DIP1	PIN_12	L ↑ ↓ H	
	DIP2	PIN_11		
	DIP3	PIN_10		
	DIP4	PIN_8		
	DIP5	PIN_6		
	DIP6	PIN_5		
	DIP7	PIN_4		
	DIP8	PIN_3		

图 3: 拨码开关引脚图

功能：拨码向上输入 0，向下输入 1，用作两个 3 位二进制的输入。在实际操作中我选用 123 作为第一个加数输入端，选用 456 作为第二个加数输入端。

2. 晶振

晶振	XTAL_1	PIN_132	50MHz	
	XTAL_2	PIN_131	50MHz	

图 4: 晶振引脚图

功能：FPGA 芯片输入时钟使用频率为 50MHz 的晶振，即提供 50MHz 的周期信号。在大作业中作为扫描数码管的控制信号。

3. 四位扫描数码管

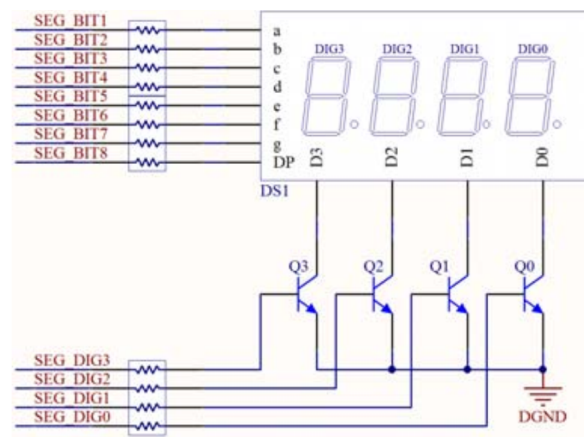


图 5: 四位扫描数码管原理图


数码管	DIG3	PIN_39	高电平有效	
	DIG2	PIN_37		
	DIG1	PIN_36		
	DIG0	PIN_35		
	DP	PIN_46	高电平有效	
	G	PIN_43		
	F	PIN_41		
	E	PIN_48		
	D	PIN_47		
	C	PIN_45		
	B	PIN_40		
	A	PIN_44		

图 6: 数码管引脚

实验中用到的 4 位扫描数码管是共阴极数码管。由图 1.6 可知，其共有 12 根数据线，8 根段选线接 a、b、c、d、e、f、g、dp，接高电平时对应的段被点亮；4 根位选线接 DIG1-DIG4，接高电平时对应位的数码管显示。

如果分时轮流控制各个数码管的位选端，各个数码管将轮流显示出字符。轮流显示过程中，每位数码管的点亮时间通常为 1-2ms，由于人的视觉暂留现象及发光二极管的余辉效应，尽管各位数码管并非同时点亮，但只要扫描的速度足够快，人眼看到的就是一组显示稳定的数据。

在实验中作为两个加数数值和结果符号位以及数值的输出端。

4.LED 模块

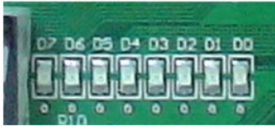
LED	D7	PIN_56	高电平有效	
	D6	PIN_57		
	D5	PIN_58		
	D4	PIN_59		
	D3	PIN_60		
	D2	PIN_61		
	D1	PIN_63		
	D0	PIN_64		

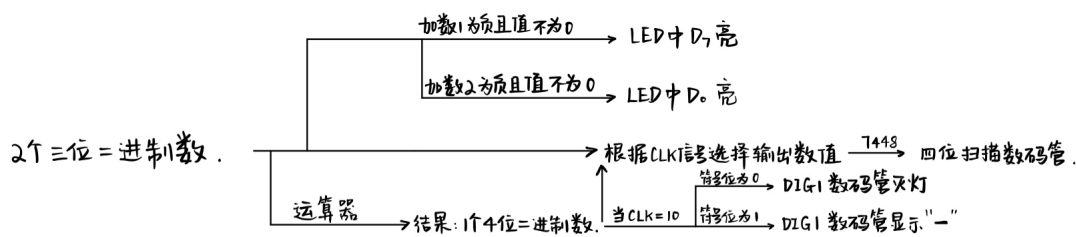
图 7: LED 引脚

功能：输出高电平的时候亮，低电平的时候不亮，用两个来显示两个加数的正负。在实验中选择 D7 作为加数 1 的符号，D0 作为加数 2 的符号。

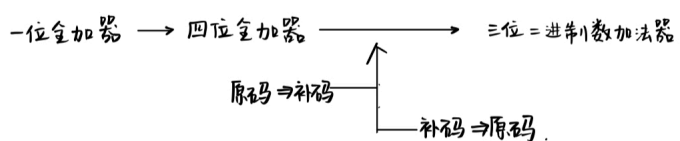
3 实验任务

可编程逻辑器件上设计一个运算电路，可以实现 $S=M+N$ 。M 和 N 为 3 位二进制数，其中 1 位是符号位，2 位是有效数字。要求用原理图的输入方式完成。用实验板上的拨码开关模拟运算数（原码输入），用发光二极管表示运算数的正负标志；用数码管显示运算数、运算结果（原码）及运算结果的正负标志。

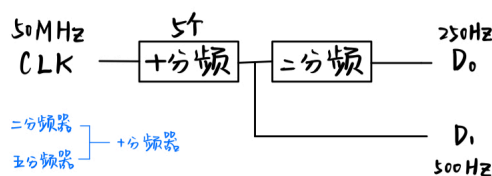
3.1 设计思路



运算电路整体思路。



运算器思路。



分频器思路。

图 8: 设计思路图

输入

有七个输入信号，包括两位运算数和一个 50MHz 时钟信号。

运算

将输入的两个带符号位的 3 位二进制数做加法运算，输出一个带符号位的 4 位二进制数。内部包含原码转补码、四位全加器、补码转原码三个模块。

二极管显示输入符号

将输入加数的正负显示在二极管上。加数为 -0 时，二极管不亮。

数码管位选

将 50MHz 的时钟信号分频至合适频率后 (250Hz) 获得一组频率为二倍关系的时钟信号，并将其译为地址信号用来选择工作的数码管。

数码管段选

根据地址信号选择该时刻需要输出的数据 (A、B、OUT 的数字位)，将其译为驱动七段数码管所需的信号并输出。当位选信号为 10 时，将数码管灭灯，然后根据计算结果的正负选择是否点亮 g 以在该位表示结果的正负。

3.2 各模块说明

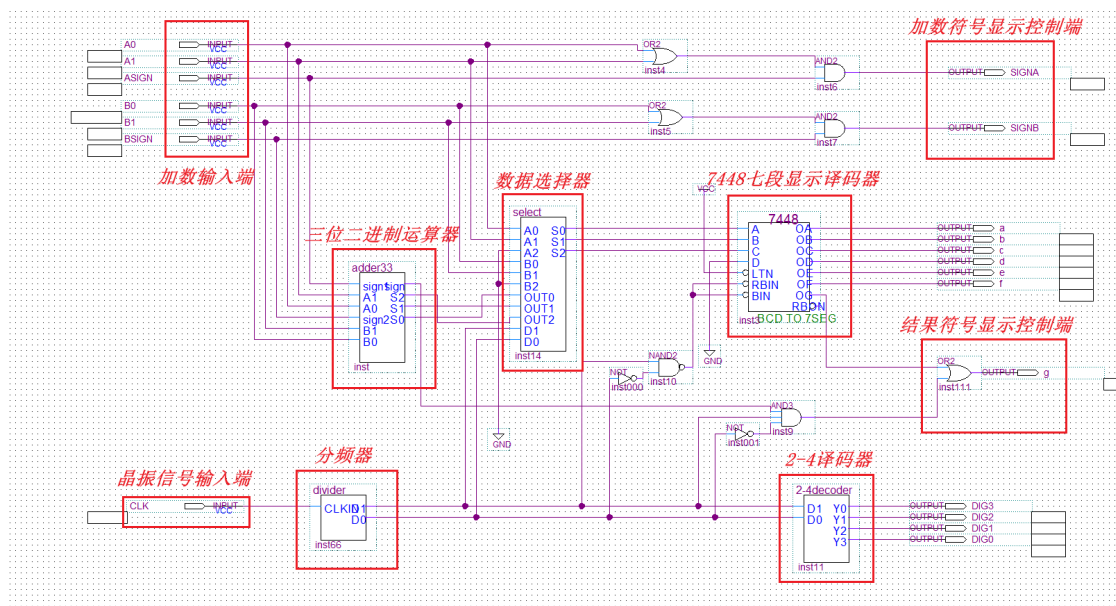


图 9: 顶层电路图

顶层电路图如上，接下来对标注的各个模块进行详细分析。

3.2.1 晶振信号输入端

功能

与晶振相连，输入晶振 50MHz 的时钟信号。

3.2.2 分频器

(1) 2 分频器

实际电路图

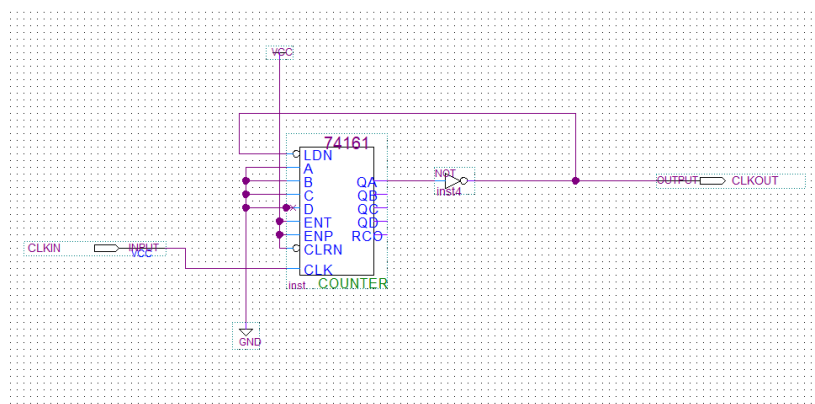


图 10: 二分频器电路图

封装图

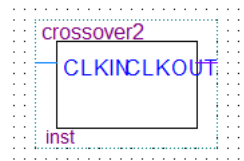


图 11: 二分频器封装图

原理

利用芯片 74161 的计数功能，每当记到二进制的 0001（即十进制的 1）时计数清零，如此输出即为频率为输入信号一半、占空比 50% 的周期信号。

功能

将输入的高频时钟信号 2 分频，同时保持占空比为 50%。

接口

输入：

CLKIN: 输入时钟信号

输出：

CLKOUT: 输出 2 分频的、占空比 50% 的时钟信号

(2) 5 分频器

实际电路图

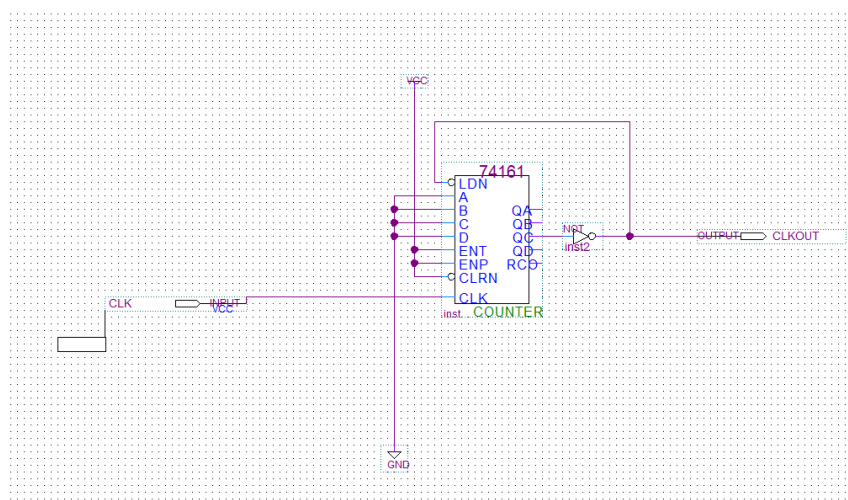


图 12: 五分频器电路图

封装图

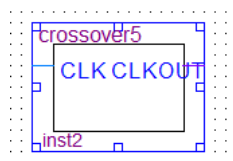


图 13: 五分频器封装图

原理

利用芯片 74161 的计数功能，每当记到二进制的 0100（即十进制的 4）时计数清零，如此输出即为频率为输入信号五分之一、占空比 20% 的周期信号。

功能

将输入的高频时钟信号 5 分频，但是无法保持占空比为 50%。

接口

输入：

CLKIN：输入时钟信号

输出：

CLKOUT: 输出 5 分频的时钟信号

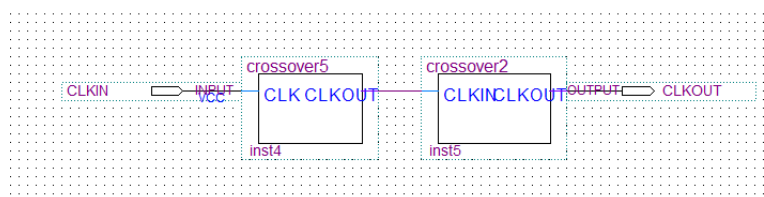
(3) 10 分频器**实际电路图**

图 14: 十分频器电路图

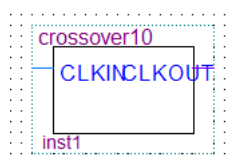
封装图

图 15: 十分频器封装图

原理

将输入信号先五分频再二分频，以达到十分频的效果。

功能

将输入的高频时钟信号 10 分频，同时保持占空比为 50%。

接口

输入：

CLKIN: 输入时钟信号

输出:

CLKOUT: 输出 10 分频的时钟信号

(4) 总分频器

实际电路图

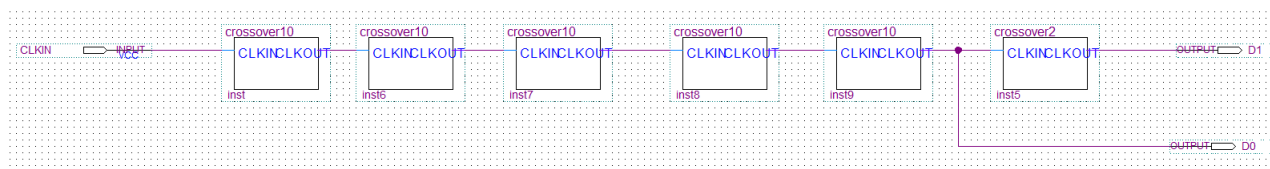


图 16: 总分频器电路图

封装图

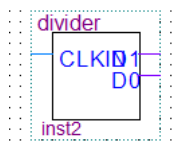


图 17: 总分频器封装图

原理

将五个十分频器和一个二分频器串联，输出端一个接在二分频器之前，一个接在之后。

功能

将输入 50MHz 的时钟信号分频成 250Hz 和 500Hz 占空比为 50% 的时钟信号，循环输出 11, 10, 01, 00 信号。

接口

输入:

CLKIN: 输入 50MHz 时钟信号

输出:

D1: 输出 500Hz 的时钟信号

D0: 输出 250Hz 的时钟信号

两者联合: D1D0: 循环输出 00、01、10、11 信号

3.2.3 输出端数据选择器

实际电路图

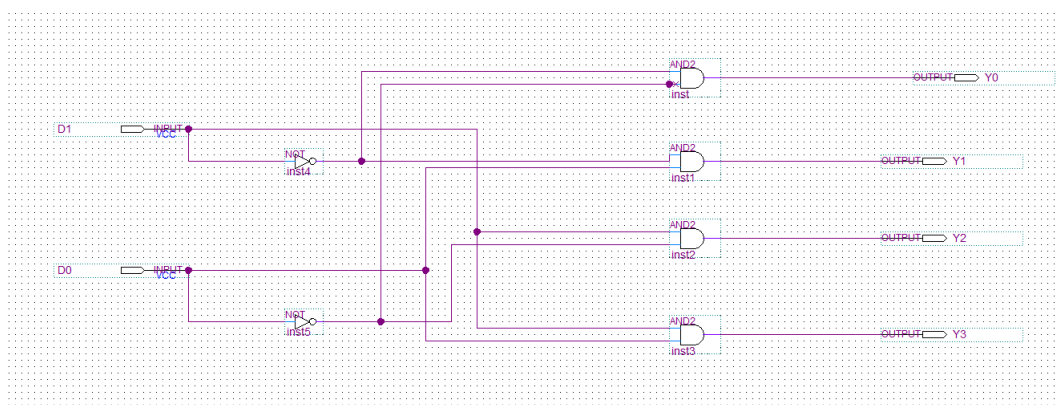


图 18: 2-4 译码器电路图

封装图

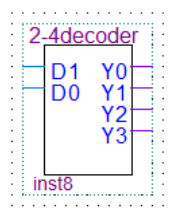


图 19: 2-4 译码器封装图

原理

输出端数据选择器等效于一个 2-4 译码器

功能

根据输入 D1D0 的循环 00, 01, 10, 11 地址信号，选择点亮的数码管，选通的对应关系如下：

DIP1、DIP2	数码管 3 (DIG3)	数码管 2 (DIG2)	数码管 1 (DIG1)	数码管 0 (DIG0)
00	M	不亮	不亮	不亮
01	不亮	N	不亮	不亮
10	不亮	不亮	S（正负标志）	不亮
11	不亮	不亮	不亮	S（运算结果）

接口

输入：

D1: 500Hz 的时钟信号

D0: 250Hz 的时钟信号

输出：

Y0: 输入为 00 时为高电平，选通 DIG3

Y1: 输入为 01 时为高电平，选通 DIG2

Y2: 输入为 10 时为高电平，选通 DIG1

Y3: 输入为 11 时为高电平, 选通 DIG0

3.2.4 加数输入端

功能

六个输入: 加数 A 的符号 ASIGN, A 的高位 A1, A 的低位 A0; 加数 B 的符号 BSIGN, B 的高位 B1, B 的低位 B0。

3.2.5 加数符号显示控制端

功能

数据值为 0 时不亮灯, 数据值不为 0 且符号位为 1 时亮灯表示输入的为负数。

3.2.6 三位二进制运算器

(1) 1 位二进制全加器

实际电路图

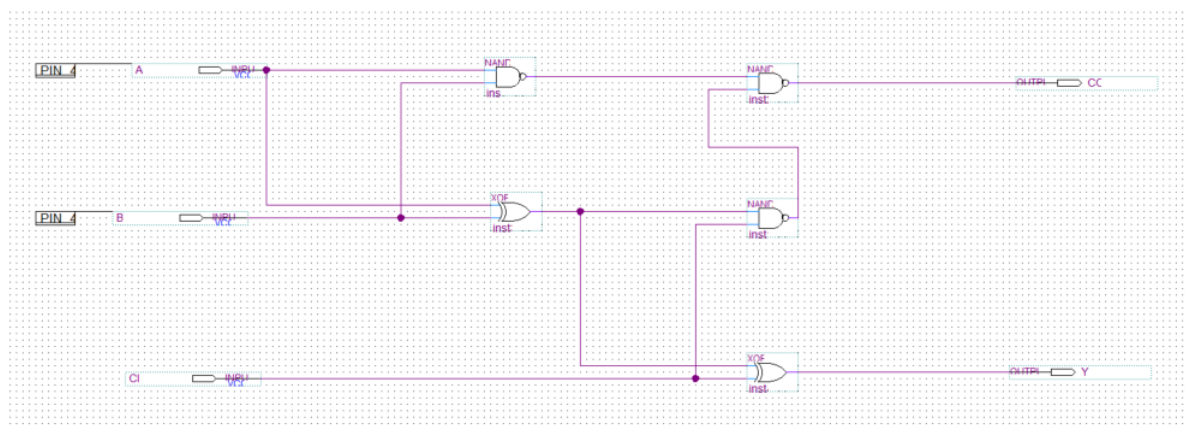


图 20: 一位全加器电路图

封装图

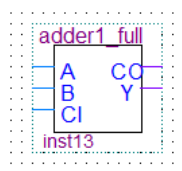


图 21: 一位全加器封装图

功能

将两个加数和低位进位相加, 输出本位和进位。

接口

输入:

A: 加数 1
 B: 加数 2
 CI: 低位的进位
 输出:
 Y: 本位
 CO: 进位

(2) 实现 4 位二进制全加器

实际电路图

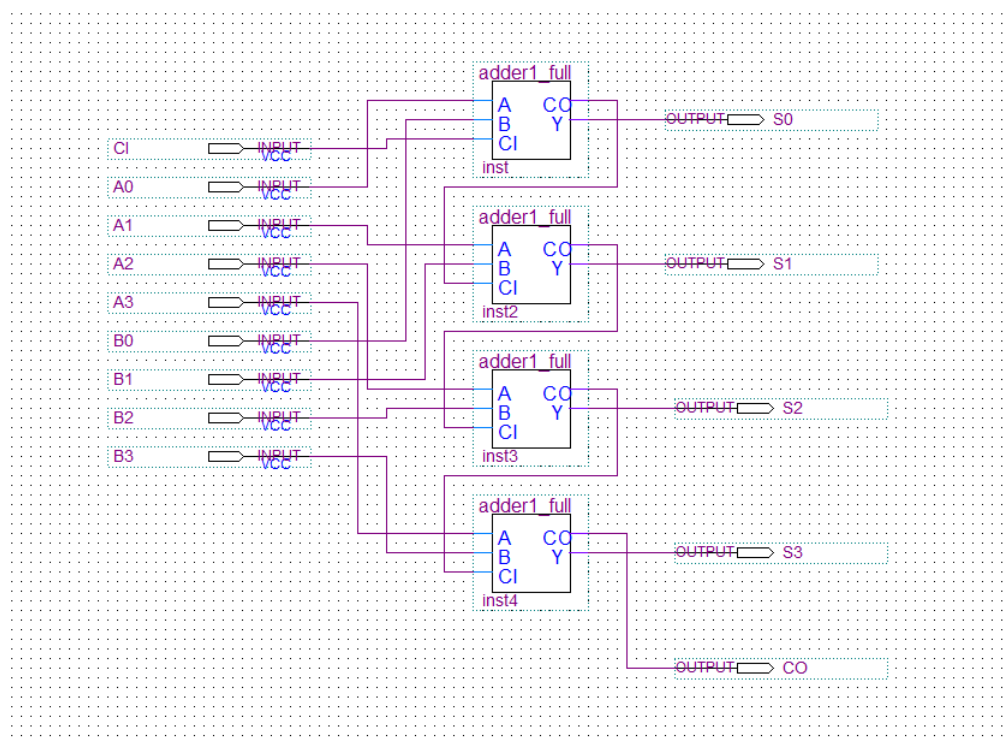


图 22: 四位全加器电路图

封装图

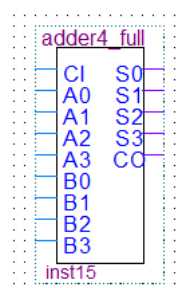


图 23: 四位全加器封装图

功能

实现四位二进制数相加

接口

输入：

$A_3A_2A_1A_0$ ：加数 1

$B_3B_2B_1B_0$ ：加数 2

CI：低位的进位

输出：

$S_3S_2S_1S_0$ ：加和

CO：向高位的进位

(3) 原码转补码

实际电路图

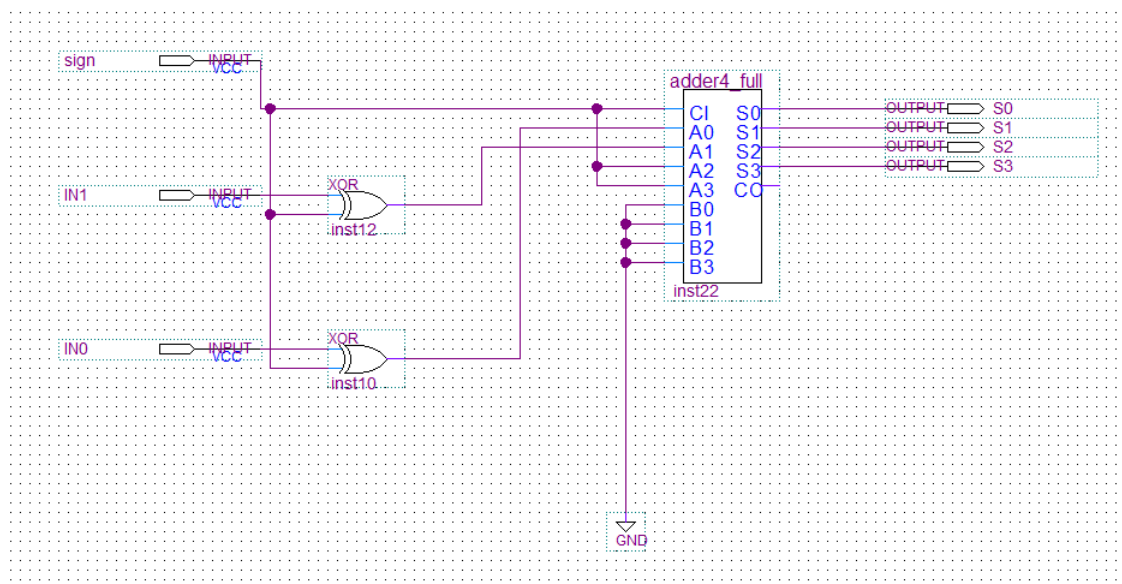


图 24: 原码转补码电路图

封装图

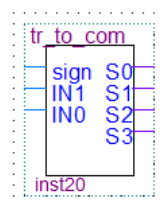


图 25: 原码转补码封装图

功能

将输入的三位二进制原码转为四位二进制补码。

接口

输入：
 sign: 符号位
 IN1: 高位
 IN0: 低位
 输出：
 $S_3S_2S_1S_0$: 四位二进制补码

(4) 补码转原码

实际电路图

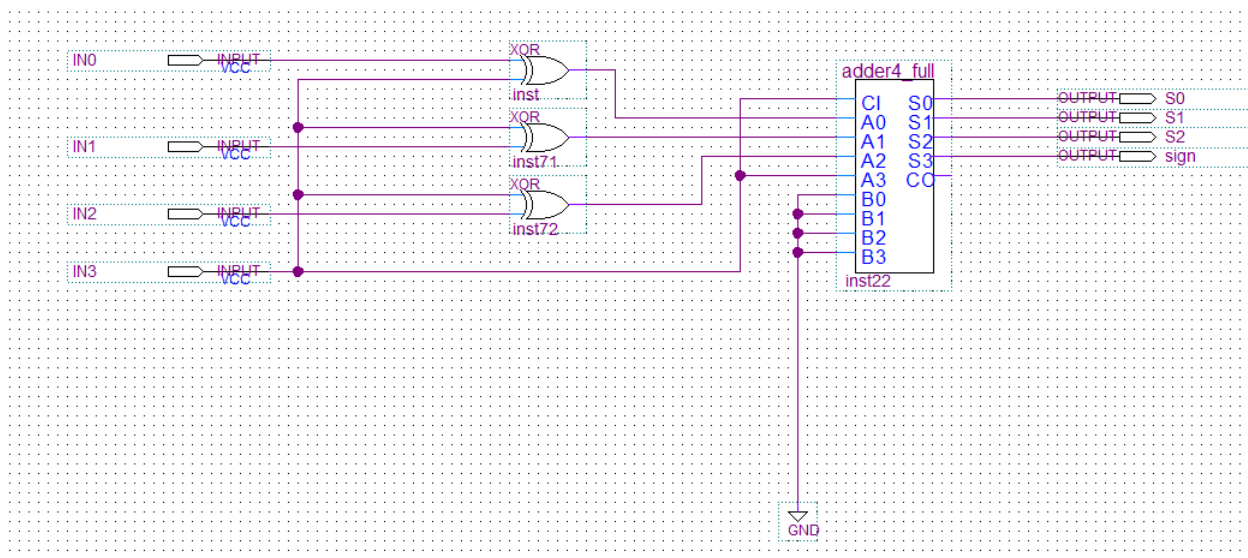


图 26: 补码转原码电路图

封装图

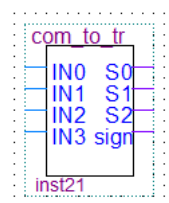


图 27: 补码转原码封装图

功能

将输入的四位二进制补码转为四位二进制原码。

接口

输入：
 $IN_3IN_2IN_1IN_0$: 四位二进制补码
 输出：

$S_3S_2S_1S_0$: 四位二进制原码

(5) 实现二进制运算器

实际电路图

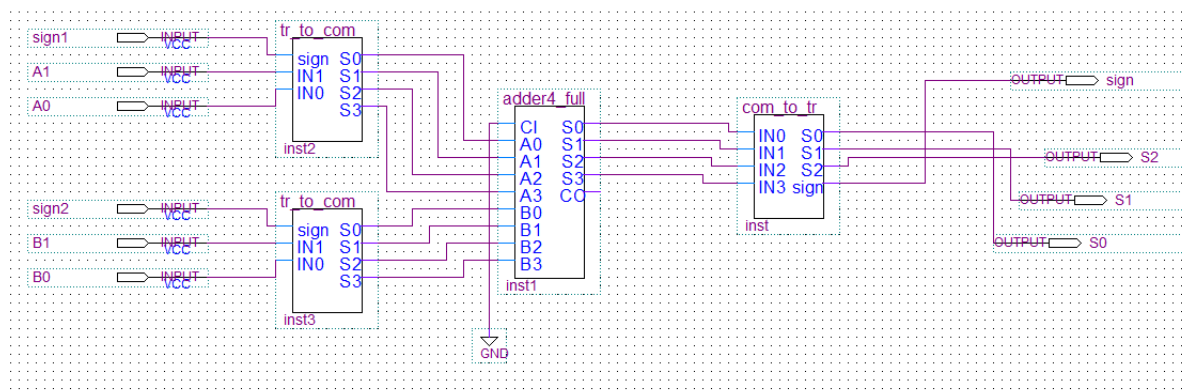


图 28: 二进制运算器电路图

封装图

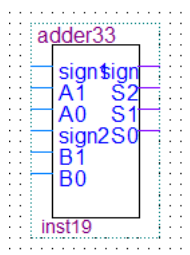


图 29: 二进制运算器封装图

功能

将输入的两个三位二进制原码所代表的数相加，以四位二进制原码形式输出结果。

接口

输入:

$sign_1A_1A_0$: 加数 1 的三位二进制原码

$sign_2B_1B_0$: 加数 2 的三位二进制原码

输出:

$signS_2S_1S_0$: 加和的四位二进制原码

3.2.7 数据选择器

实际电路图

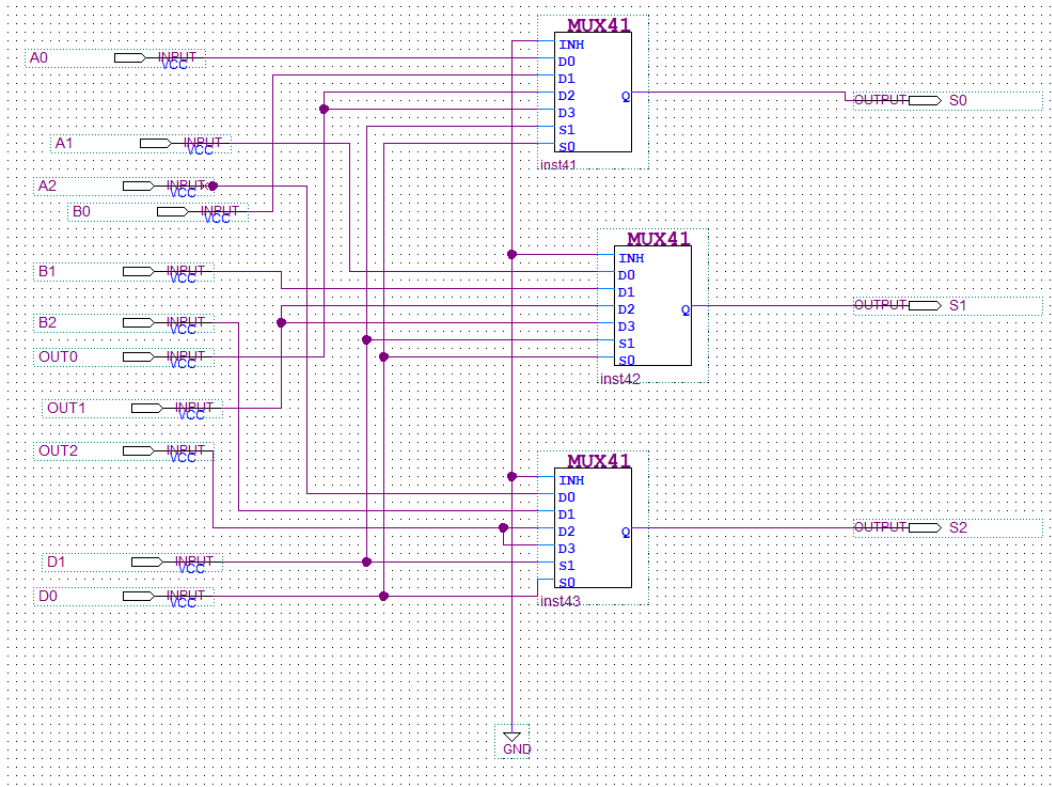


图 30: 数据选择器电路图

封装图

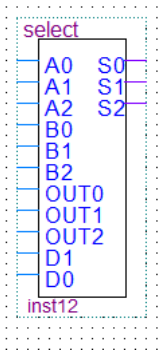


图 31: 数据选择器封装图

原理

使用三个四选一数据选择器进行选择。

功能

根据扫描地址信号 D1D0，选择输出的数值信号，D1D0 为 00，01，10，11 时分别输出 A、B、OUT、OUT 的值（不含符号）。

接口

输入：

$A_2A_1A_0$ ：加数 A 的不含符号数值

$B_2B_1B_0$: 加数 B 的不含符号数值

$OUT_2OUT_1OUT_0$: 结果 OUT 的不含符号数值

D_1D_0 : 地址信号

输出:

$S_2S_1S_0$: 被选中的显示数值

3.2.8 7448 七段显示译码器

功能

根据被选中的显示数值进行显示，但是当地址信号为 10 时进行灭灯操作。

3.2.9 计算结果符号显示控制端

功能

当地址信号为 10，7448 进行灭灯操作时，根据运算结果的符号位判断是否显示负号。

3.3 仿真波形图分析

3.3.1 1 位全加器功能仿真

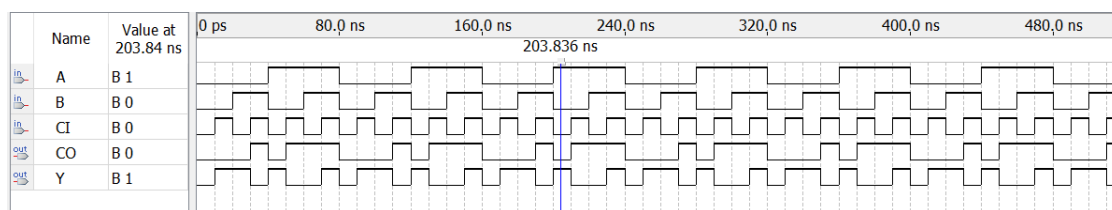


图 32: 一位全加器功能仿真

1 位全加器功能仿真波形如上图所示。实现了 $A + B + CI$ 的计算，图示位置有 $A = 1$; $B = 0$; $CI = 0$; $CO = 0$; $Y = 1$ 。即 $1+0+0=01$ 。

3.3.2 4 位全加器功能仿真

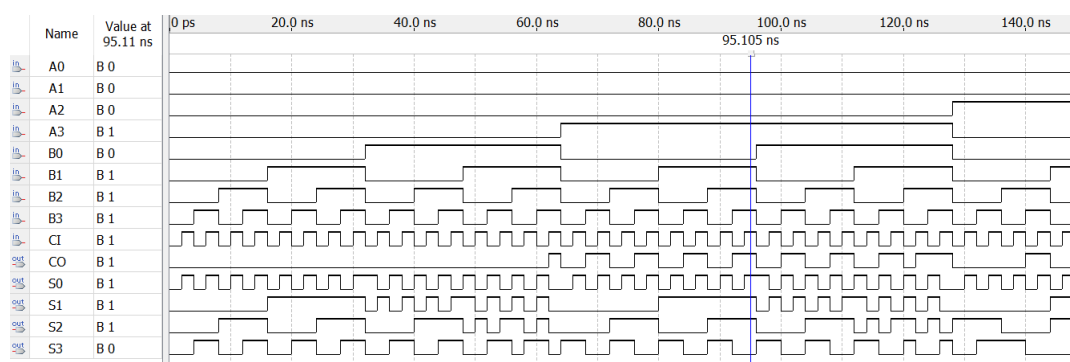


图 33: 四位全加器功能仿真

4 位全加器功能仿真波形如上图所示。实现了 $A_3A_2A_1A_0 + B_3B_2B_1B_0 + CI$ 。图示位置有 $1000+1110+1=10111$ 。

3.3.3 运算器功能仿真

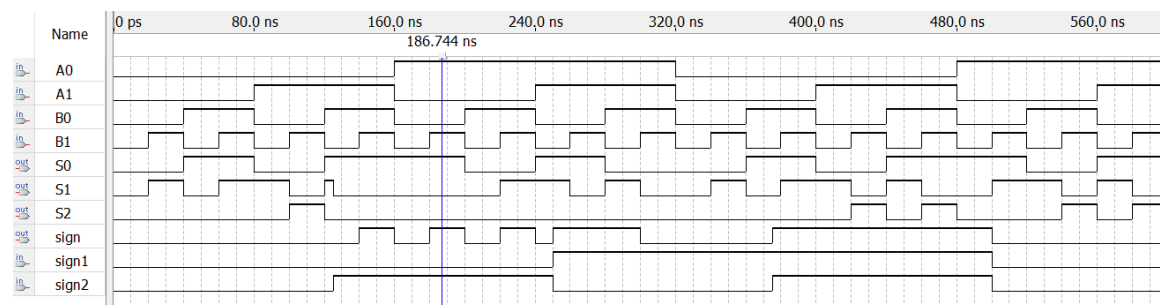


图 34: 运算器功能仿真

运算器实现了 $S = M + N$ ，且使用原码输入和原码输出。在图示位置有 $001+110=1001$ ，即 $1-2=-1$ 。

3.3.4 顶层电路仿真

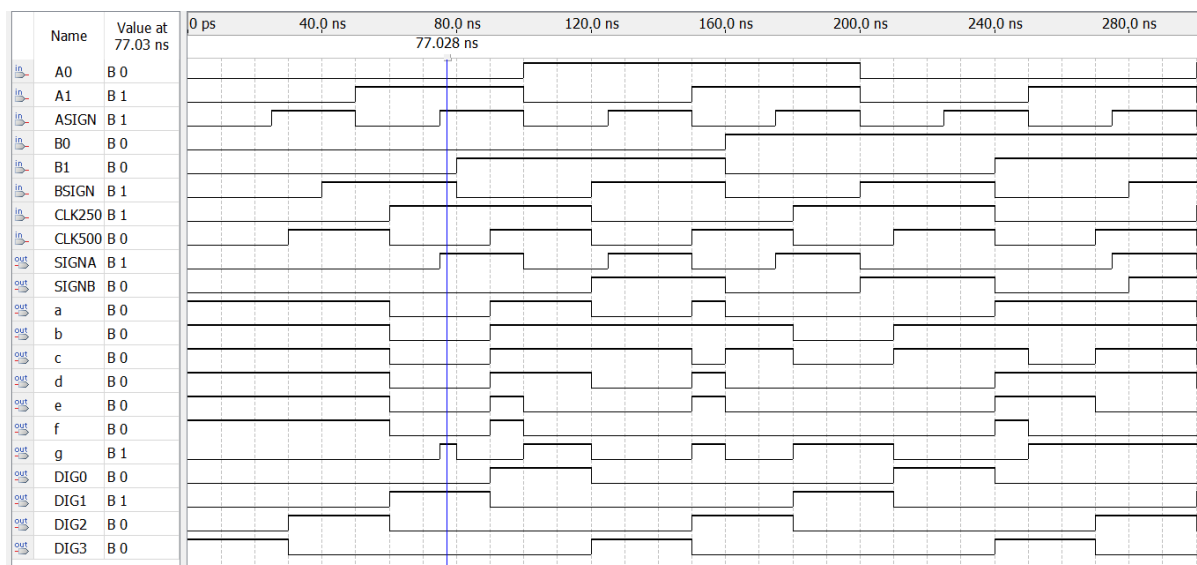


图 35: 顶层电路功能仿真

顶层电路实现了加法以及扫描输出功能，为了仿真，在顶层电路图中我们将晶振信号分频换为了手动输入低频信号，即 CLK250 和 CLK500，可以看到，随着地址信号按 00、01、10、11 变化，DIG 选通端按照 DIG3、DIG2、DIG1、DIG0 变化。

在图中标注的位置，对于加法计算，图中有 $-2+0=-2$ ；对于扫描输出地址信号，图中为 10，所以选通 DIG1，输出计算结果的负号，而只有 g 为高电平，与预测结果相符，证明顶层电路图设计无误。

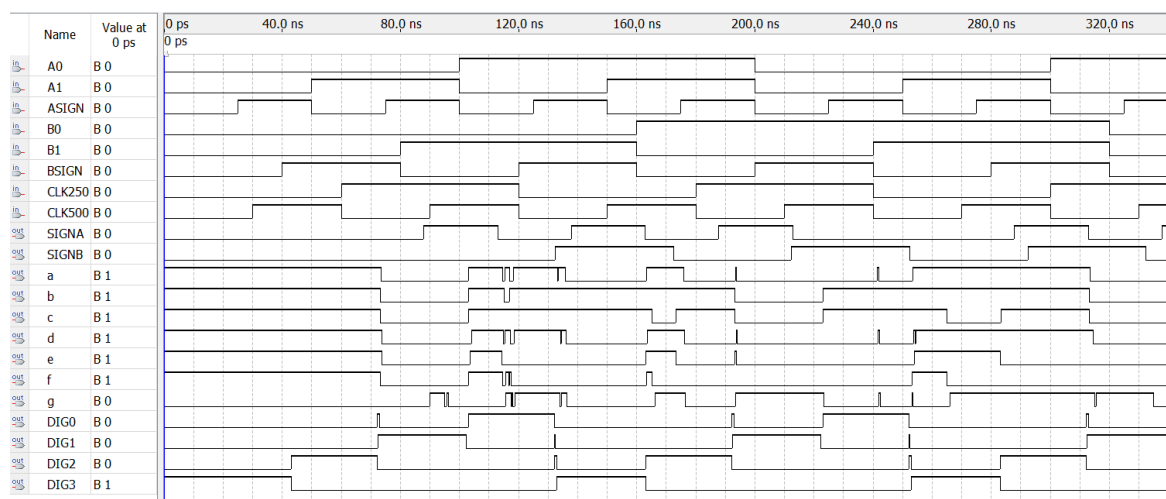


图 36: 顶层电路时序仿真

根据编译结果可以得知该电路的传输延迟时间在 20ns 左右 (t_{pd} 约为 20ns, t_{cd} 约为 6ns), 故在时序仿真时选择大于该时间的周期。

从时序仿真结果可以看出, 输入变化到输出变化存在一定的反应时间, 与传输延迟时间对应。同时, 结果中存在一些尖峰脉冲, 这反应出电路中存在竞争冒险现象。

4 实验总结

遇到的问题及解决方法

1. Quartus II 报重命名的错误。经过查询和分析发现, 直接复制元件会使得元件编号相同从而报错。
2. 分频器原理不清晰。通过询问同学和阅读教材时序逻辑章节弄清了其原理和工作方式。
3. 扫描管有一位不显示。后仔细研究发现是因为我一开始设计的十分频器并不是 50% 的占空比, 导致有一位数码管占空比过小看起来像不显示一样。
4. 程序掉电即消失。询问同学得知这是由于下载程序时使用了 JTAG 模式。之后使用 AS 模式下载程序实现了程序的持久化。

收获

1. 学会了 Quartus II 的原理图输入方式。
2. 了解了 FPGA 板的基本元件及工作方式, 了解并使用了其上外设。