

MicroArchitettura MIC-1

Filippo Pinna

04/04/2019

Chapter 1

Concetti Preliminari

1.1 Livello di Microarchitettura

Implementato sopra il livello logico digitale troviamo il livello di microarchitettura. In specifico tratteremo la microarchitettura di processore Mic-1 realizzata da Andrew S. Tanenbaum. Il Mic-1 un unità di controllo caratterizzata da varie componenti logiche il cui compito finale è quello di eseguire un microprogramma. Il microprogramma prima di poter essere eseguito verrà interpretato da un ISA (Instruction Set Architecture) ovvero l'architettura dell'insieme di istruzioni, nel nostro caso tratteremo l'ISA della Java Virtual Machine: l'IJVM. L'IJVM (Integer Java Virtual Machine) come dice il nome è un sottoinsieme di istruzioni della JVM su integer, l'insieme di queste microistruzioni andrà poi a costituire i microprogrammi. Il Mic-1 per poter consentire la scrittura dell'interprete IJVM ha un suo linguaggio microcodice MAL (Micro-Assembly Language). Il modello di esecuzione si definisce di fetch-decode-execute, si preleva istruzione per istruzione, si decodifica il codice e si manda in esecuzione.

1.1.1 Percorso Dati

Per percorso dati si intende l'insieme dei collegamenti di input/output alla ALU. I collegamenti sono formati dai Bus Dati che sono i canali che permettono la comunicazione e trasporto dell'informazione e rappresentano quelli che fisicamente sono i cavi dei circuiti. Esistono due Bus da 32 linee ciascuno, il Bus B collegato all'output dei registri e all'input della ALU, il Bus C collegato all'output dello shifter e all'input dei registri. Nel nostro percorso dati sono presenti dei registri a 32 bit che sono selezionati da due linee di controllo, una per abilitare il bus B e l'altra per abilitare il bus C. I dati in uscita vengono elaborati dalla ALU che genera un output a sua volta elaborato dallo shifter. La ALU contiene al suo interno 32 circuiti combinatori. Ogni circuito combinatorio è capace di eseguire istruzioni logiche di AND, OR e NOT e istruzioni aritmetiche di somma. In entrata alla ALU vi sono 6 linee di controllo. Le prime due determinano l'operazione della ALU, ENA e ENB abilitano i due input (enable A,B), INVA

inverte l'input di sinistra e INC crea un riporto (somma 1 al risultato) nel bit meno significativo. La ALU ha due canali in ingresso A e B. A è collegato al registro H (holding) di mantenimento, B è collegato al Bus B che quindi riceve output da 9 registri. Attraverso lo Shifter il risultato uscente dalla ALU potrebbe non subire nessuna variazione, oppure potrebbe usare uno Shift Left Logical o uno Shift Right Logical. Lo shift a sinistra (SLL8) trasla il valore a sinistra di un byte e imposta gli 8 bit meno significativi a 0; lo shift a destra (SRA1) trasla il valore di 1 bit a destra e lascia inalterati i bit meno significativi.

1.1.2 Ciclo di Clock