

ARTIX-7 FPGA 开发平台

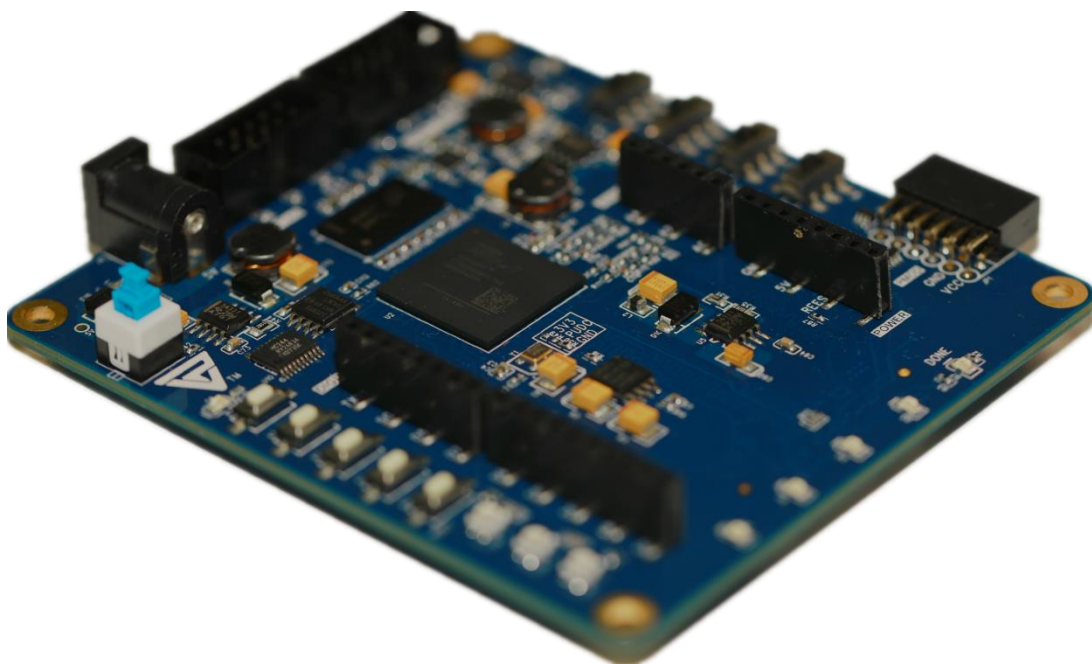
用户手册

1.0

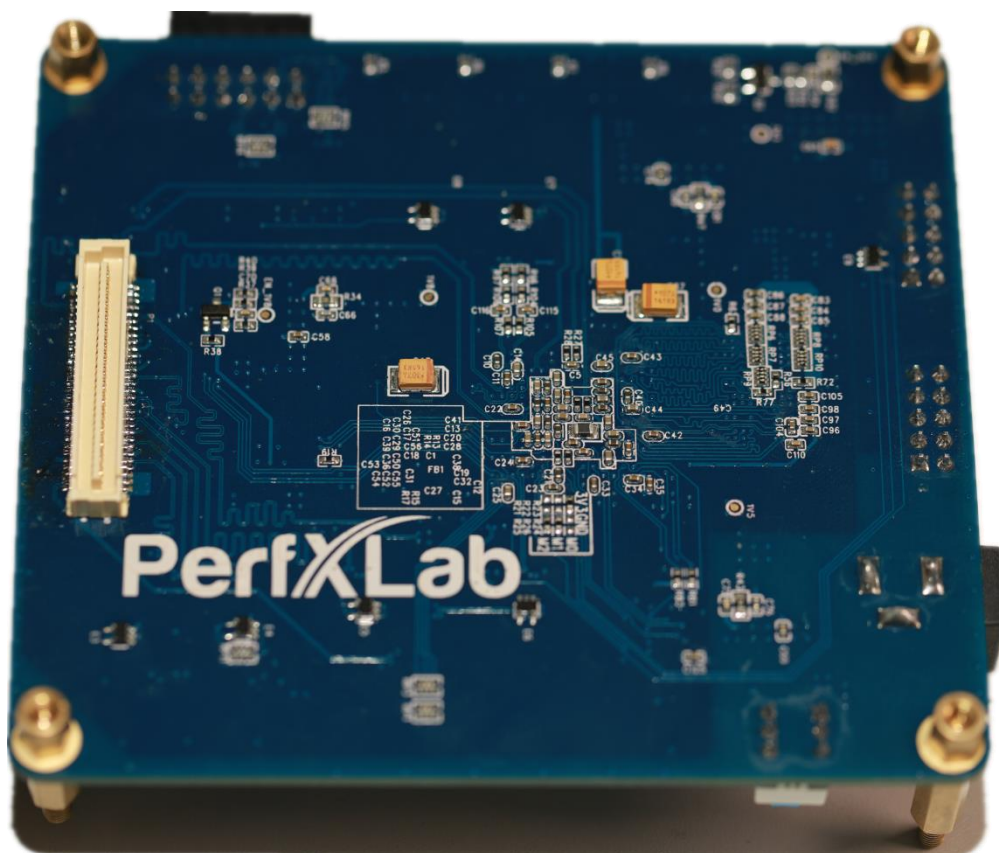
目录

1、开发板简介：	3
2、开发板功能描述.....	6
2.1 Artix-7 FPGA 引脚分配	6
2.2 扩展接口.....	6
2.3 电源.....	10
2.3.1 电源变换.....	10
2.3.2 电源分配功能.....	10
2.3.3 电源启动顺序.....	10
2.4 有源晶振.....	10
2.5 FPGA 启动	11
2.6 LED 和按键	12
2.6.1 LED.....	12
2.6.2 按键.....	15
2.7 XADC	17
2.8 DDR3	18
2.9 SPI FLASH	19
2.9.1 FLASH.....	19
2.9.2 USER FLASH.....	19
2.10 / JTAG 接口	20
2.10.1 JTAG	20
2.10.2 USER JTAG	20
2.11 蜂鸟与 FPGA 连接	21

1、开发板简介：



正面



背面

此款开发板使用的是 Xilinx 公司的 Artix-7 系列 FPGA，型号 XC7A35T-1FTG256C，256 个引脚的 FBGA 封装。此款 FPGA 的资源如下图所示：

Device	Logic Cells	Configurable Logic Blocks (CLBs)		DSP48E1 Slices ⁽²⁾	Block RAM Blocks ⁽³⁾			CMTs ⁽⁴⁾	PCIe ⁽⁵⁾	GTPs	XADC Blocks	Total I/O Banks ⁽⁶⁾	Max User I/O ⁽⁷⁾
		Slices ⁽¹⁾	Max Distributed RAM (Kb)		18 Kb	36 Kb	Max (Kb)						
XA7A12T	12,800	2,000	171	40	40	20	720	3	1	2	1	3	150
XA7A15T	16,640	2,600	200	45	50	25	900	5	1	4	1	5	210
XA7A25T	23,360	3,650	313	80	90	45	1,620	3	1	4	1	3	150
XA7A35T	33,280	5,200	400	90	100	50	1,800	5	1	4	1	5	210
XA7A50T	52,160	8,150	600	120	150	75	2,700	5	1	4	1	5	210
XA7A75T	75,520	11,800	892	180	210	105	3,780	6	1	4	1	6	285
XA7A100T	101,440	15,850	1,188	240	270	135	4,860	6	1	4	1	6	285

其中，主要的参数：

逻辑单元 Logic Cells：33280；

乘法器 DSP48：90；

可配置逻辑块 CLBs：400Kb；

Block RAM：1800Kb；

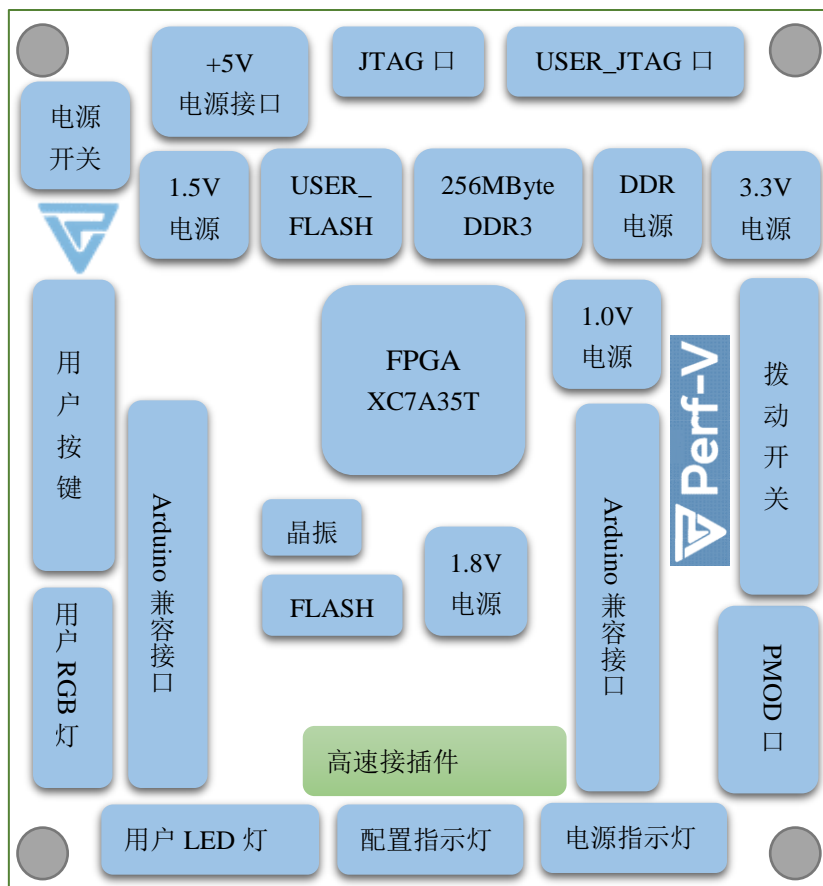
时钟单元 CMTs：5；

可用 IO 数量：210 个；

内核电压：1.0V；

工作温度：0—— + 85℃；

图为整个系统的结构示意图：





尺寸	85mm*95mm
主控 FPGA	XC7A35T-1FTG256C XC7A50T-1FTG256C XC7A100T-1FTG256C
FPGA 外部时钟源	50MHz
FLASH 与 USER_FLASH	N25Q064A, 8MB(64Mbit)存储容量, 最高 108MHz 时钟频率/ N25Q064A, 8MB(64Mbit)存储容量, 最高 108MHz 时钟频率/
DDR3	MT41J128M16JT, 2Gb, 16Megx16x8Banks/
LED 灯	一路 FPGA_DONE 信号指示灯
	一路电源指示灯
	三路用户 RGB 灯
	四路用户红灯
按键	一路复位按键
	四路用户轻触按键
	四路用户拨码开关
JTAG	10 针 2.54mm 标准接口
USER_JTAG	10 针 2.54mm 标准接口
电源系统	5V 电源输入, 3.3V 输出, 1.8V 输出, 1.5V 输出, 1.0V 输出, 0.75V 输出
接插件	1 组 Arduino 兼容接插件
	1 个 PMOD 接插件
	1 个高速接插件

2、开发板功能描述

2.1 Artix-7 FPGA 引脚分配

XC7A35T-1FTG256C 共有 5 个 I/O Bank，其中 U2E 是 FPGA 专用的配置 Bank，其余 4 个 Bank I/O 的连接情况如下表。

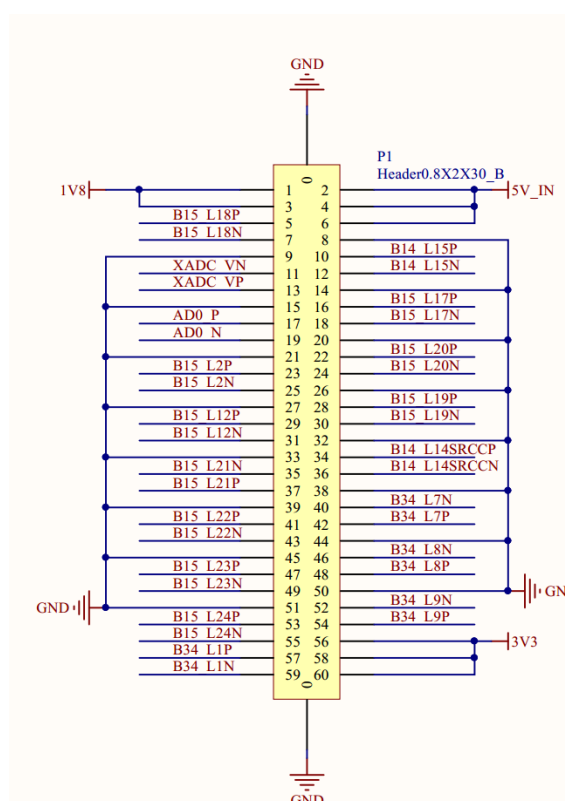
Bank	用途
Bank14 (3.3V)	LED/KEY/P1/P2
Bank15 (3.3V)	P1/P2/JP1
Bank34 (3.3V)	USER_JTAG/USER_FLASH/P1
Bank35 (1.5V)	DDR3

2.2 扩展接口

开发板有 P1、P2、JP1 三个用户接口。

2.2.1 P1（高速）接口

P1 是高速接插口，内含 17 对差分对（其中 1 对可以用作高速差分输入 AD 采样 IO 口），1 对高速 AD 采样专用 IO，以及 5V，3.3V，1.8V 的电源。



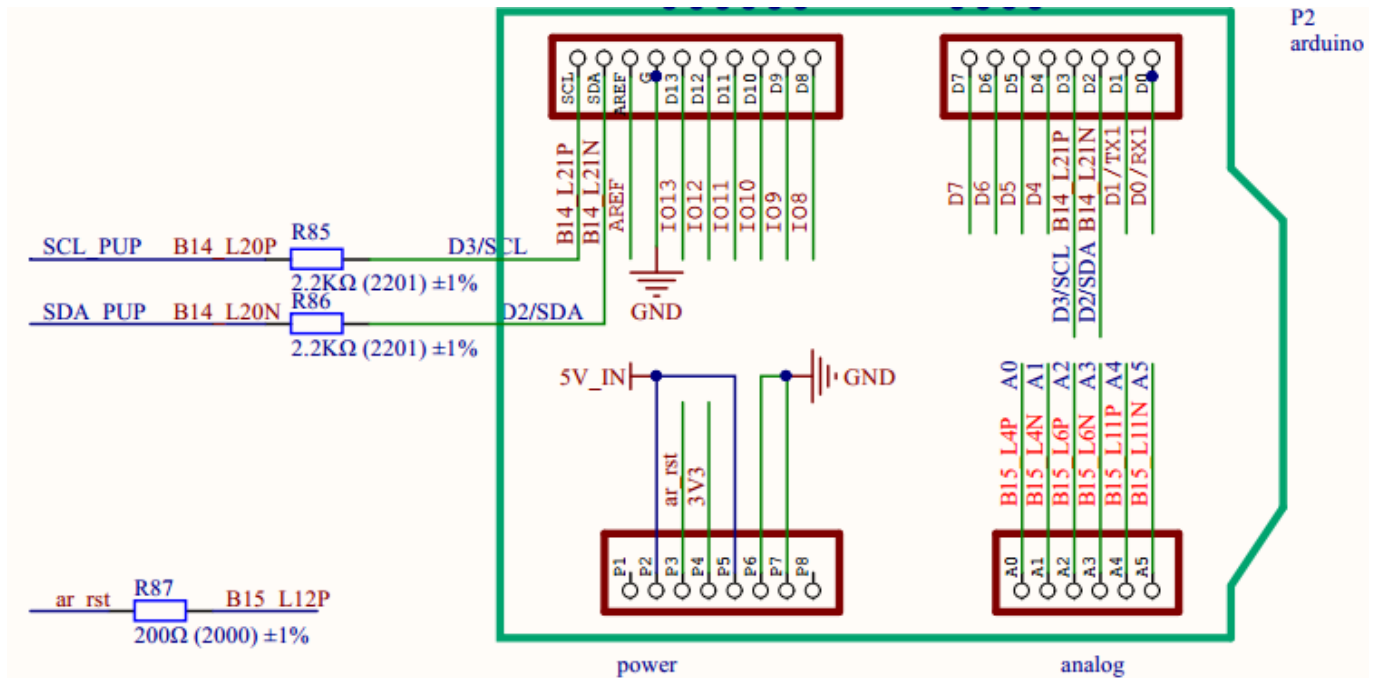


P1 接口					
P1 引脚	信号名称	FPGA 引脚	P1 引脚	信号名称	FPGA 引脚
1	1V8	-	2	5V_IN	-
3	1V8	-	4	5V_IN	-
5	B15_L18P	F15	6	5V_IN	-
7	B15_L18N	E15	8	GND	-
9	GND	-	10	B14_L15P	R12
11	XADC_VN	J7	12	B14_L15N	T1
13	XADC_VP	H8	14	GND	-
15	GND	-	16	B15_L17P	E16
17	AD0_P	C8	18	B15_L17N	D16
19	AD0_N	C9	20	GND	-
21	GND	-	22	B15_L20P	H12
23	B15_L2P	A8	24	B15_L20N	H13
25	B15_L2N	A9	26	GND	-
27	GND	-	28	B15_L19P	H11
29	B15_L12P	D13	30	B15_L19N	G12
31	B15_L12N	C13	32	GND	-
33	GND	-	34	B14_L14 RCCP	P10
35	B15_L21N	F14	36	B14_L14 RCCN	P11
37	B15_L21P	G14	38	GND	-
39	GND	-	40	B34_L7N	R1
41	B15_L22P	H16	42	B34_L7P	R2
43	B15_L22N	G16	44	GND	-
45	GND	-	46	B34_L8N	T2
47	B15_L23P	J15	48	B34_L8P	R3
49	B15_L23N	J16	50	GND	-
51	GND	-	52	B34_L9N	T3
53	B15_L24P	H14	54	B34_L9P	T4
55	B15_L24N	G15	56	3V3	-
57	B34_L1P	L4	58	3V3	-
59	B34_L1N	M4	60	3V3	-



2.2.2 P2（arduino）接口

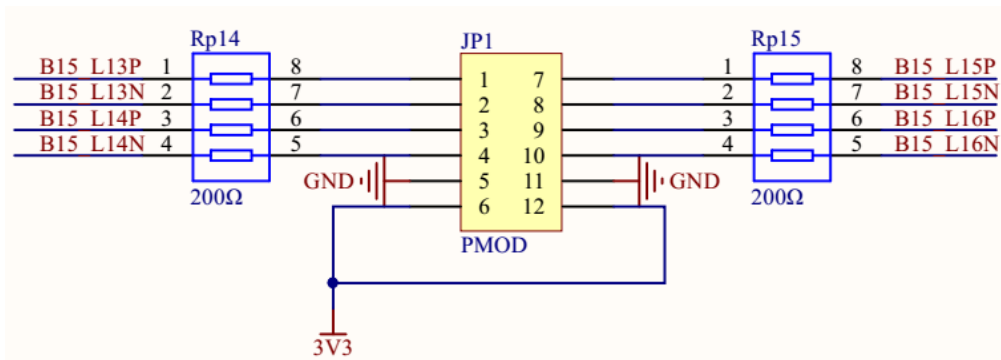
P2 兼容 Arduino，内含 6 对单端输入或差分输入 AD 采样，一组 UART 协议信号线，一组 SPI 协议信号线，一组 IIC 协议信号线，10 条专用数字信号线。



P2 接口					
P2 引脚	信号名称	FPGA 引脚	P2 引脚	信号名称	FPGA 引脚
P1	-	-	A0	B15_L4P	B10
P2	5V_IN	-	A1	B15_L4N	B11
P3	B15_12P	D13	A2	B15_L6P	D8
P4	3V3	-	A3	B15_L6N	D9
P5	5V_IN	-	A4	B15_L11P	C11
P6	GND	-	A5	B15_L11N	C12
P7	GND	-	D8	B14_L16N	T13
P8	-	-	D9	B14_L16P	R13
D0	B14_L19N	N6	D10	CK_SS	R7
D1	B14_L19P	M6	D11	CK_MOSI	R6
D2	B14_L21N	T8	D12	CK_MISO	T5
D3	B14_L21P	T7	D13	CK_SCK	R5
D4	B14_L11 SRCCN	P13	G	GND	-
D5	B14_L11 SRCCP	N13	AREF	B14_L6N	M12
D6	B14_L17N	R11	SDA	B14_L21N	T8
D7	B14_L17P	R10	SCL	B14_L21P	T7

2.2.3 JP1 (PMOD) 接口

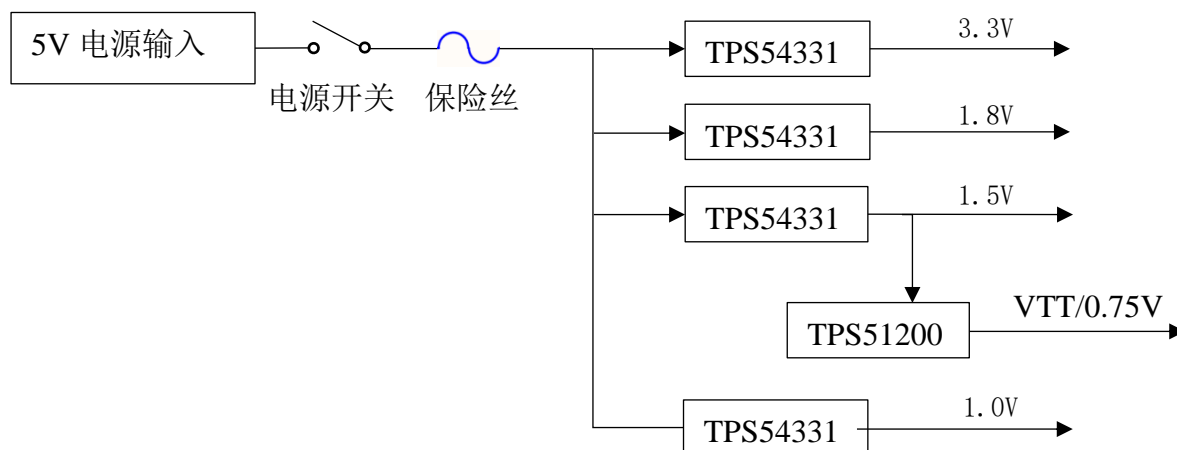
JP1 是 PMOD 接口，内含 8 条专用数字信号线。



JP1 (PMOD) 接口					
JP1 引脚	信号名称	FPGA 引脚	JP1 引脚	信号名称	FPGA 引脚
1	B15_L13P	E12	2	B15_L13N	E13
3	B15_L14P	E11	4	B15_L14N	D11
5	GND	-	6	3V3	-
7	B15_L15P	D14	8	B15_L15N	D15
9	B15_L16P	F12	10	B15_L16N	F13
11	GND	-	12	3V3	-

2.3 电源

2.3.1 电源变换



2.3.2 电源分配功能

3.3V	FPGA_Bank14/Bank15/Bank34/FLASH/晶振/LED/RGB_LED/按键/拨动开关
1.8V	FPGA 辅助电压
1.5V	DDR3/FPGA_Bank35
VTT	DDR3
1.0V	FPGA 核心电压

2.3.3 电源启动顺序

因为 Artix-7 FPGA 的电源有上电顺序的要求，在电路设计中，我们已经按照芯片的电源要求设计，上电依次为 1.0V→1.8V→1.5V、3.3V（VCCIO）的电路设计，保证芯片的正常工作。

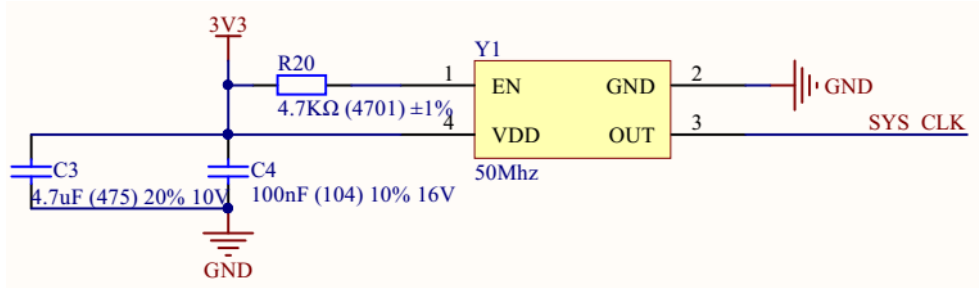
我们在设计 PCB 的时候，采用 6 层 PCB，预留了独立的电源层和 GND 层，使得整个开发板的电源，具有非常好的稳定性。并且在 PCB 板上我们预留了各个电源的测试点，以使用户确认板上的电压。

2.4 有源晶振

开发板提供的 FPGA 系统时钟源为 50Mhz 有源晶振电路。晶振输出信号端

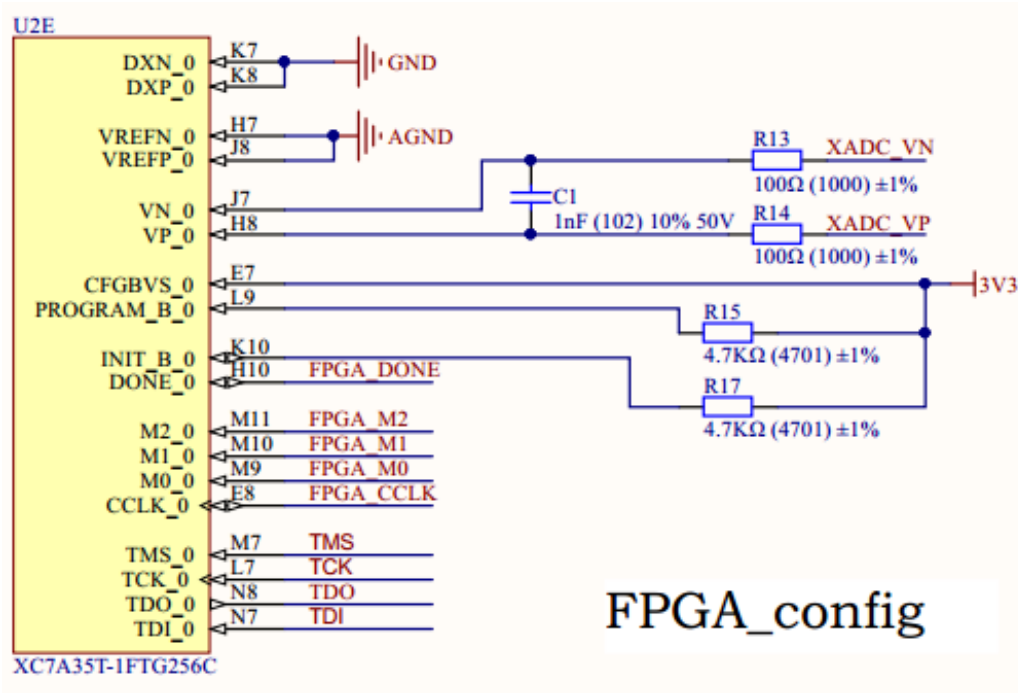


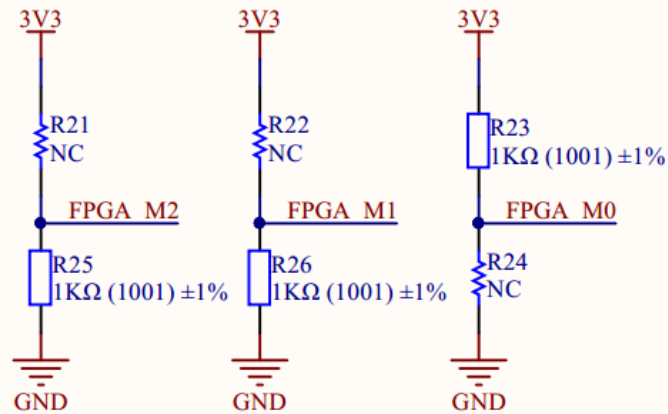
SYS_CLK 连接到 FPGA 的 BANK14 全局时钟管脚 N14 (IO_L12P_T1_MRCC_14)，这个 50Mhz 的时钟可以用来驱动 FPGA 内的用户逻辑电路。



2.5 FPGA 启动

开发板默认将 FPGA 的配置选择引脚 M[2:0] = 3'b001，上电后 FPGA 会默认以 SPI Flash 起机的 Boot 方式。



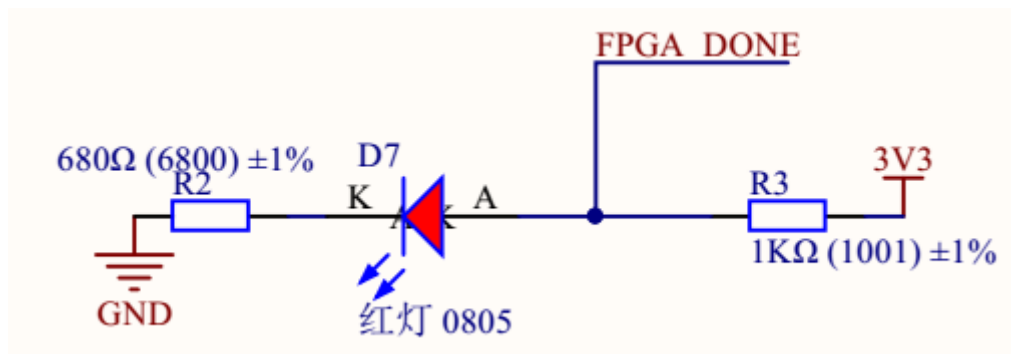


默认MASTER SPI x4
M[2: 0]=001

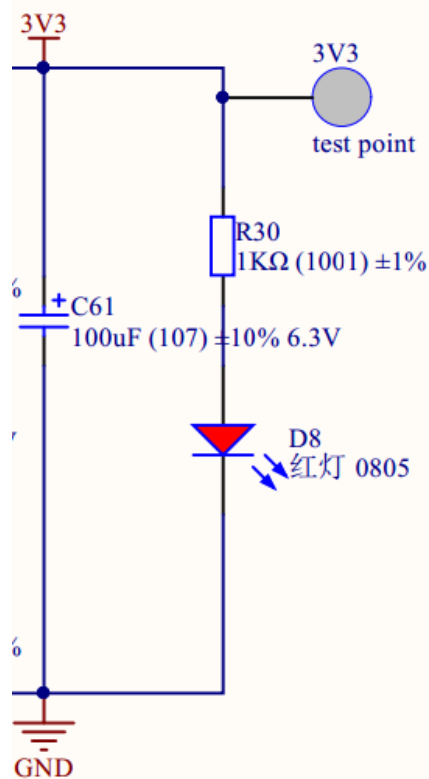
2.6 LED 和按键

2.6.1 LED

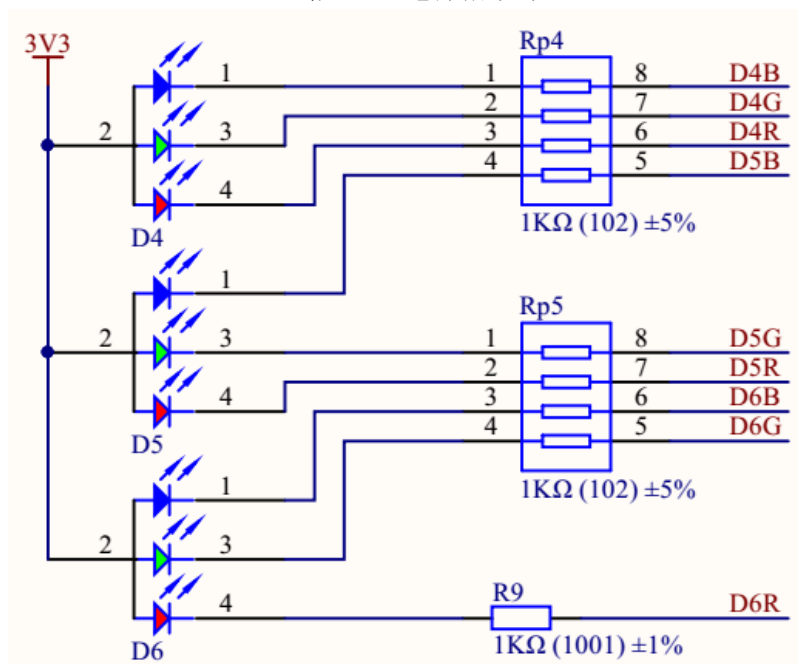
开发板上有 9 个 LED，包含 1 路 FPGA_DONE 信号指示灯，1 路 3.3V 电源指示灯，3 路用户 RGB 灯，4 路用户红灯。



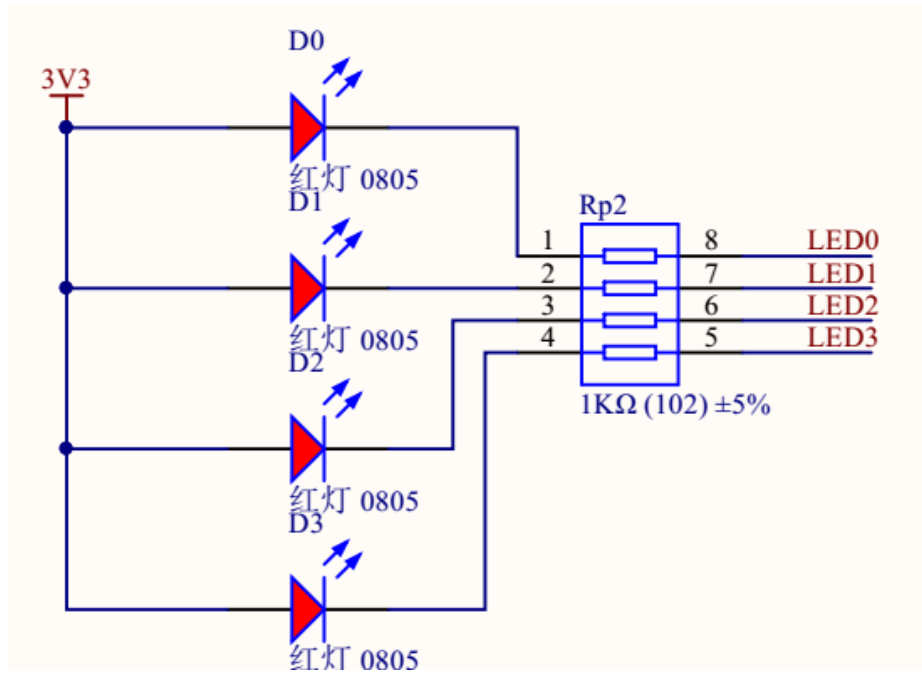
FPGA_DONE 信号灯



1 路 3.3V 电源指示灯



3 路用户 RGB 灯

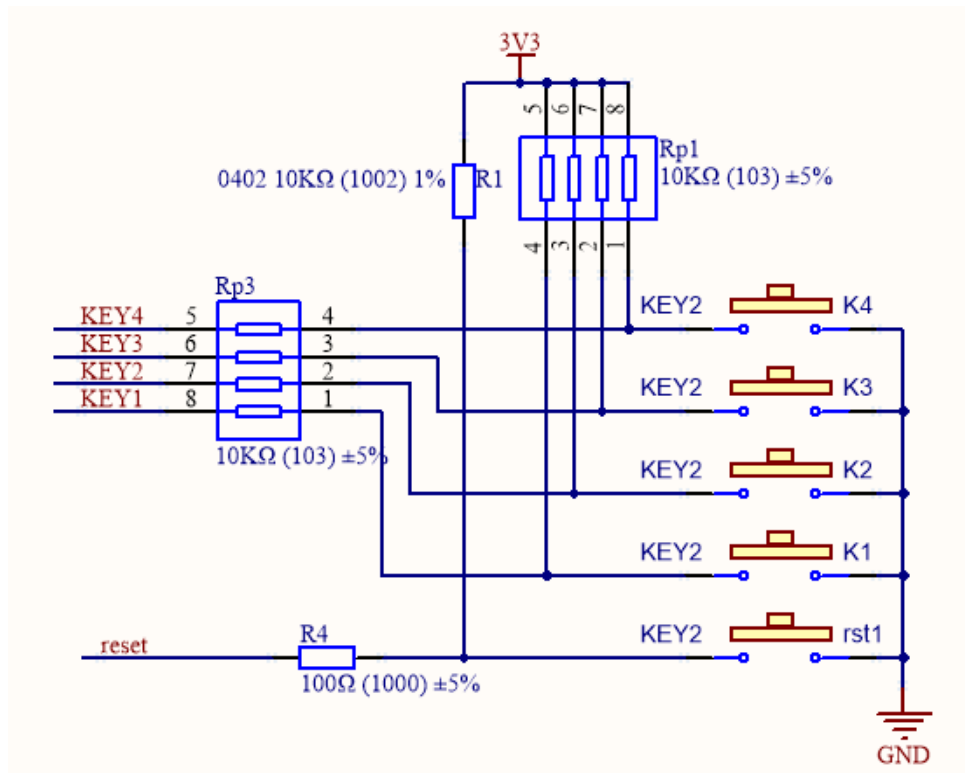


4 路用户红灯

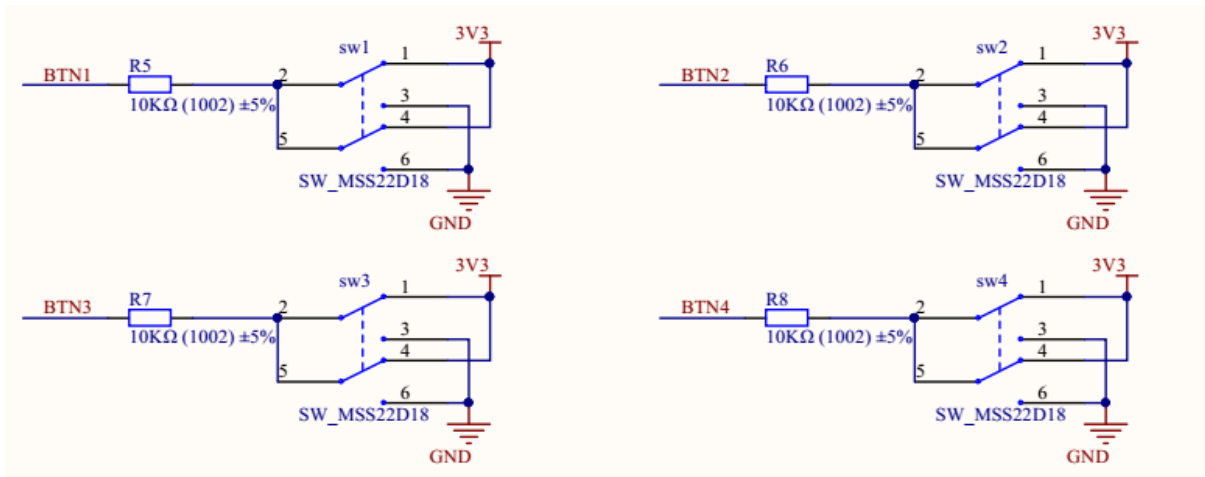
9 个 LED		
LED	信号名称	FPGA 引脚
D0	LED0	M16
D1	LED1	N16
D2	LED2	P15
D3	LED3	P16
D4	D4B	M2
	D4G	L5
	D4R	P5
D5	D5B	N12
	D5G	T9
	D5R	T10
D6	D6B	D10
	D6G	P6
	D6R	K12
D7	FPGA_DONE	H10
D8	电源指示灯	-

2.6.2 按键

开发板上有 9 个按键，包含 1 路复位按键，4 路用户轻触按键，4 路用户拨码开关，每个按键按下时会使相应的 I/O 拉至高电平。



1 路复位和 4 路用户轻触按键

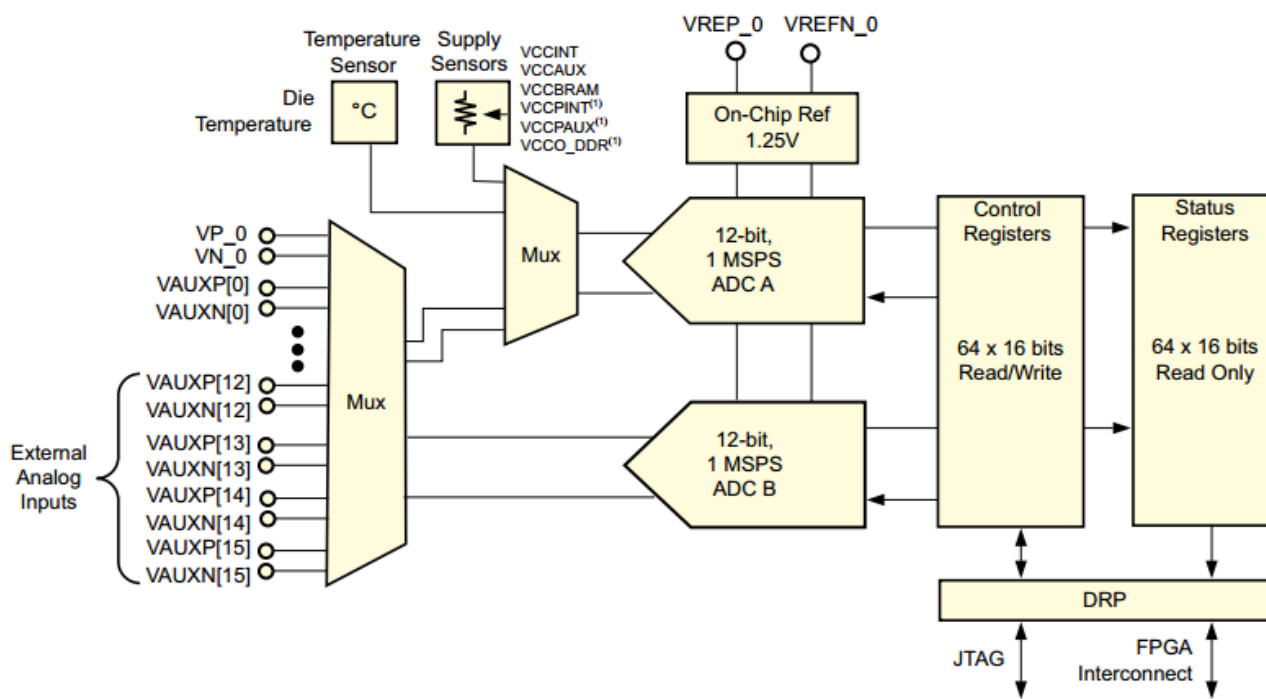


4 路用户拨码开关

9 个按键		
KEY	信号名称	FPGA 引脚
rst1	reset	L13
K1	KEY1	M15
K2	KEY2	T14
K3	KEY3	R16
K4	KEY4	R15
sw1	BTN1	T15
sw2	BTN2	M14
sw3	BTN3	L14
sw4	BTN4	K13

2.7 XADC

Artix-7 系列 FPGA 内含有两个 12 位、1 MSPS 的模数转换器，可以配置为同时采样两个外部模拟通道。支持单端输入和差分输入的模拟信号，并且可以访问多达 17 个外部模拟量输入通道。满量程输入为 1V，LSB（最低有效位，Least Significant Bit）= $\frac{1V}{2^{12}} = \frac{1V}{4096} = 244 \mu V$ 。JTAG 可以连续访问 ADC 的数据。



此开发板的 AD 采样部分使用片内参考电压 1.25V，片内参考电压有良好的稳定性。P1 高速接插口含 2 对高速差分输入 AD 采样；P2 兼容 Arduino，内含 6 个单端输入或 6 对差分输入 AD 采样。

2.8 DDR3

开发板板载了一片高速 DDR3 SDRAM，型号：MT41J128M16JT-093，容量：256MByte（128M*16bit），16bit 总线。开发板上 FPGA 和 DDR3 SDRAM 相连的是 BANK35 的 IO，DDR3 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻，走线阻抗控制，走线等长控制，保证 DDR3 高速稳定的工作。

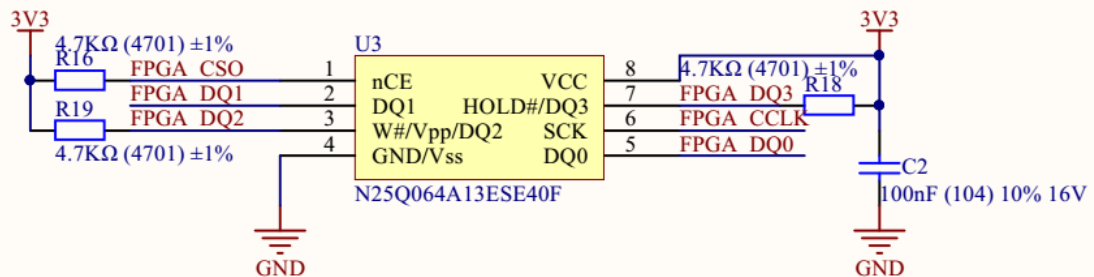
DDR3 SDRAM 引脚分配			
信号名称	FPGA 引脚	信号名称	FPGA 引脚
DDR_A0	C2	DDR_D0	F5
DDR_A1	C6	DDR_D1	G4
DDR_A2	B1	DDR_D2	G2
DDR_A3	C3	DDR_D3	H5
DDR_A4	C7	DDR_D4	E5
DDR_A5	B2	DDR_D5	G1
DDR_A6	D6	DDR_D6	F4
DDR_A7	B4	DDR_D7	F3
DDR_A8	A7	DDR_D8	H1
DDR_A9	A2	DDR_D9	J4
DDR_A10	B5	DDR_D10	H2
DDR_A11	B7	DDR_D11	J1
DDR_A12	D5	DDR_D12	K3
DDR_A13	A3	DDR_D13	J5
DDR_BA0	D1	DDR_D14	L3
DDR_BA1	B6	DDR_D15	L2
DDR_BA2	E2	DDR_DQS0_P	F2
DDR_CLK_P	A5	DDR_DQS0_N	E1
DDR_CLK_N	A4	DDR_DQS1_P	J3
DDR_CKE	C1	DDR_DQS1_N	H3
DDR_WE	D3	DDR_DQM0	G5
DDR_CAS	D4	DDR_DQM1	K1
DDR_RAS	H4	DDR_RESET	C4
DDR_ODT	E3		

2.9 SPI FLASH

开发板上使用了两片 8MB(64Mbit)大小的 SPI FLASH 芯片，型号为 25Q064A，它使用 3.3V CMOS 电压标准。由于它的非易失特性，在使用中，SPI FLASH 可以作为 FPGA 系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、软核的应用程序代码以及其它的用户数据文件。

2.9.1 FLASH

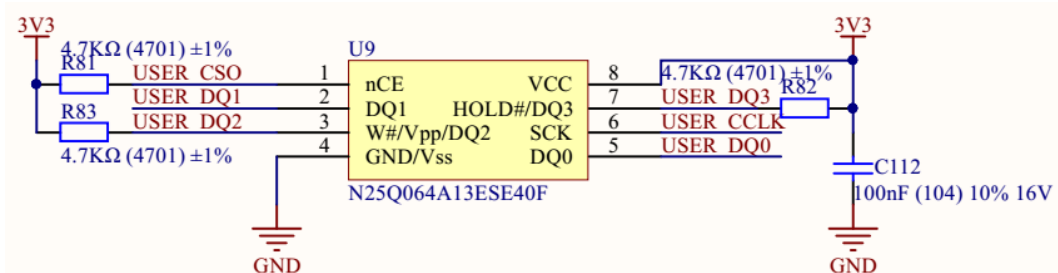
在 Master SPI 模式下，FPGA 会默认从此 FLASH 下读取 Bit stream。



FLASH 接口					
FLASH 引脚	信号名称	FPGA 引脚	FLASH 引脚	信号名称	FPGA 引脚
1	FPGA_CS0	L12	2	FPGA_DQ1	J14
3	FPGA_DQ2	K15	4	GND	-
5	FPGA_DQ0	J13	6	FPGA_CCLK	E8
7	FPGA_DQ3	K16	8	3V3	-

2.9.2 USER FLASH

USER FLASH 可以用来存储用户的数据和代码。



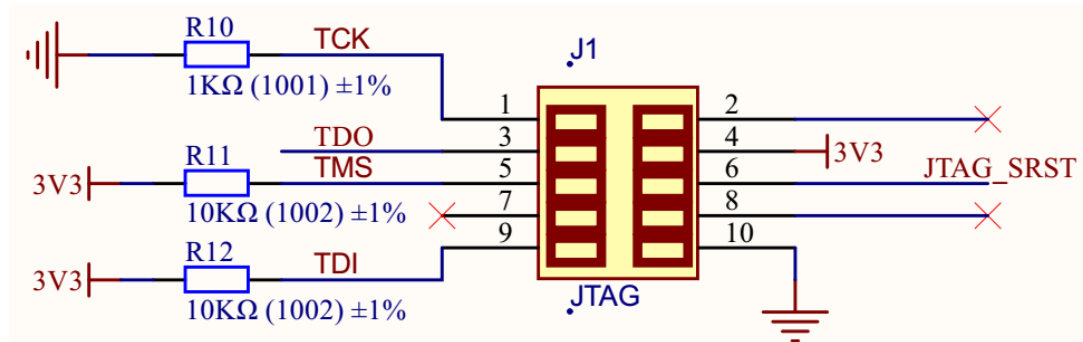
USER FLASH 接口					
USER FLASH 引脚	信号名称	FPGA 引脚	USER FLASH 引脚	信号名称	FPGA 引脚
1	USER_CS0	M5	2	USER_DQ1	P1
3	USER_DQ2	P4	4	GND	-

5	USER_DQ0	N1	6	USER_CCLK	N4
7	USER_DQ3	P3	8	3V3	-

2.10 JTAG 接口

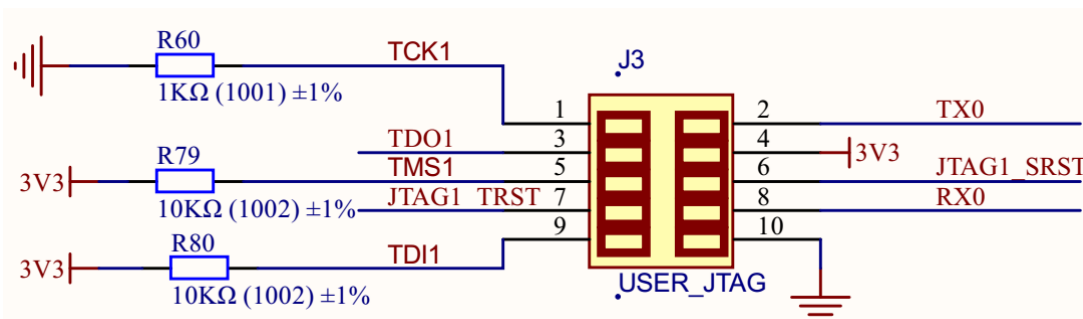
2.10.1 JTAG

专用于下载 FPGA 程序或者固化程序到 FLASH。JTAG 线插拔的时候请断电，注意不要热插拔。



JTAG 接口					
JTAG 引脚	信号名称	FPGA 引脚	JTAG 引脚	信号名称	FPGA 引脚
1	TCK	L7	2	-	-
3	TDO	N8	4	3V3	-
5	TMS	M7	6	JTAG_SRST	P14
7	-	-	8	-	-
9	TDI	N7	10	GND	-

2.10.2 USER JTAG



USER JTAG 接口					
USER JTAG 引脚	信号名称	FPGA 引脚	USER JTAG 引脚	信号名称	FPGA 引脚



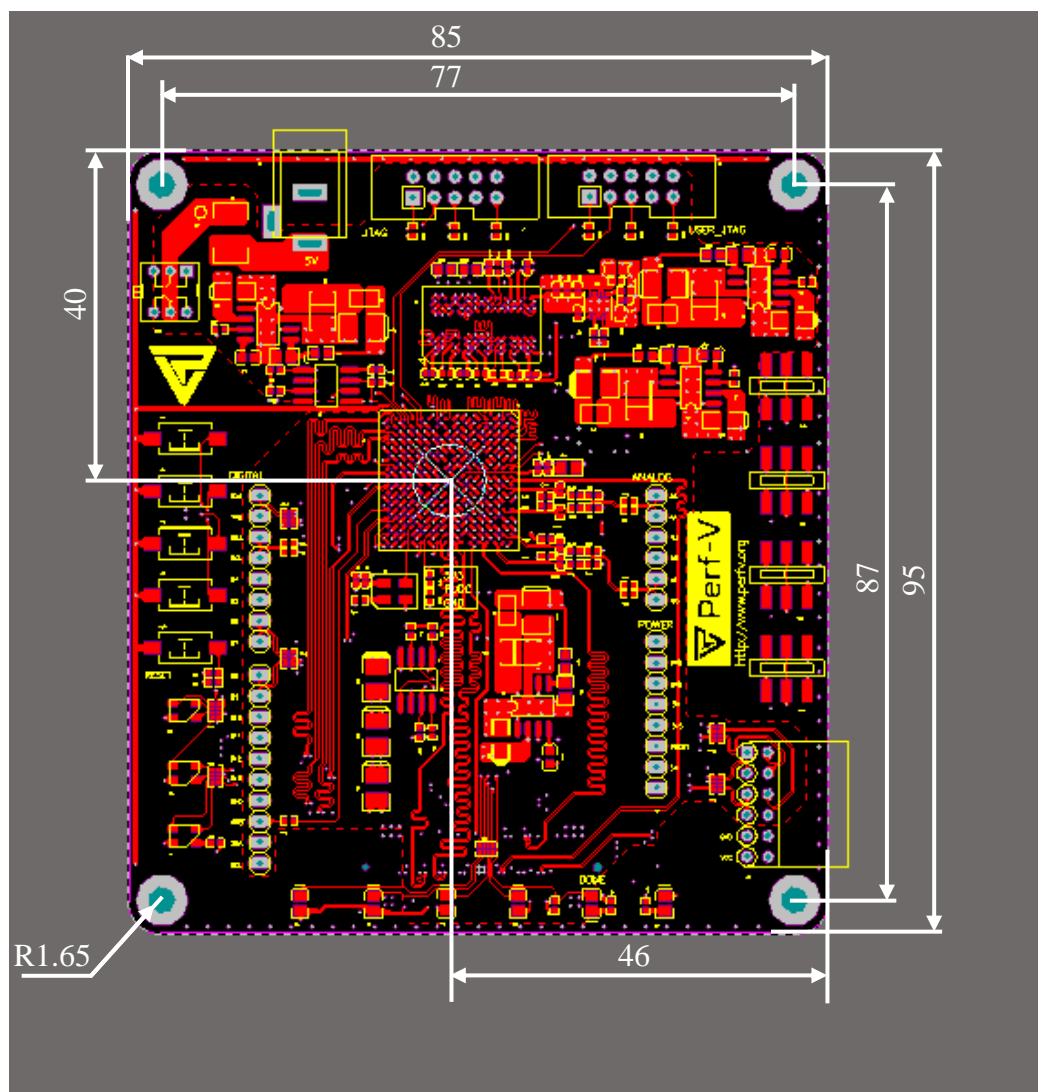
1	TCK1	N11	2	TX0	P9
3	TDO1	M1	4	3V3	-
5	TMS1	N3	6	JTAG1_SRST	M4
7	JTAG1_TRST	L4	8	RX0	N9
9	TDI1	N2	10	GND	-

2.11 蜂鸟与 FPGA 连接

蜂鸟	开发板接插件
QSPI	USER FLASH
UART0	USER JTAG
UART1	Arduino_D0/D1
CK_IO[0:19]	Arduino_D4...D13 Arduino_A0...A5 PMOD_P1...P4
SPI2	Arduino_D10...D13
JTAG	USER JTAG

3 开发板机械尺寸和重量

3.1 机械尺寸(mm)



3.2 重量(g)

开发板（不含铜柱） 43.4g

开发板（含铜柱） 52.8g



4 版本历史

版本日期	版本号	修改内容
2018.04.01	1.0	对内发布