

به نام خدا



دانشگاه تهران

دانشکده برق و کامپیوتر

## گزارش کار تکلیف دوم طراحی کامپیوتری

پرنا اسدی

810198498

مرتضی بهجت

810198363

سال 00-01

در این مرحله از طراحی، با ترکیب دو طرح قبلی این طرح جدید پیاده سازی میکنیم. از طرح آقای بهجت، ایده پیاده سازی انتخاب گر ها و دیتاپس ایده برداری شد و از طرح خانم اسدی، کنترلر برداشته شد و با ترکیب این دو طرح به طرح بهینه تری رسیدیم که با استتیت کمتر و دیتاپس ساده تر پیاده سازی کرده ایم.

طرح های قبلی ایرادی نداشته اند بلکه اگر آنها را پیاده سازی میکردیم دارای کنترلر یا دیتاپس پیچیده میشدند اما با بهینه سازی و ترکیب دو طرح، به کنترلر و دیتاپس بهینه تری دست پیدا کردیم.

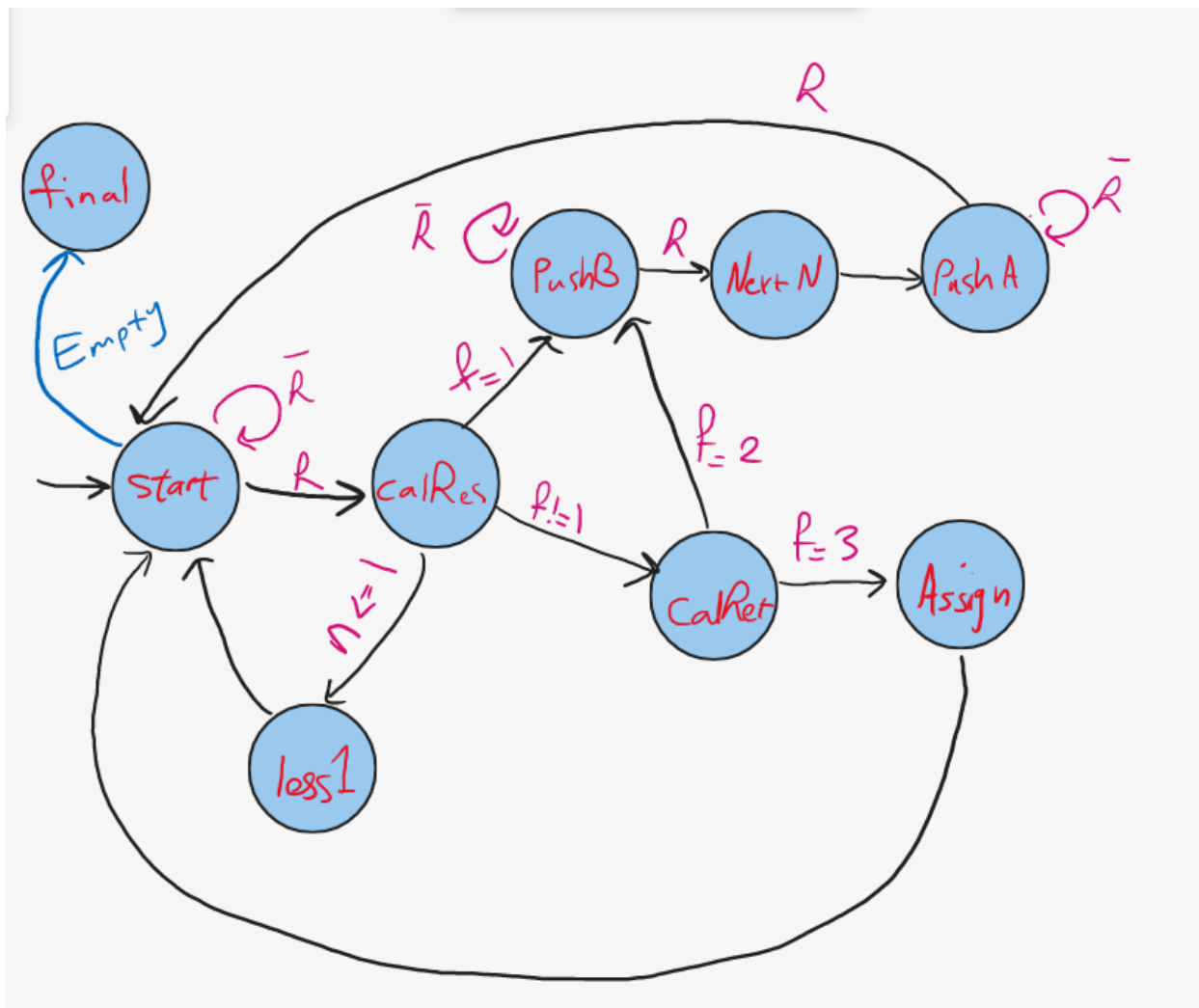


Figure 1 طرح اولیه کنترلر جدید

طرح اولیه کنترلر به این صورت است که استک از پیش پر شده و مقدار  $N$  در تست بنچ ست میشود. سپس وارد استتیت حساب کردن ضرب مقدار درست  $n$  در مقدار بازگشتی ضرب میشود. سپس بسته به مقدار  $n$  در این لحظه اگر مقدار

بیشتر از یک باشد، روند پوش کردن تا رسیدن به مقدار 1 یا 0 ادامه میدهد، سپس بسته به فلگ (مرحله قرارگیری عدد بر استک) یا مقدار را در مقدار مناسب  $n-1$  و یا  $n-2$  ضرب میکنیم (با منطق xor) یا مقدار قبلی بازگشتی را با مقدار محاسبه شده جمع میکنیم. در نهایت مقدار نهایی محاسبه شده در رجیستر ret قرار میگیرد.

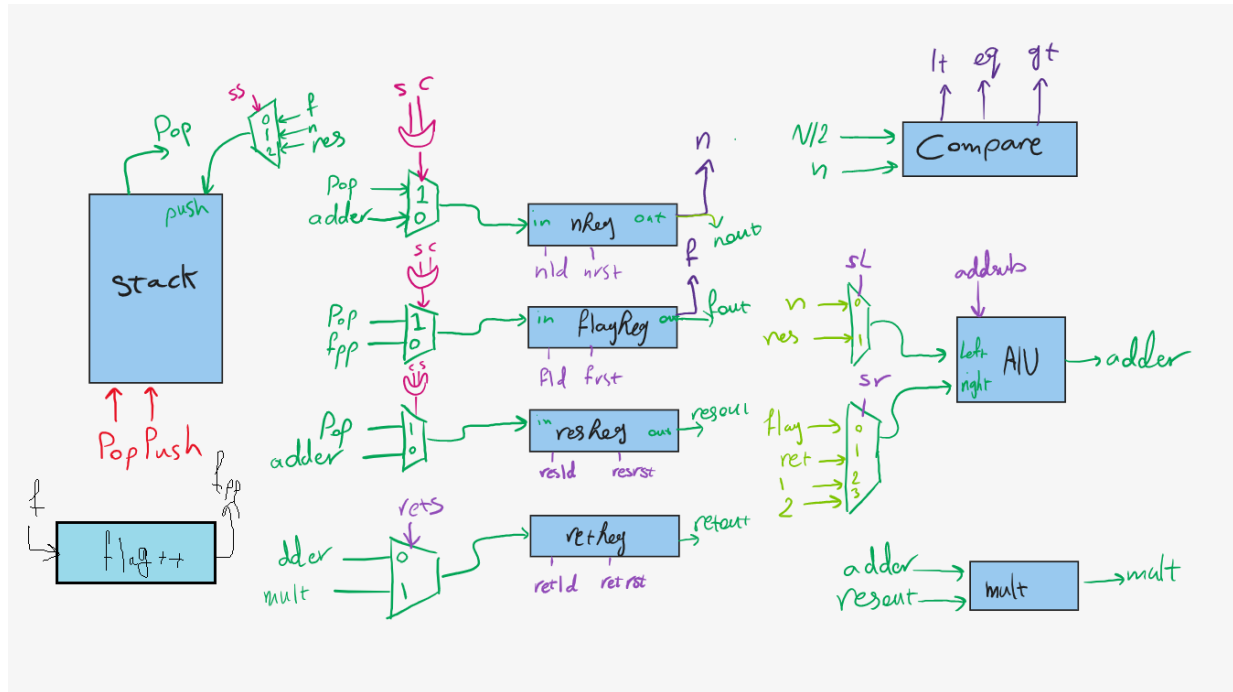


Figure 2 طرح اولیه دیتاپس

در طرح دیتاپس، به خاطر شلوغ نشدن سیم کشی، ورودی ها و خروجی ها نام گزارش شده اند، ورودی های بین مدار با رنگ سبز، خروجی دیتاپس به کنترلر اصلی با رنگ بنفش پررنگ و سینگال های کنترلی با بنفش کمرنگ و قرمز مشخص شده اند. و چون لود در رجیستر ها هم توسط کنترلر اصلی هم کنترلر استک داده میشود، این سینگال ها با or مولتی پلکسر ها را کنترل میکنیم.

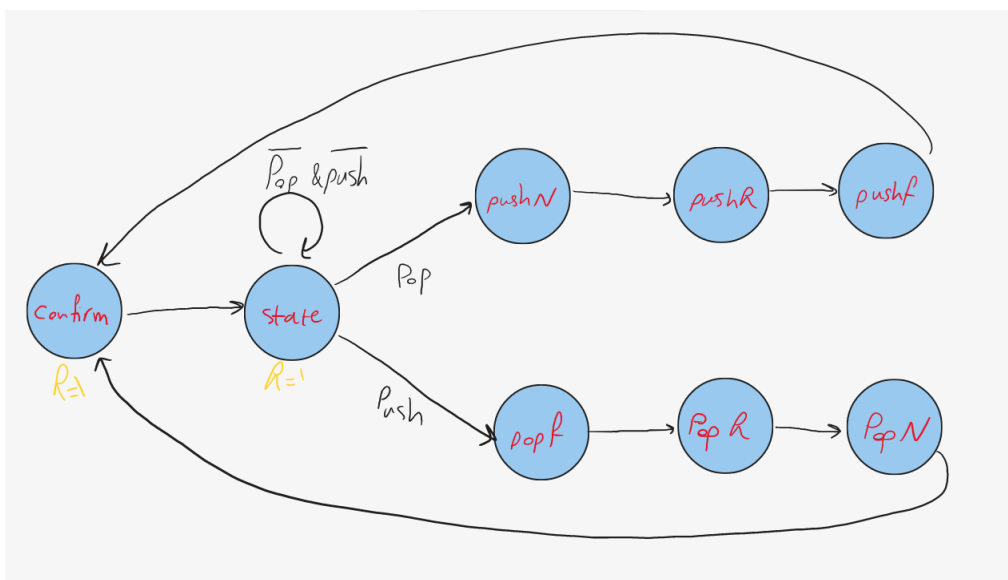
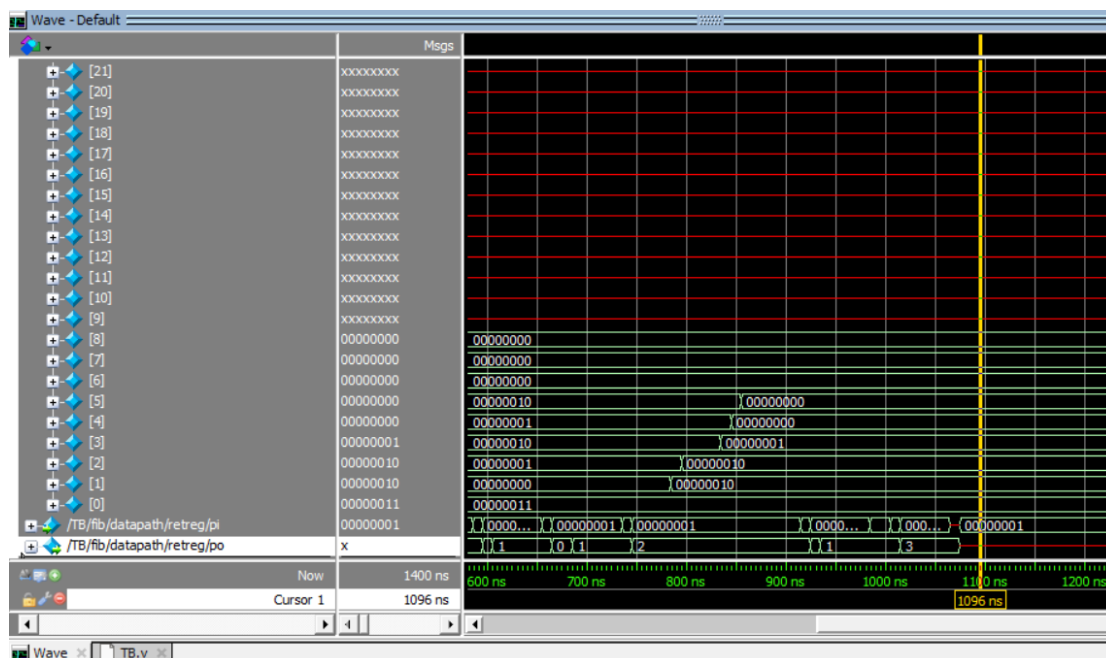


Figure 3 طرح استک کنترلر

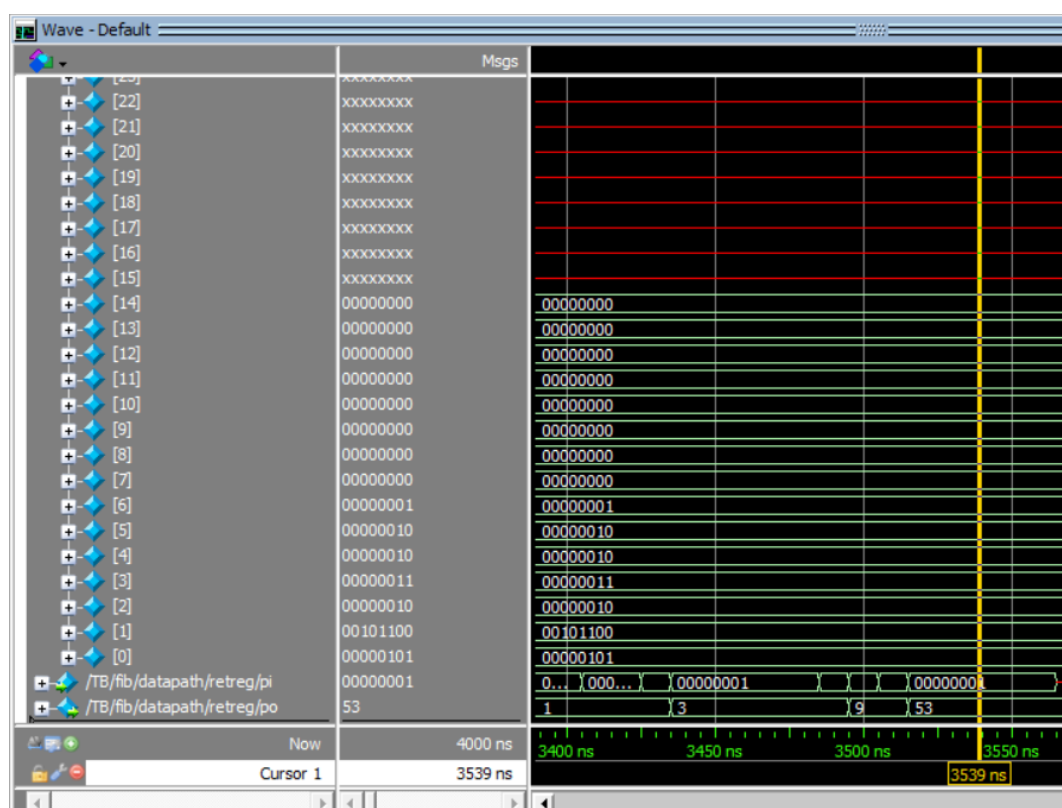
در این تصویر نیز کنترلر استک طراحی شده است که هم از پیچیدگی کنترلر اصلی کم میکند هم مدیریت استک برای ورودی و خروجی را کامل به عهده دارد و به سادگی قابل تغییر است. روند کنترلر استک نیز به این صورت است که یا 3 واحد سر استک را پاپ میکند و یا سه رجیستر `res,flag,n` را به ترتیب مشخصی در استک پوش میکند. روند کامل و سناریو تست شده به صورت شماتیک در فایل مکمل در `doc` قرار گرفته است.

برای ورودی 3، اگر موج `regret/po` را در آخر عملیات ببینید، مقدار 3 در آن قرار دارد و برای ورودی 5 نیز در همین رجیستر در پایان عملیات عدد 53 قرار گرفته است. برای اعداد دیگری نیز بررسی شده است.

برای ورودی 3: (خروجی تبدیل به دسیمال شده است)



برای ورودی 5: (خروجی تبدیل به دسیمال شده است)



برای ورودی 2: (خروجی تبدیل به دسیمال شده است)

