**IC Design Lab**

LVS: Calibre

Layout vs. Schematic

1. Lab目的: 學習如何進行Layout Versus Schematic (LVS)。
2. 將上次Lab 產生的CHIP.gds和CHIP.v檔放入Lab5\_LVS資料夾裡面
3. 檢查LVS的目錄，我們發現目前還沒有source.spi，因此必須先把CHIP.v轉換成SPICE格式輸入：
   1. *%* *source /usr/mentor/CIC/calibre.cshrc*
   2. *%* *v2lvs -l core.v -l umc18\_io\_lvs.v -s core.spi -s umc18\_io\_lvs.spi -v CHIP.v -o CHIP.spi*
   3. 成功的話會產生CHIP.spi。
4. 在Lab5\_LVS資料夾裡執行Calibre LVS
   1. *%* *calibre -lvs -hier -auto G-DF-MIXED\_MODE\_RFCMOS18-1.8V\_3.3V-1P6M-MMC\_CALIBRE-LVS-2.1-P8.txt*
5. 觀看LVS結果
   1. 打開檔案lvs\_test.rep，檢查OVERALL COMPARISON RESULT的部份是不是出現笑臉與大勾，如果是的話便表示設計有通過LVS了。