

NYCU-ECE DCS-2023

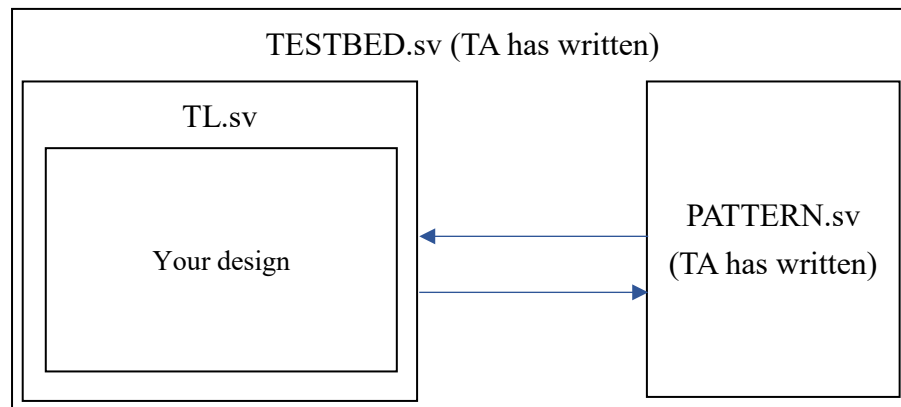
HW03

Design: Traffic Light Controller (FSM)

資料準備

1. 從 TA 目錄資料夾解壓縮:
% tar -xvf ~dcsta01/ HW03.tar
2. 解壓縮資料夾 hw01 包含以下:
 - a. 00_TESTBED/
 - b. 01_RTL/
 - c. 02_SYN/
 - d. 03_GATE/
 - e. 09_UPLOAD/

Block Diagram



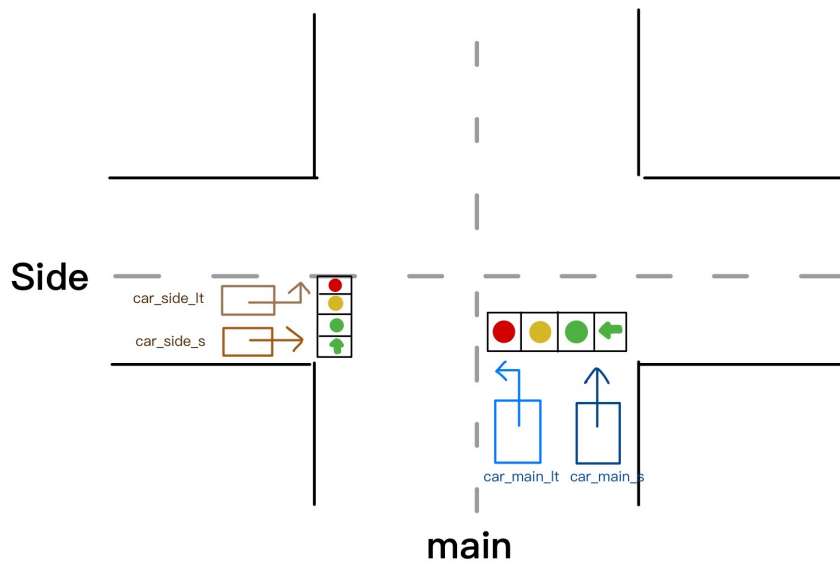
設計描述

建議參考course materials Lec9 factor FSM。

課程影片連結 https://youtu.be/cLn_T82M_uU

這次作業要求設計一個紅綠燈控制器。

Traffic Light Controller是描述繁忙的高速公路，有一處與農路(支幹道)相交叉。



需要控制主幹道與支幹道的紅綠燈，紅綠燈包含綠燈、黃燈、紅燈與左轉燈，主幹道與支幹道會有直走車與左轉車，優先權會是主幹道大於支幹道，直走車大於左轉車，一般來說，主幹道的燈號會是綠燈，同時支幹道的燈號會是紅燈，當有主幹道或者支幹道的來車(包含直走與左轉)，才會切換燈號。如果要變換燈號，燈號的間隔時間如下: (可參考下方Example waveform)

主幹道

- 綠燈: 維持4秒，可走4台主幹道直走車
- 黃燈: 維持1秒
- 紅燈:
 - 跳轉時須維持2秒
 - 當支幹道變換時，須維持到全部車輛走完後，和支幹道紅燈重疊(主幹道和支幹道同時為紅燈)2秒，可參考Example waveform 4、5
- 左轉燈: 維持3秒，可走3台主幹道左轉車

支幹道

- 綠燈: 維持3秒，可走3台支幹道直走車
- 黃燈: 維持1秒

- 紅燈:
 - 跳轉時須維持2秒
 - 當主幹道變換時，則維持到主幹道車輛走完後，和主幹道紅燈重疊(主幹道和支幹道同時為紅燈)1秒，可參考Example waveform 4、5
- 左轉燈: 維持2秒，可走2台支幹道左轉車

燈號變換的規則如下:

1. 主幹道預設值為綠燈，支幹道預設值為紅燈
2. 一開始必定會從主幹道的綠燈及支幹道的紅燈(default)的情況開始，之後的燈號變換再根據車子種類及數量判斷。可參考Example waveform 7
3. 假設某一種類的車輛大於該燈號一次可走的車輛，則不必經過黃燈紅燈的跳轉，可直接把同種類的車輛走完(必須為「維持秒數」的整數倍)

Ex: 主幹道直走車輛7台，則需亮8 cycle的主幹道綠燈及支幹道紅燈，再進行其餘燈號的跳轉。可參考Example waveform 3

4. 綠燈/左轉燈轉換紅燈時，必須經過黃燈；紅燈轉綠燈/左轉燈則不用
5. 所有車輛走完後，必須回歸到預設值1 cycle，才算燈號變換完成

車子規則如下:

1. 優先順序為：主幹道直行車 > 主幹道左轉車 > 支幹道直行車 > 支幹道左轉車。
2. 若無來車，則輸出1個cycle的default值。可參考Example waveform 8

Inputs

Signal name	Number of bit	Description
clk	1	clock
rst_n	1	Asynchronous active-low reset
in_valid	1	When getting high means car_main_s、car_main_lt、car_side_s、car_side_lt are valid
car_main_s	3	主幹道直走車數量，範圍 0~7 輛車

car_main_lt	3	主幹道左轉車數量，範圍 0~7 輛車
car_side_s	3	支幹道直走車數量，範圍 0~7 輛車
car_side_lt	3	支幹道左轉車數量，範圍 0~7 輛車

Outputs

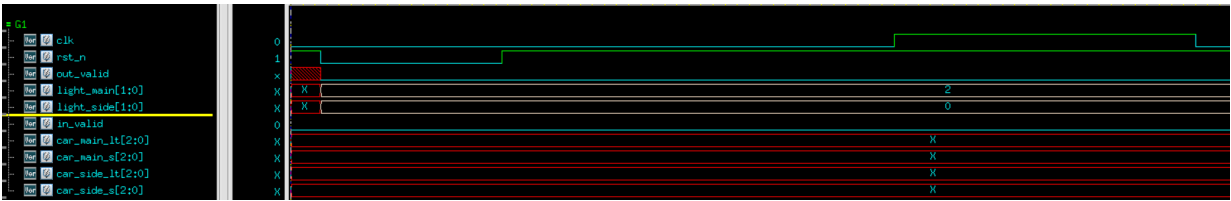
Signal name	Number of bit	Description
out_valid	1	必須在 in_valid 落下後 100 cycle 內拉起，out_valid 持續到燈號變換完成。
light_main	2	0 for Red light ; 1for Yellow light ; 2 for Green Light ; 3 for Left turn light Default is 2
light_side	2	0 for Red light ; 1for Yellow light ; 2 for Green Light ; 3 for Left turn light Default is 0

Specifications

- Top module name: **TL** (File name : **TL.sv**) **(-5% if naming error!!)**
- Please use Systemverilog to complete your homework.
- 在非同步負準位 reset 後，out_valid 訊號必須歸零，light_main 和 light_side 訊號必須為 Default 值。
- Output 要在 Input 結束後的 100 cycles 內輸出。
- out_valid 要涵蓋所有燈號變換的 cycle，直到燈號變換完成，不能多不能少。
- out_valid 和 in_valid 不能重疊。
- light_main、light_side 訊號在輸出結束後須回到預設值。
- O2_SYN results **cannot include errors and latches.**
- O3_GATE results **cannot include any timing violations.**
- Slack should be non-negative(MET) at the end of the timing report.
- Clock period 10 ns。
- Input delay = 0.5 * clock period; Output delay = 0.5 * clock period
- Separate your combinational and sequential blocks!**
(-5% per use!!) Ex. 2 blocks not separated : -10%, 3blocks : -15%...
- For loops are forbidden. TA will check your code.**

Example waveform

- 在非同步負準位 reset 後，out_valid 訊號必須歸零，light_main 和 light_side 訊號必須為 Default 值。



2. Input:

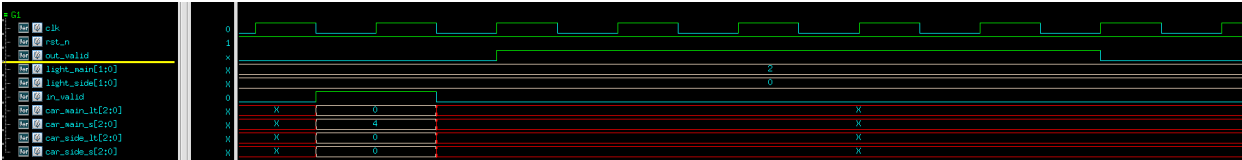
car_main_s	3'd4
car_main_lt	3'd0
car_side_s	3'd0
car_side_lt	3'd0

Output:

cycle	0	1	2	3	4	5	6
out_valid	L	H	H	H	H	H	L
light_main	●	●	●	●	●	●	●
light_side	●	●	●	●	●	●	●

4cycle 主幹道直走綠燈

1cycle default



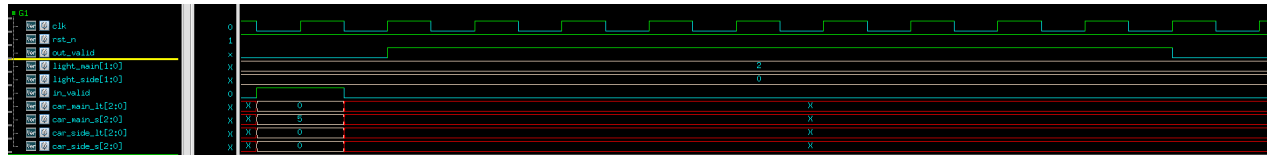
3. Input:

car_main_s	3'd5
car_main_lt	3'd0
car_side_s	3'd0
car_side_lt	3'd0

Output:

cycle	0	1	2	3	4	5	6	7	8	9	10
out_valid	L	H	H	H	H	H	H	H	H	H	L
light_main	●	●	●	●	●	●	●	●	●	●	●
light_side	●	●	●	●	●	●	●	●	●	●	●

8 cycle 主幹道直走綠燈



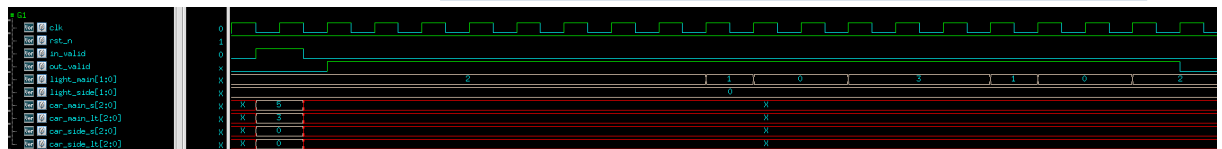
4. Input:

car_main_s	3'd5
car_main_lt	3'd3
car_side_s	3'd0
car_side_lt	3'd0

Output:

cycle	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
out_valid	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
light_main	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●
light_side	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●

和支幹道紅燈重疊 2 秒，再跳回 default 值



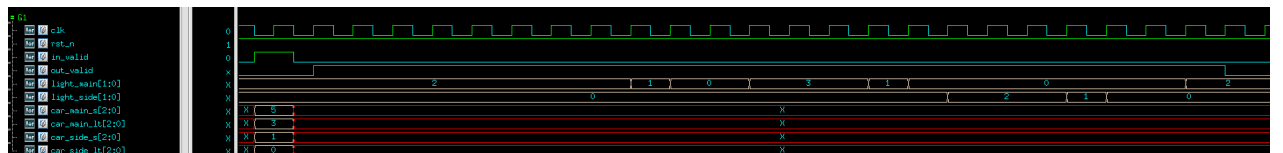
5. Input:

car_main_s	3'd5
car_main_lt	3'd3
car_side_s	3'd1
car_side_lt	3'd0

Output:

cycle	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
out_valid	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
light_main	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●
light_side	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●

和主幹道紅燈重疊 1 秒，支幹道開始行為



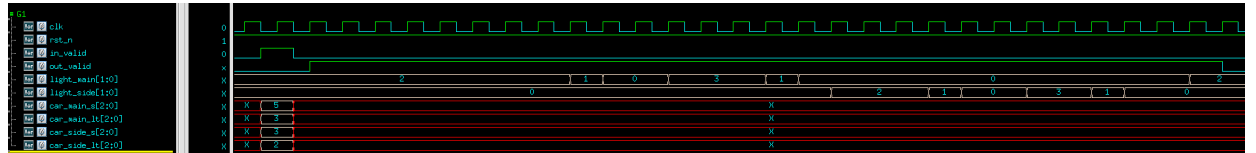
6. Input:

car_main_s	3'd5
car_main_lt	3'd3
car_side_s	3'd3
car_side_lt	3'd2

Output:

cycle	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29
out_valid	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
light_main	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●
light_side	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●

1 cycle default



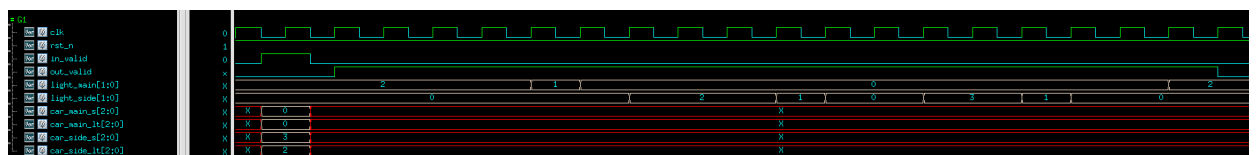
7. Input:

car_main_s	3'd0
car_main_lt	3'd0
car_side_s	3'd3
car_side_lt	3'd2

Output:

cycle	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
out_valid	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
light_main	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●
light_side	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●

需先經過 4 個主幹道直走綠燈的 default 狀態



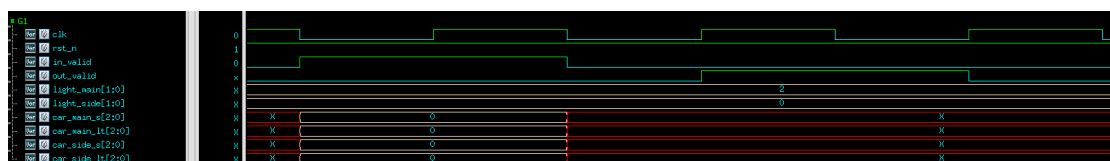
8. Input:

car_main_s	3'd0
car_main_lt	3'd0
car_side_s	3'd0
car_side_lt	3'd0

Output:

cycle	0	1	2
out_valid	L	H	L
light_main	●	●	●
light_side	●	●	●

default 一個 cycle



上傳檔案

1. Code使用09_upload上傳。(% ./01_upload)
2. report_dcsxx.pdf, xx is your server account.上傳至new E3。Report必須是pdf檔，請勿上傳其他格式。

(-5% if naming error!!)

3. Deadline :

DEMO1 : 4/13 23:59:59

DEMO2 : 4/20 23:59:59

Grading policy

1. Pass the RTL& Synthesis & Gate-level simulation. 60%
2. Performance 30%
Ranking formula: total latency * area
3. Report 10%

Note

Template folders and reference commands:

1. 01_RTL/ (RTL simulation) → **./01_run**
2. 02_SYN/ (synthesis) → **./01_run_dc**
3. 03_GATE/ (gate-level simulation) → **./01_run**
4. 09_UPLOAD/ (upload) → **./09_upload**

報告請簡單且重點撰寫，**不超過三頁A4**，並包括以下內容

1. 描述你的設計方法，包含但不限於如何加速(減少critical path)或降低面積。
2. 基於以上，畫出你的架構圖(Block diagram)
3. 遇到的困難與如何解決，不侷限於此次作業，對於作業或上課內容都可以寫下。