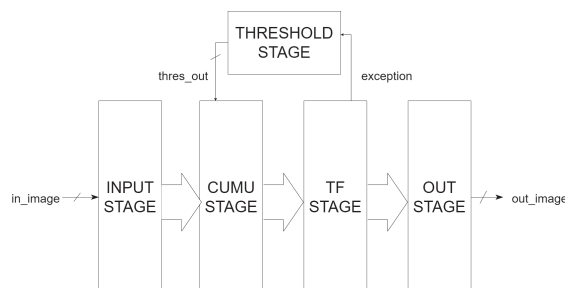


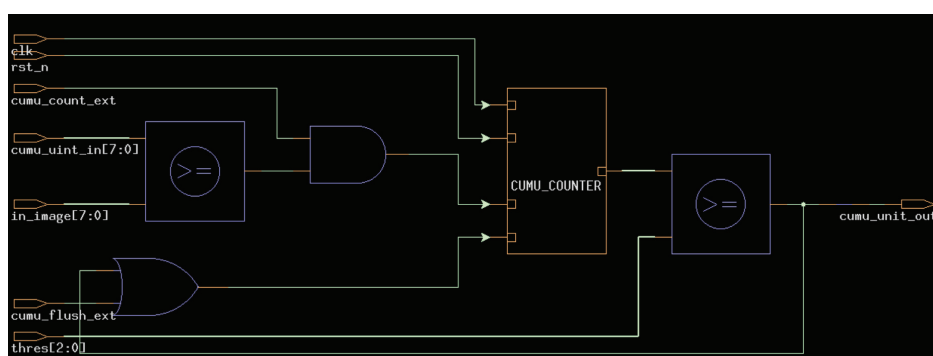
數電HW4



本次作業要計算 $937 \times \text{累積數} / 4093 - 1$ ，輸入的累積數最大需要8組11位元counter來儲存，如果直接用這個方法來做，恐怕會增加combinational area，因此我將累積的部分拆成兩個階段— cumulation stage與 transform stage。cumulation 指的是直接計算輸入的累積數，等到累積數達到可以讓 transfer function的值增加1時，就將cumulation的counter清空，並將transform counter(7 bit)加一。如此一來便可降低這些要重複8次的組合邏輯的大小。

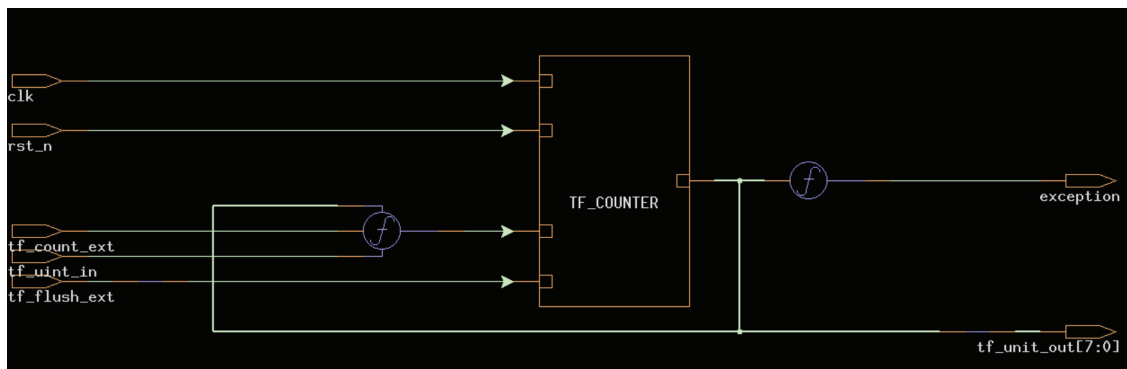
至於累加到何時要清空，則會交由另外一組電路—Threshold stage 來計算。若將 transfer function畫出，會發現從0累加到1會需要累加5次，1~2要4次...除了238和239之外，累加的極限都呈現5454454454544544544，週期為19的分布。可以藉由19週期的counter來實現。或是直接根據tf_stage的輸出值，用組合邏輯來計算。

CUMU stage 內部架構



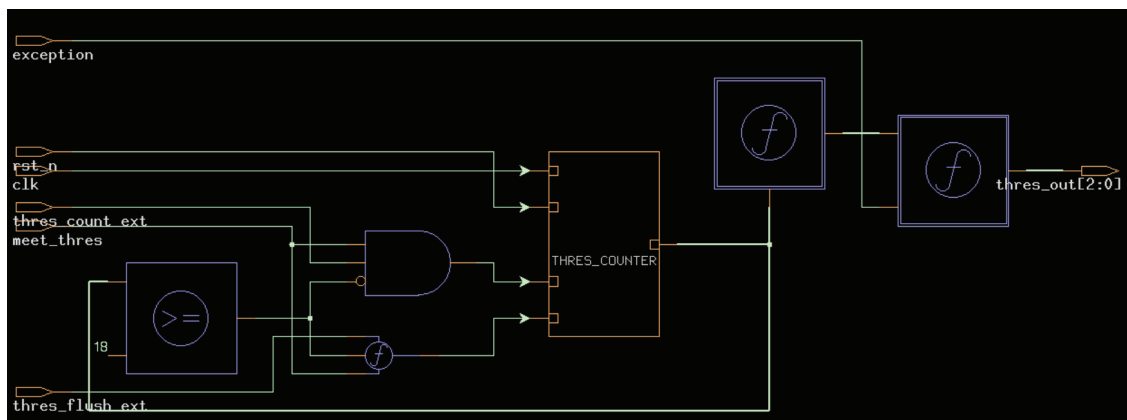
cumu stage內有八組如上圖的cumu_unit模組，當cumu_counter累加到足以讓transfer function加一時，此模組會輸出cumu_unit_out=1，此時flush訊號會啟動，使counter歸零。當HE 模組允許cumu_stage進行計數(設cumu_count_ext=1)，且輸入的修正資料值 \leq 前8筆輸入值，cumu_counter會加一。

TF stage 內部架構



tf stage內部有8組tf_unit，當HE允許累加且cumu unit的輸出為1，代表tf_counter($937 \times$ 累積數/4093)要加1，為避免溢位，在輸出端加上判斷 ≥ 255 的組合邏輯，以適時停止tf counter的累加。若tf counter累加至238或239，則輸出exception = 1來通知threshold stage改變輸出。

THRESHOLD STAGE 內部架構



每當cumu stage數到threshold的值，threshold unit內部的counter就會加一，數到18時清空，counter的輸出端有負責輸出週期性累加極限5454454454544544544，以及處理238、239兩個例外情況的電路。

可以再節省的部分

雖然這次降低位元數的策略確實成功的將面積控制在32000左右，但計算threshold的部分多了8組5位元counter，使的sequential area升高。或許直接用組合邏輯來判斷會比較節省。此外由於 $1024 \times 937 / 4093 < 255$ ，其實tf stage輸出的停止累加條件可以省略。