

Rapport INF2270 Oblig 2

Petter André Langstrand

Monday 3rd April, 2017

Abstract

Krets

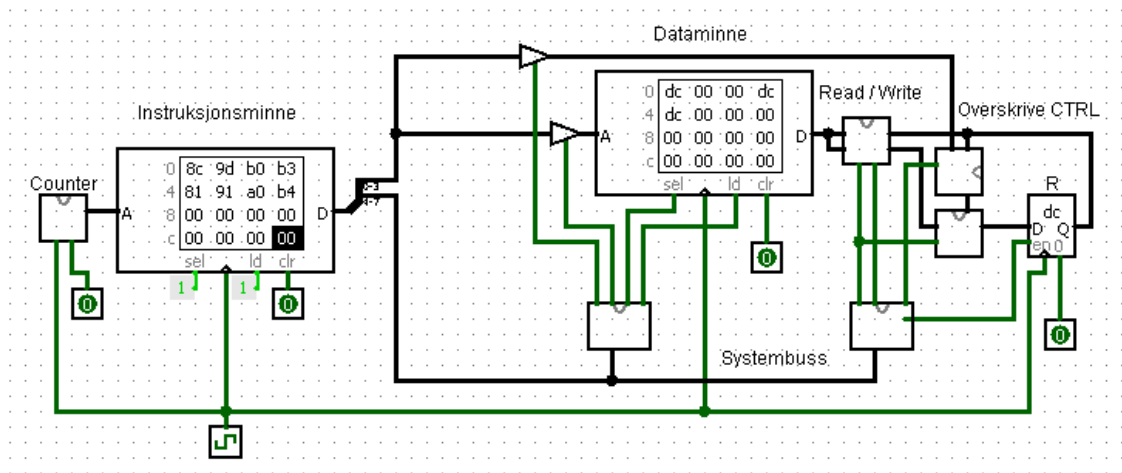


Figure 1: Viser implementasjon av CPU

Fremgangsmåten på denne obligen har vært å jobbe seg fra instruksjonsminne mot Registeret og så Dataminne. Meste parten av den bolske logikken har så blitt implementert gjennom Analyze circuit funksjonen i Logisim.

Instruksjonsminne

Som instruksjonsminnen bruke vi en RAM fra logisimbiblioteket. Denne var koblet opp med konstant høye load og select signal siden dette er den aktive delen av CPUen. På adresseinngangen dens er Countersignalet koblet. Samt er Datautgangen koblet til en splitter, hvor de 4 høyeste bitene som er instruksjoner blir sendt til systembussen. Mens de fire laveste blir endten sendt som data eller adresse. Klokkeinngangen er koblet til det globale klokkesignalet.

Counter

Counteren implementerte jeg med en 4bits adder og et register. Summen gitt av 4bits adderen blir sendt til registeret og utgangen av registeret blir koblet ut til Adresseinngang på instruksjonsminne, og tilbake til inngangen på 4bits adderen. Den andre inngangen på 4bits adderen er satt til konstant 0x01. Samt er Carry-out til 4bits-adderen koblet til disable på registeret slik at tellingen avslutes når vi når maksverdi. Klokkeinngangen til registeret er koblet til den globale klokken til CPUen

Systembuss

Systembussen er satt sammen av to subcircuits hvor den ene har ansvaret for data/adresse ut av instruksjonsminne og instruksjoner til dataminne. Mens den andre har ansvaret for data mellom dataminne og Register samt instruksjoner til registeret. Disse er for rydighetens skyld implementert med egne subcircuits inni seg.

Sel Load Ctrl

Den respektive første subcircuiten i systembussen slipper bare inn DDDD/AAAA signalet til adresseinngangen dersom instruksjonssignalet er 1010/1011. Ved å sende et enable signal til tri state bufferen. Tilsvarende brukes en annen tri state buffer som bare sender videre DDDD/AAAA signalet dersom instruksjonssignalet er 1000/1001. Denne er imidlertid overflødig, da enable signal til registre håndterer dette. Select-utgangen er koblet til select inngangen på dataminne og er bare høyt dersom instruksjonssignalet er 1010/1011. Loadutgangen er koblet til Load-inngangen på dataminne, og er bare høy dersom instruksjonssignalet er 1000/1001/1010.

Data Reg Ctrl

Den andre subcircuiten i systembussen har en read enable og write enable utgang som er koblet til Read Write Ctrl subcircuiten som bestemmer retningen på data mellom dataminne og registeret. Når instruksjonssignalet er 1010 skal Read Enable bli høy, mens Write Enable blir høy ved 1011. Samt er R enable utgangen koblet til enable på registeret og bare høy hvis 1000/1001/1010. OW select er koblet til OW Ctrl som overskriver registeret med 4bits på MSB eller LSB fra databitsene fra instruksjonsminne. Dersom 1001 blir OW select høy.

Register

Registeret er satt opp her med rising edge isteden for falling edge da dette løste et problem med innlesing av data på første klokke. Klokkeinngangen er her koblet til den globale klokken. Enable signalet kommer fra Data Reg Ctrl. Utgangen er koblet inn til read write og OW CTRL, mens inngangen er koblet til D inn. Som bestemmer om inngangssignalet skal komme fra Read Write eller OW ctrl, avhengig av om Read enable er høyt.

OW CTRL

Bestemmer hvilke om MSB eller LSB i registerets utgangssignal skal overskrives med databitsene fra instruksjonsminne. Select signalet kommer fra Data Reg Ctrl.

Read Write CTRL

Bestemmer retningen på data mellom Register og Dataminne. Dersom Read er høy skal data leses fra dataminne til Register. Mens dersom Write er høy skal data fra register overskrives i dataminne.

D inn

Bestemmer om inngangssignalet til Registeret skal komme fra Dataminne eller fra OW ctrl. Data kommer kun fra registeret dersom read er høy.

Dataminne

Dataminne har Select og Load inngang fra Sel Load Ctrl, samt er klokkeinngangen koblet til den globale klokken. Adresseinngangen er koblet til

instruksjonsminnets sine 4 laveste bits gjennom en tristate buffer. Mens Datainngangen er koblet til Registerets utgangt gjennom Read Write Ctrl, og registerets inngang gjennom read write ctrl og D inn.

Programkjøring

Table 1: Resultat av Program 1

Counter	RAM[0]	RAM[1]	RAM[2]	RAM[3]	R
0	0000 0000	0000 0000	0000 0000	0000 0000	0000 0000
1	0000 0000	0000 0000	0000 0000	0000 0000	0000 0101
10	0000 0000	0000 0000	0000 0000	0000 0000	1 110 101
11	0000 0000	1 110 101	0000 0000	0000 0000	1 110 101
100	0000 0000	1 110 101	0000 0000	0000 0000	1 110 001
101	0000 0000	1 110 101	0000 0000	0000 0000	1 000 001
110	0000 0000	1 110 101	0000 0000	0000 0000	1 110 101
111	0000 0000	1 110 101	0000 0000	0000 0000	1 110 101
1000	0000 0000	1 110 101	0000 0000	0000 0000	1 110 101
1001	0000 0000	1 110 101	0000 0000	0000 0000	1 110 101
1010	0000 0000	1 110 101	0000 0000	0000 0000	1 110 101
1011	0000 0000	1 110 101	0000 0000	0000 0000	1 110 101
1100	0000 0000	1 110 101	0000 0000	0000 0000	1 110 101
1101	0000 0000	1 110 101	0000 0000	0000 0000	1 110 101
1110	0000 0000	1 110 101	0000 0000	0000 0000	1 110 101
1111	0000 0000	1 110 101	0000 0000	0000 0000	1 110 101

Table 2: Resultat av Program 2

Counter	RAM[0]	RAM[1]	RAM[2]	RAM[3]	R
0000	0000 0000	0000 0000	0000 0000	0000 0000	0000 0000
0001	0000 0000	0000 0000	0000 0000	0000 0000	0000 1100
0010	0000 0000	0000 0000	0000 0000	0000 0000	1101 1100
0011	1101 1100	0000 0000	0000 0000	0000 0000	1101 1100
0100	1101 1100	0000 0000	0000 0000	1101 1100	1101 1100
0101	1101 1100	0000 0000	0000 0000	1101 1100	1101 0001
0110	1101 1100	0000 0000	0000 0000	1101 1100	0001 0001
0111	1101 1100	0000 0000	0000 0000	1101 1100	1101 1100
1000	1101 1100	0000 0000	0000 0000	1101 1100	1101 1100
1001	1101 1100	0000 0000	0000 0000	1101 1100	1101 1100
1010	1101 1100	0000 0000	0000 0000	1101 1100	1101 1100
1011	1101 1100	0000 0000	0000 0000	1101 1100	1101 1100
1100	1101 1100	0000 0000	0000 0000	1101 1100	1101 1100
1101	1101 1100	0000 0000	0000 0000	1101 1100	1101 1100
1110	1101 1100	0000 0000	0000 0000	1101 1100	1101 1100
1111	1101 1100	0000 0000	0000 0000	1101 1100	1101 1100