

Projekt

Generator akustyczny przy użyciu modułu DACWrite

Organy z sygnałem wejściowym z PS2_Kbd + wyświetlanie "nut"
poprzez VGAtxt48x20

Wtorek TN, 12:15

Bartosz SZYMCZAK
252 734

Bartosz GÓRECKI
248 846

prowadzący
Dr inż. Jarosław SUGIER

Spis treści

1	Wprowadzenie	2
1.1	Cel i zakres projektu	2
1.2	Zagadnienia teoretyczne	2
1.2.1	Podstawowe założenia	2
1.2.2	Wytwarzanie dźwięku	2
1.2.3	Moduł DAC	3
1.2.4	Interfejs PS/2	4
1.2.5	VGA	5
1.3	Sprzęt	6
2	Projekt	7
2.1	Hierarchia projektu	7
2.2	Przepływ danych	7
2.3	Schemat logiczny	7
2.4	Moduły	8
2.4.1	PS2_Kbd	8
2.4.2	DACWrite	9
2.4.3	VGAtxt48x20	10
2.4.4	etap1	11
2.4.5	etap2	12
2.4.6	etap3	12
2.5	Procesy	13
2.5.1	etap1	13
2.5.2	etap2	14
2.5.3	etap3	14
2.6	Symulacja behawioralna	15
3	Implementacja	16
3.1	Rozmiar projektu	16
3.2	Szybkość	16
3.3	Plik ucf	16
3.4	Podręcznik obsługi urządzenia	17
4	Podsumowanie	17
4.1	Wnioski	17
4.2	Ocena krytyczna i możliwe ulepszenia	17
	Bibliografia	18

1 Wprowadzenie

1.1 Cel i zakres projektu

Celem zadania projektowego było napisanie oprogramowania umożliwiającego symulację organów na układzie FPGA, na których można zagrać poprzez wciśnięcie odpowiednich przycisków na klawiaturze oraz wyświetlanie zagranych nut na monitorze. Zasięg naszych prac obejmował napisanie kodu obsługującego FPGA w języku VHDL, przeprowadzenie symulacji behawioralnej w celu zbadania zachowania modułów i ostateczne przetestowanie go w warunkach laboratoryjnym na dostępnym sprzęcie.

Projekt implementuje:

- moduł PS2_Kbd obsługujący konwersje sygnałów klawiatury na kody użytych klawiszy,
- moduł VGAtxt48x20 obsługujący wyświetlanie podawanych liter,
- moduł DACWrite obsługujący wysyłanie danych do przetwornika cyfrowo-analogowego,
- moduł konwertujący kody użytych klawiszy na odpowiadające im ustalone kody nut (Tabela 1),
- moduł konwertujący kody nut na odpowiednie częstotliwości, reprezentujące poszczególne nuty (Tabela 1),
- moduł konwertujący kody nut na odpowiednie kody ASCII[1],

1.2 Zagadnienia teoretyczne

1.2.1 Podstawowe założenia

Układ korzysta z jednego sygnału zegarowego o częstotliwości 50 MHz. Sygnał ten dostępny jest na wyprowadzeniu C9 i traktowany jest jako podstawowe źródło synchronizacji układu. Plik GenIO.UCF zawiera kompletną definicję tego wyprowadzenia.

1.2.2 Wytwarzanie dźwięku

Na początku zajęć projektowych otrzymaliśmy zadanie wytworzenia пило-kształtnego sygnału o częstotliwości 1 kHz. Należało stworzyć sygnał z 16 "schodków", uwzględniając informację o taktowaniu zegara płyty FPGA wynoszącym 20 ns. W celu wyliczenia po ilu cyklach zegara należy iterować "schodek" przekonwertowano wymaganą częstotliwość z Hz na okres w ns. Dalej podzielono otrzymaną wartość przez 20 (taktowanie płyty) i dalej podzielono przez 16 (ilość "schodków"). Następnie na bazie stworzonego sygnału należało wytwarzać kolejne dźwięki o 12 różnych częstotliwościach. Wybraliśmy następujące częstotliwości nut[3] oraz określiliśmy ich właściwości:

nuta	częstotliwość	ilość cykli w iteracji	kod nuty	przypisany klawisz	wyświetlona litera
c4	523,5 Hz	5969	0001	A	C
c#4	554,37 Hz	5637	0010	W	c
d4	587,33 Hz	5320	0011	S	D
d#4	622,85 Hz	5017	0100	E	d
e4	659,26 Hz	4740	0101	D	E
f4	698,46 Hz	4474	0110	F	F
f#4	739,99 Hz	4223	0111	R	f
g4	783,99 Hz	3986	1000	G	G
g#4	830,61 Hz	3762	1001	T	g
a4	880 Hz	3551	1010	H	A
a#4	932,33 Hz	3351	1011	Y	a
h4	987,77 Hz	3163	1100	J	H

Tabela 1: Wyznaczone właściwości określonych dźwięków

1.2.3 Moduł DAC

W celu użycia głośnika należało użyć modułu DAC. Moduł DAC to czterotaktowy, szeregowy, konwerter cyfrowo-analogowy[6]. Moduł umożliwia nam podłączenie się do czterech wyjść (od A do D, Rysunek 1), które widoczne są nad złączem Ethernet RJ-45. FPGA początkowo wysyła do układu osiem fikcyjnych bitów, a następnie 4-bitowe polecenie. Do stworzenia programu wykorzystaliśmy najpopularniejsze polecenie "0011", które przekłada się na natychmiastową aktualizację wybranych wyjść. Dalej wysyłany jest 4-bitowy adres, który określiliśmy jako "1111", czyli adres wszystkich wyjść. Następnie FPGA wysyła 12 bitową wartość danych, którą DAC konwertuje na wybranych wyjściach. Następnie wysyła cztery fikcyjne bity na koniec (Rysunek 2).

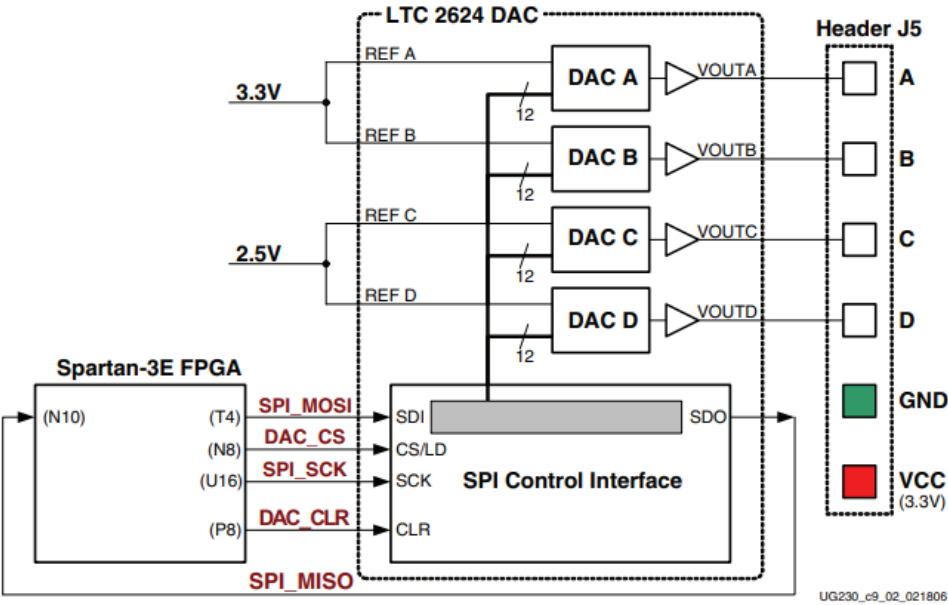
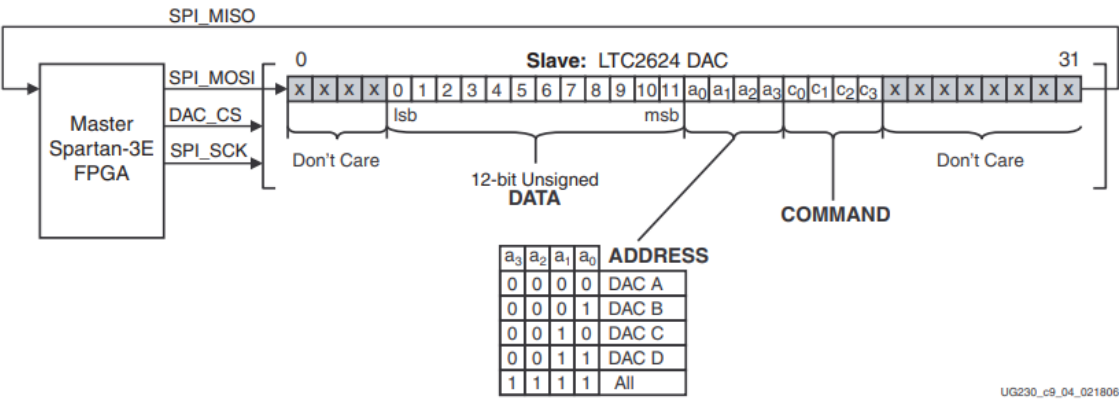


Figure 9-2: Digital-to-Analog Connection Schematics

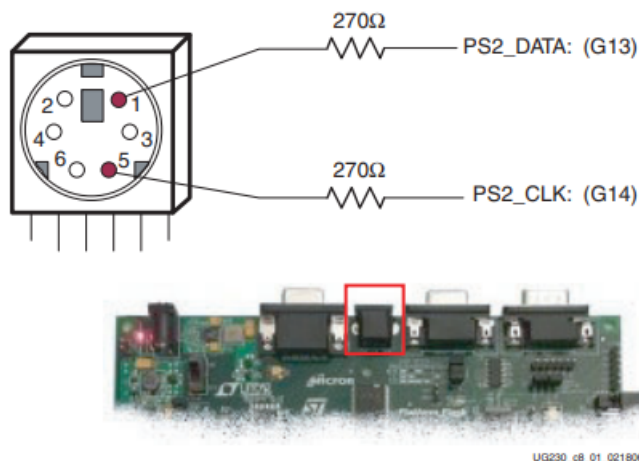
Rysunek 1: Schemat modułu DAC



Rysunek 2: Protokół komunikacyjny modułu DAC

1.2.4 Interfejs PS/2

W celu wprowadzania sygnałów wejściowych, do płytki podłączono klawiaturę poprzez złącze PS/2 (Rysunek 3). Interfejs PS/2 [2] jest 6-pinowym portem używanym do połączenia myszki bądź klawiatury. Oba możliwe urządzenia używają tych samych czasów sygnału i 11-bitowych poleceń, zawierających bit początkowy, stop i bit parzystości. Klawiatura w stylu PS/2 (prawie każda obecnie używana) używa kodów skanowania do przekazywania danych o naciśniętych klawiszach (Rysunek 4). Każdy klawisz posiada unikalny klucz, który zostaje przesłany w sytuacji jego wciśnięcia. Jeśli klawisz zostanie naciśnięty i przytrzymany, klawiatura wielokrotnie wysyła kod skanowania co 100 ms. Po zwolnieniu klawisza klawiatura wysyła kod „F0”, a następnie zeskanowany kod opuszczonego klawisza.



Rysunek 3: Lokalizacja oraz sygnały złącza PS/2

ESC 76	F1 05	F2 06	F3 04	F4 0C	F5 03	F6 0B	F7 83	F8 0A	F9 01	F10 09	F11 78	F12 07	↑ E0 75
~ 0E	1! 16	2@ 1E	3# 26	4\$ 25	5% 2E	6^ 36	7& 3D	8* 3E	9(46	0) 45	-_ 4E	=+ 55	Back Space ← 66 E0 74
TAB 0D	Q 15	W 1D	E 24	R 2D	T 2C	Y 35	U 3C	I 43	O 44	P 4D	[{ 54]} 5B	\\ 5D E0 6B
CapsLock 58	A 1C	S 1B	D 23	F 2B	G 34	H 33	J 3B	K 42	L 4B	;;: 4C	'" 52	Enter ↵ 5A E0 72	
⇧ Shift 12	Z 1Z	X 22	C 21	V 2A	B 32	N 31	M 3A	,< 41	>. 49	/ ? 4A	⇧ Shift 59		
Ctrl 14	Alt 11	Space 29						Alt E0 11	Ctrl E0 14				

UG230_c8_03_0218

UG230_c8_03_021806

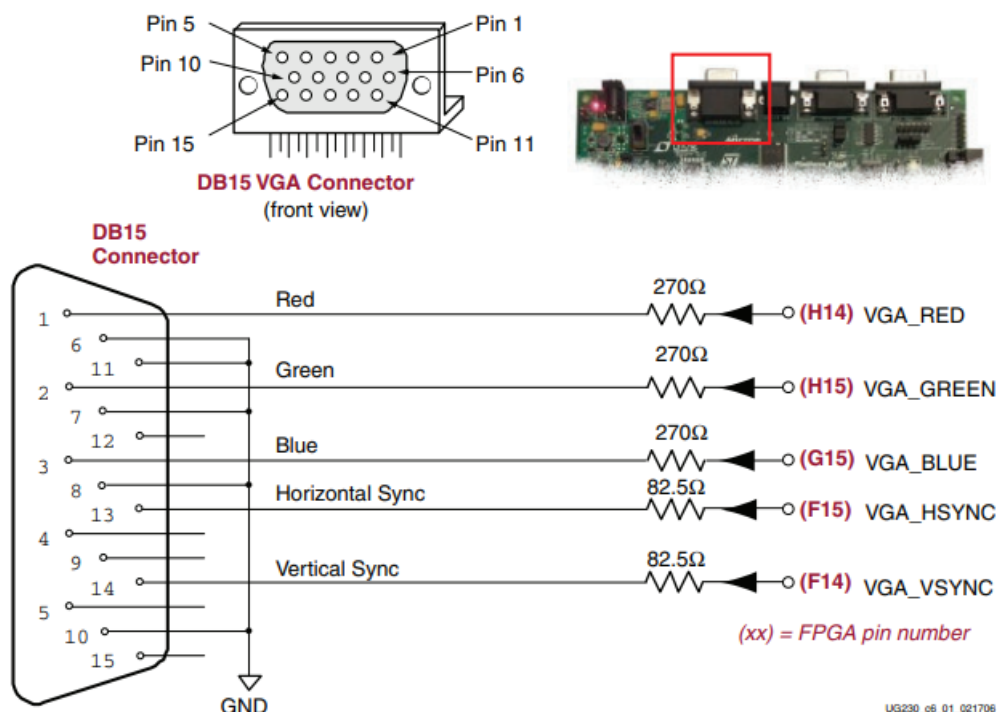
Rysunek 4: Kodowanie poszczególnych klawiszy PS/2

1.2.5 VGA

Do podłączenia monitora należało użyć złącza VGA (Rysunek 6). VGA (ang. Video Graphics Array)[4] to standardowy typ połączenia dla urządzeń wideo, takich jak monitory i projektory. Jest to analogowy standard wideo o wysokiej rozdzielczości używany w miejscach, gdzie potrzebna jest możliwość przesyłania ostrego, dokładnego obrazu. Układ Spartan-3E posiada port VGA (złącze DB15). Port ten można bezpośrednio połączyć do większości monitorów komputerowych lub płaskich wyświetlaczy LCD przy pomocy standardowego kabla. Spartan-3E steruje bezpośrednio pięcioma sygnałami VGA za pośrednictwem rezystorów: VGA HSYNC, VGA VSYNC, VGA RED, VGA GREEN oraz VGA BLUE. VGA wykorzystuje trzy oddzielne przewody do przesyłania, składających się z trzech kolorów (R, G i B), pionowo i poziomo synchronizujących sygnałów 0V/5V. Każda linia koloru ma szeregowy rezystor, z jednym bitem dla VGA RED, VGA GREEN oraz VGA BLUE 2. Odpowiednie sterowanie sygnałami VGA RED, VGA GREEN i VGA BLUE pozwoli na wygenerowanie ośmiu kolorów przedstawionych na Rysunku 5.

VGA_RED	VGA_GREEN	VGA_BLUE	Resulting Color
0	0	0	Black
0	0	1	Blue
0	1	0	Green
0	1	1	Cyan
1	0	0	Red
1	0	1	Magenta
1	1	0	Yellow
1	1	1	White

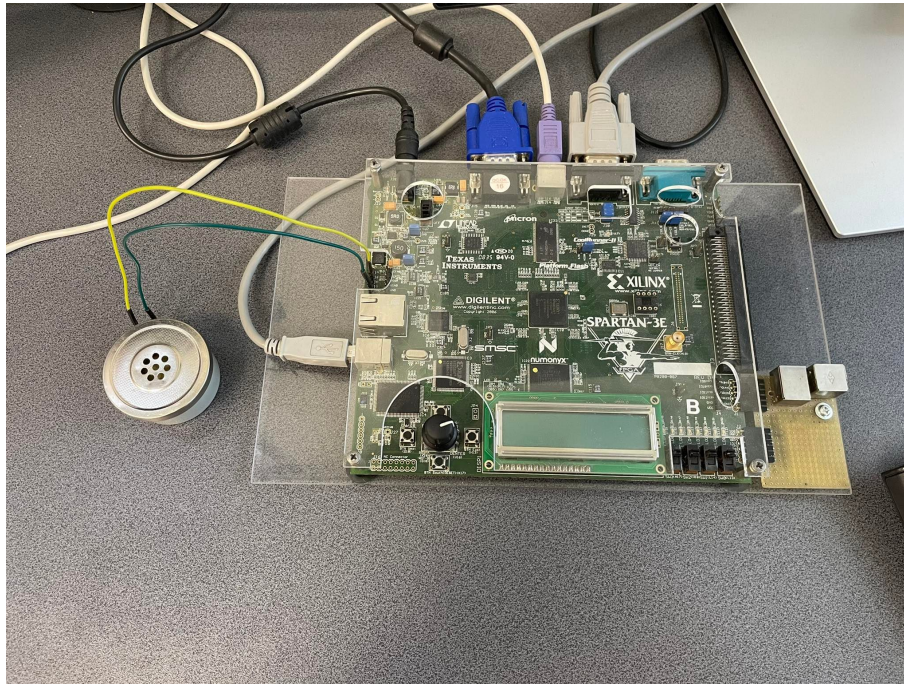
Rysunek 5: 3-bitowe kody kolorów wyświetlacza VGA



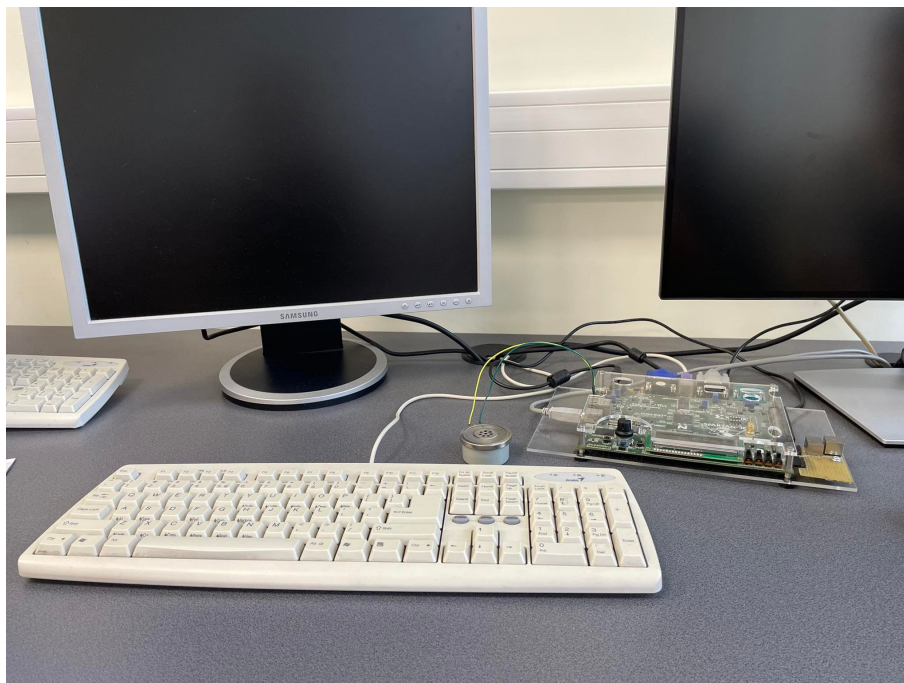
Rysunek 6: Połączenia VGA z Spartan-3E

1.3 Sprzęt

Do realizacji tematu wykorzystaliśmy układ **Digilent Spartan-3E Starter Board**[6] z matrycą logiczną FPGA marki **Xilinx**. Do układu podłączone zostały prosta klawiatura Genius poprzez złącze PS/2, monitor Samsung SyncMaster203 przez złącze VGA oraz prosty głośnik Tonsil W66 poprzez dwa piny DAC (A oraz uziemienie).



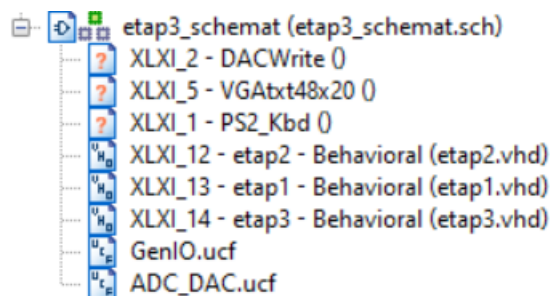
Rysunek 7: Płyta Spartan-3E oraz głośnik Tonsil W66



Rysunek 8: Płyta Spartan-3E, głośnik Tonsil W66, monitor Samsung SyncMaster203 oraz klawiatura Genius

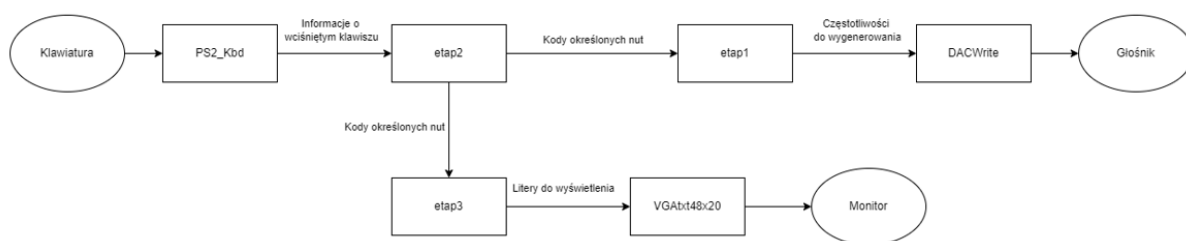
2 Projekt

2.1 Hierarchia projektu



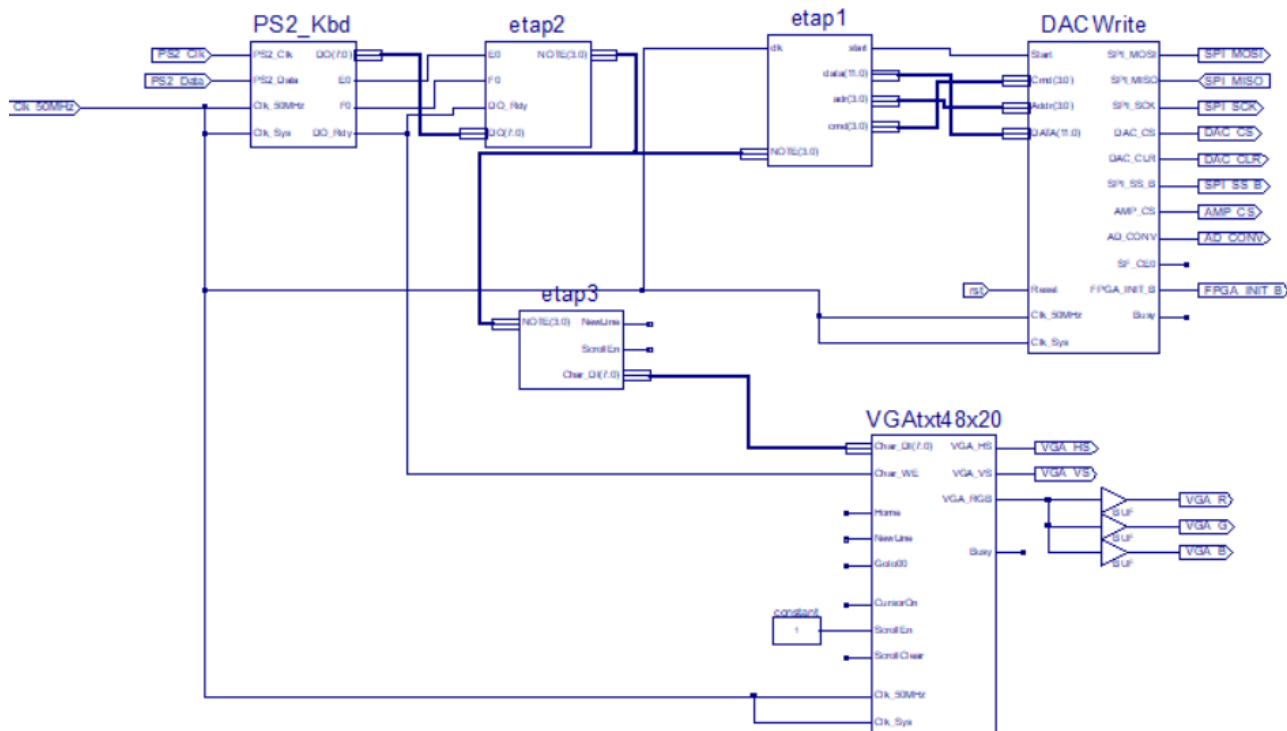
Rysunek 9: Hierarchia projektu

2.2 Przepływ danych



Rysunek 10: Diagram przepływu danych

2.3 Schemat logiczny



Rysunek 11: Schemat projektu

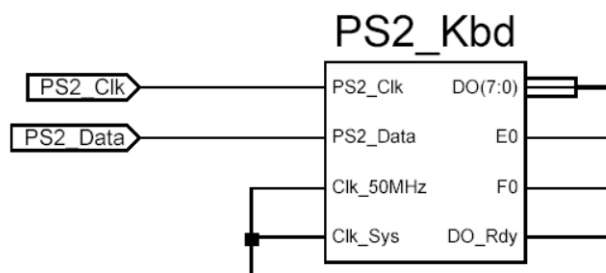
2.4 Moduły

Wykonany projekt składa się z następujących modułów:

- PS2_Kbd[5]
- DACWrite[5]
- VGAtxt48x20[5]
- etap1
- etap2
- etap3

2.4.1 PS2_Kbd

Moduł PS2_Kbd (Rysunek 12) jest pierwszym z użytych gotowych modułów[5] stworzonych przez prowadzącego na potrzeby kursu. Moduł ten jest odbiornikiem kodów wysyłanych przez klawiaturę PS/2. Sygnał DO_Rdy = '1' sygnalizuje zakończenie odbioru kodu (impuls jednotaktowy), na DO(7:0) podawana jest wówczas jego wartość, a wyjścia E0 oraz F0 sygnalizują, czy był on poprzedzony bajtami X"E0" (tzw. kod rozszerzony) oraz X"F0" (kod zwolnienia klawisza). Odbiór samych bajtów X"E0" oraz X"F0" nie jest sygnalizowany. Sygnały DO, E0 oraz F0 pozostają stabilne do czasu następnej transmisji klawiatury, w praktyce przez co najmniej kilkadziesiąt milisekund.



Rysunek 12: Schemat modułu PS2_Kbd

Wejścia układu:

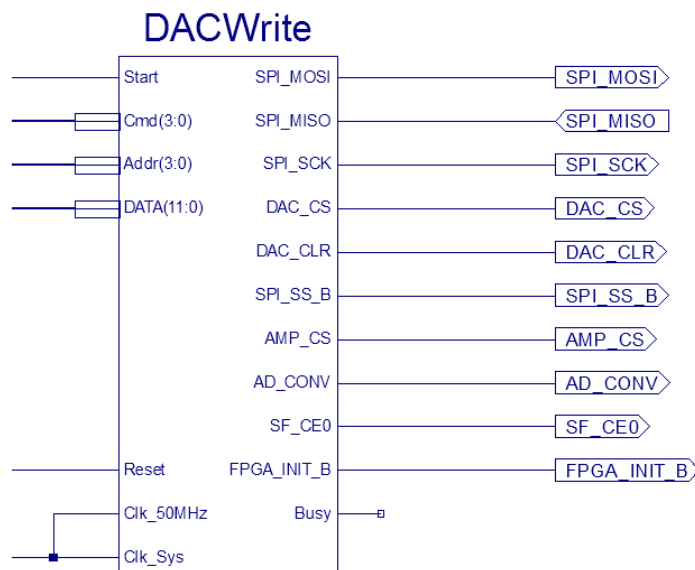
- PS2_Clk - wejście sygnału zegarowego klawiatury,
- PS2_Data - wejście zawierające dane z klawiatury,
- Clk_50Mhz i Clk_Sys - wejścia sygnału zegarowego 50Mhz,

Wyjścia układu:

- DO(7:0) - wektor 8-bitowy, zawierający kod użytego klawisza,
- E0 - wyjście sygnalizujące fakt poprzedzenia kodu klawisza bajtem X"E0",
- F0 - wyjście sygnalizujące fakt poprzedzenia kodu klawisza bajtem X"F0",
- DO_Rdy - sygnał określający zakończenie odbioru kodu.

2.4.2 DACWrite

Moduł DACWrite (Rysunek 13) to drugi z użytych gotowych modułów[5] stworzonych przez prowadzącego na potrzeby kursu. Obsługuje wysyłanie danych do przetwornika cyfra/analog LTC2624. Impuls Start = '1' zatrzymuje dane na wejściach Cmd, Addr i DATA oraz rozpoczyna ich szeregowe wysłanie do układu. Czas trwania operacji sygnalizuje wyjście Busy.



Rysunek 13: Schemat modułu DACWrite

Wejścia układu:

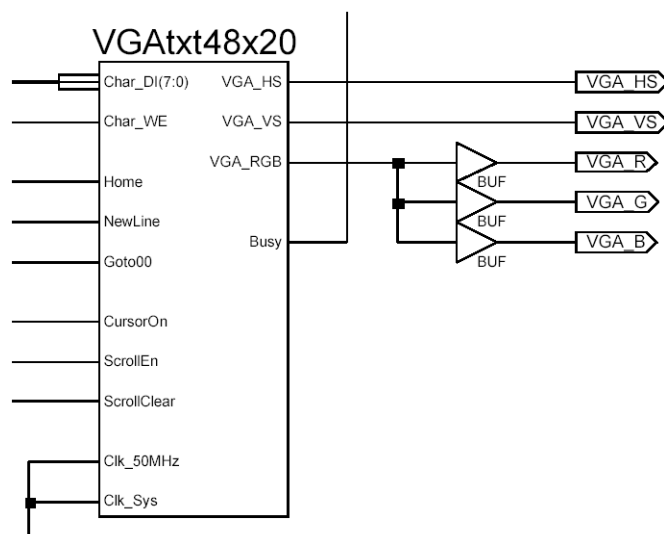
- Start - impuls zatrzymujący dane na następnych wejściach,
- Cmd(3:0) - wektor 4-bitowy, zawierający polecenie[6]
- Addr(3:0) - wektor 4-bitowy, zawierający adres[6],
- DATA(11:0) - wektor 12-bitowy zawierający dane, które DAC przekonwertuje na określonych wyjściach[6],
- Reset - sygnał resetujący układ,
- Clk_50Mhz i Clk_Sys - wejścia sygnału zegarowego 50Mhz,
- SPI_MISO - dane szeregowe, wejście główne,

Wyjścia układu:

- SPI_MOSI - dane szeregowe, wyjście główne,
- SPI_SCK - zegar,
- DAC_CS - wybór chipa jako aktywnego,
- DAC_CLR - asynchroniczne wejście o niskim resecie aktywnym,
- SPI_SS_R - flash szeregowy SPI,
- AMP_CS - programowalny wzmacniacz,
- AD_CONV - konwerter analogowo-cyfrowy,
- SF_CE0 - pamięć StrataFlash Parallel Flash PROM,
- FPGA_INIT_B - pamięć Flash PROM,

2.4.3 VGAtxt48x20

Do wyświetlania tutaj użyliśmy kolejnego gotowego modułu, czyli VGAtxt48x20[5] (Rysunek 14). Moduł ten jest prostym terminalem znakowym wyświetlającym 20 linii po 48 znaków każda. Możliwe są podstawowe operacje przenoszenia kursora oraz automatyczne przewijanie ekranu. Początkowo pozycją bieżącą jest (0, 0). Jednotaktowy impuls Char_WE powoduje zapis na niej znaku o kodzie ASCII z Char_DI oraz jej automatyczną inkrementację. Po dojściu do ostatniej kolumny pozycja bieżąca automatycznie przechodzi do następnej linii, ponadto można ją zmieniać jednotaktowymi impulsami sygnałów Home, NewLine oraz Goto00. Gdy CursorOn = '1', na bieżącej pozycji wyświetlany jest kursor. Wyświetlany jest zestaw 128 znaków ASCII, bit Char_DI(7) jest ignorowany. Przewijanie ekranu jest wykonywane, gdy bieżąca pozycja opuszcza ostatnią linię i ScrollEn = '1'. Gdy ScrollEn = '0', pozycją następną po ostatniej linii jest (0, 0). Ponadto gdy ScrollEn = ScrollClear = '1', przewinięcie ekranu powoduje automatyczne wyczyszczenie nowej linii, które trwa 48 taktów i na ten przedział ustawia flagę Busy = '1'. W tym czasie ignorowane są wszystkie polecenia. Gdy ScrollEn = '1' i ScrollClear = '0', w nowej linii pokaże się stara zawartość; bufor cykliczny ma pojemność 32 linii. Za wyjątkiem czyszczenia nowej linii (ScrollEn = ScrollClear = '1'), wszystkie operacje wykonywane są w 1 takcie i flaga Busy nie jest ustawiana.



Rysunek 14: Schemat modułu VGAtxt48x20

Wejścia układu:

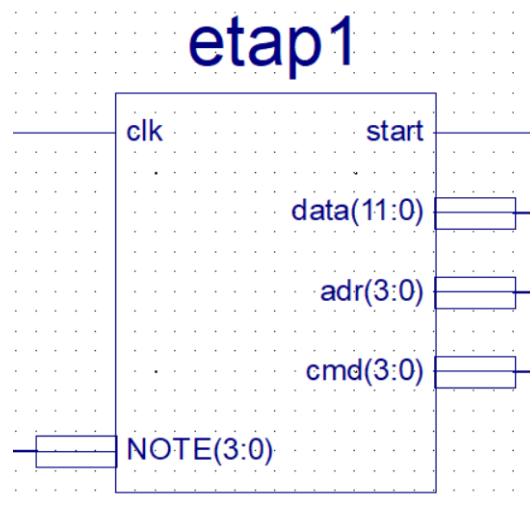
- Char_DI(7:0) - 8-bitowy sygnał, będący kodem ASCII zapisywanego znaku,
- Char_WE - impuls powodujący zapis znaku na ekranie,
- Home - powrót do początku linii,
- NewLine - przejście do następnej linii,
- Goto00 - przejście do początku ekranu,
- CursorOn - wyświetlanie kursora,
- ScrollEn - umożliwienie przewijania strony,
- ScrollClear - umożliwienie czyszczenia strony po przepełnieniu,
- Clk_50Mhz i Clk_Sys - wejścia sygnału zegarowego 50Mhz,

Wyjścia układu:

- VGA_HS - synchronizacja pozioma
- VGA_VS - synchronizacja pionowa,
- VGA_RGB - bity kolorów,
- Busy - impuls informujący o trwającej pracy układu.

2.4.4 etap1

Moduł etap1 został przygotowany na potrzeby realizacji tematu projektu, jest odpowiedzialny za pobieranie kodu nuty i przekonwertowanie go na odpowiednią częstotliwość dźwięku i wyprowadzenie go na głośnik.



Rysunek 15: Schemat modułu etap1

Wejścia układu:

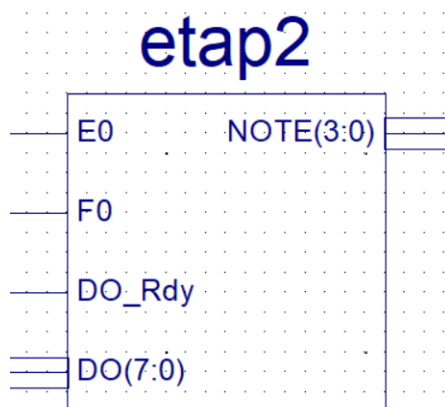
- clk - wejście zegarowe,
- NOTE(3:0) - wektor 4-bitowy zawierający ustalony kod nuty (Tabela 1),

Wyjścia układu:

- start - impuls zatrzymujący dane na następnych wejściach,
- cmd(3:0) - wektor 4-bitowy, zawierający odpowiednie polecenie[6],
- adr(3:0) - wektor 4-bitowy, zawierający odpowiedni adres[6],
- data(11:0) - wektor 12-bitowy zawierający dane, które DAC przekonwertuje na określonych wyjściach[6],

2.4.5 etap2

Moduł etap2 został przygotowany na potrzeby realizacji tematu projektu, jest odpowiedzialny za pobieranie wartości wciśniętych klawiszy i konwertowanie ich na określone kody nuty (Tabela 1).



Rysunek 16: Schemat modułu etap2

Wejścia układu:

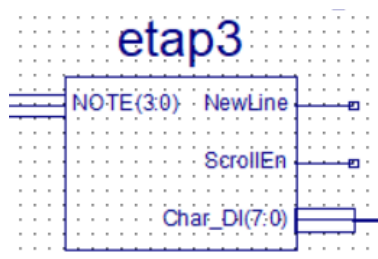
- DO(7:0) - wektor 8 bitów, zawierający kod użytego klawisza,
- E0 - wyjście sygnalizujące fakt poprzedzenia kodu klawisza bajtem X"E0",
- F0 - wyjście sygnalizujące fakt poprzedzenia kodu klawisza bajtem X"F0",
- DO_Rdy - sygnał określający zakończenie odbioru kodu.

Wyjścia układu:

- NOTE(3:0) - wektor 4-bitowy zawierający ustalony kod nuty,

2.4.6 etap3

Moduł etap3 został przygotowany na potrzeby realizacji tematu projektu, jest odpowiedzialny za pobieranie kodów nut i konwertowanie ich na odpowiednie kody ASCII w celu wyświetlenia ich na monitorze.



Rysunek 17: Schemat modułu etap3

Wejścia układu:

- NOTE(3:0) - wektor 4-bitowy zawierający ustalony kod nuty,

Wyjścia układu:

- Char_DI(7:0) - 8-bitowy sygnał, będący kodem ASCII zapisywanego znaku,
- ScrollEn - umożliwienie przewijania strony, (ostatecznie niewykorzystane)
- NewLine - przejście do następnej linii, (ostatecznie niewykorzystane)

2.5 Procesy

2.5.1 etap1

Kluczowymi składowymi algorytmu w etapie pierwszym są dwa liczniki. Licznik **innercounter** zlicza cykle zegara po których następuje inkrementacja "schodka" sygnału. Licznik **counter** zostaje zwiększony w sytuacji inkrementacji schodka. Te obliczenia mają miejsce w procesie **count**.

```

1 count: process (clk)
2 begin
3   if rising_edge(clk) then
4     innercounter <= innercounter + 1;
5     if(innercounter = notecode) then
6       nextcounter <= std_logic_vector(unsigned(counter) + 1);
7       innercounter <= "0000000000000000";
8     end if;
9   end if;
10 end process;

```

Inkrementacja "schodka" przekłada się na przesłanie danych, czyli ustawienie sygnału start na "1". Licznik **counter** zostaje przekazany jako **data** po dodaniu do niego dodatkowych bitów, w celu spełnienia wymagań modułu DAC[6]. Działanie to wykonuje się w procesie **send**.

```

1 send: process(clk, counter, innercounter, nextcounter)
2 begin
3   adr <= "1111";
4   cmd <= "0011";
5   counter <= nextcounter;
6   data <= counter & "00000000";
7
8   if rising_edge(clk) then
9     if innercounter = notecode then
10      start <= '1';
11    else
12      start <= '0';
13    end if;
14  end if;
15 end process;

```

Konwertowanie kodu nuty **NOTE** na ilość potrzebnych cykli zegara do inkrementacji "schodka" **notecode** odbywa się w procesie **readNote**. Ilość cykli zegara została zapisana jako liczba binarna.

```

1 readNote: process (NOTE, notecode)
2 begin
3   if NOTE = "0000" then
4     notecode <= "0000000000000000";
5   elsif NOTE = "0001" then
6     notecode <= "0001011101010001";
7   elsif NOTE = "0010" then
8     notecode <= "0001011000000101";
9   elsif NOTE = "0011" then
10    notecode <= "0001010011001000";
11  elsif NOTE = "0100" then
12    notecode <= "0001001110011001";
13  elsif NOTE = "0101" then
14    notecode <= "0001001010000100";
15  elsif NOTE = "0110" then
16    notecode <= "0001000101111010";
17  elsif NOTE = "0111" then
18    notecode <= "0001000001111111";
19  elsif NOTE = "1000" then
20    notecode <= "0000111110010010";
21  elsif NOTE = "1001" then
22    notecode <= "0000111010110010";
23  elsif NOTE = "1010" then
24    notecode <= "0000110111011111";
25  elsif NOTE = "1011" then
26    notecode <= "0000110100010111";
27  elsif NOTE = "1100" then
28    notecode <= "0000110001011011";
29  end if;
30 end process;

```

2.5.2 etap2

Program na poziomie etapu drugiego konwertuje wciśnięte klawisze **DO** na określone kody nut **NOTE** (Tabela 1 i Rysunek 3). Konwersja zostaje wykonana jedynie w przypadku sygnałów DO_Rdy i F0 ustawionych na "1" (zakończenie odbioru, na końcu bajt "F0").

```

1 readCode: process (DO, F0, DO_Rdy)
2 begin
3   if DO_Rdy = '1' then
4     if F0 = '0' then
5       if DO = X"1C" then
6         NOTE <= "0001";
7       elsif DO = X"1D" then
8         NOTE <= "0010";
9       elsif DO = X"1B" then
10        NOTE <= "0011";
11      elsif DO = X"24" then
12        NOTE <= "0100";
13      elsif DO = X"23" then
14        NOTE <= "0101";
15      elsif DO = X"2B" then
16        NOTE <= "0110";
17      elsif DO = X"2D" then
18        NOTE <= "0111";
19      elsif DO = X"34" then
20        NOTE <= "1000";
21      elsif DO = X"2C" then
22        NOTE <= "1001";
23      elsif DO = X"33" then
24        NOTE <= "1010";
25      elsif DO = X"35" then
26        NOTE <= "1011";
27      elsif DO = X"3B" then
28        NOTE <= "1100";
29      end if;
30    elsif F0 = '1' then
31      NOTE <= "0000";
32    end if;
33  end if;
34 end process;

```

2.5.3 etap3

Kod etapu trzeciego konwertuje określone kody nut **NOTE** na kody ASCII odpowiadających im liter **Char_DI** (Tabela 1 i Rysunek 4).

```

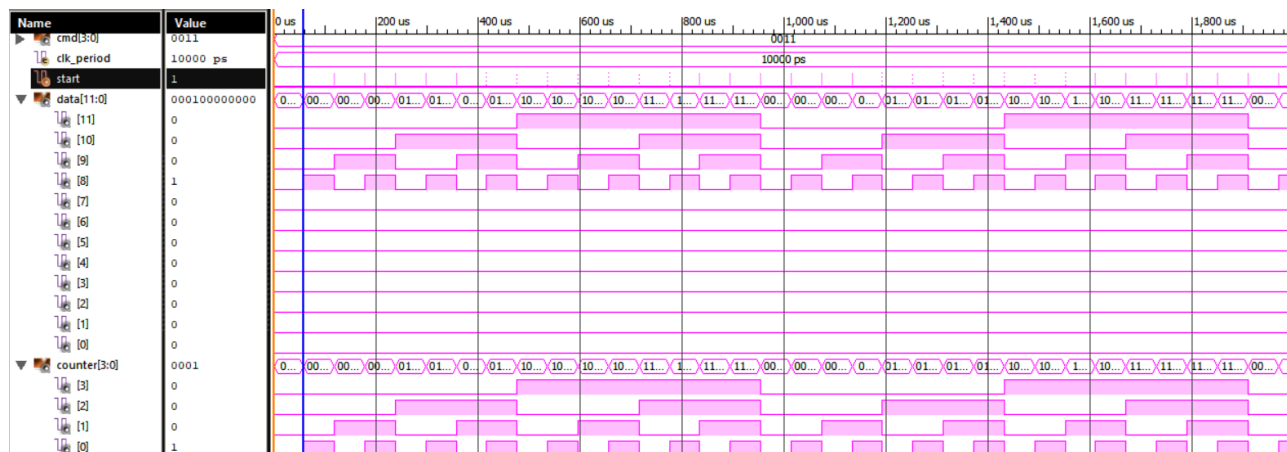
1 Code: process (NOTE)
2 begin
3   if NOTE = "0001" then
4     Char_DI <= X"43";
5   elsif NOTE = "0010" then
6     Char_DI <= X"63";
7   elsif NOTE = "0011" then
8     Char_DI <= X"44";
9   elsif NOTE = "0100" then
10    Char_DI <= X"64";
11  elsif NOTE = "0101" then
12    Char_DI <= X"45";
13  elsif NOTE = "0110" then
14    Char_DI <= X"46";
15  elsif NOTE = "0111" then
16    Char_DI <= X"66";
17  elsif NOTE = "1000" then
18    Char_DI <= X"47";
19  elsif NOTE = "1001" then
20    Char_DI <= X"67";
21  elsif NOTE = "1010" then
22    Char_DI <= X"41";
23  elsif NOTE = "1011" then
24    Char_DI <= X"61";
25  elsif NOTE = "1100" then
26    Char_DI <= X"48";
27  end if;
28 end process;

```


2.6 Symulacja behawioralna

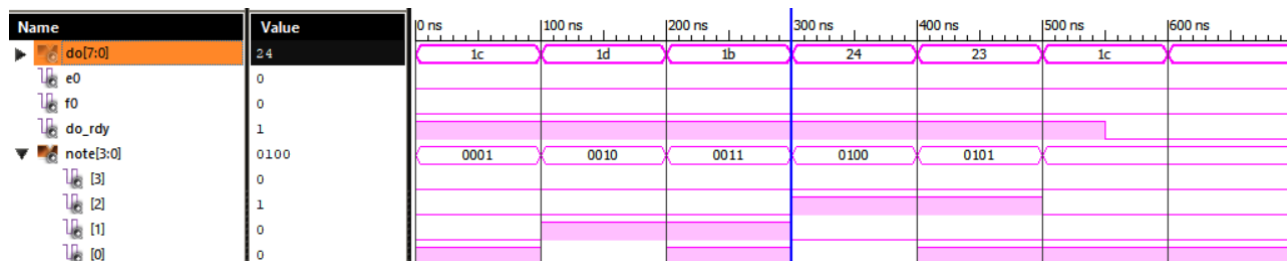
Symulacja behawioralna została ograniczona do poszczególnych modułów stworzonych na potrzeby projektu. Wynik symulacji dla całego projektu byłby stosunkowo ciężki do rozczytania, z racji faktu, że ostatecznie otrzymujemy sygnały potrzebne do mechanicznego wytworzenia dźwięku oraz wypisania na ekranie monitora określonych liter w odpowiednim miejscu.

Symulacja programu z etapu 1 (Rysunek 18) zwraca oczekiwane wyniki. Wewnętrzny licznik po określonej ilości cykli powoduje inkrementację licznika głównego, który aktualizuje bity przesłania danych oraz powoduje zmianę sygnału start na "1".



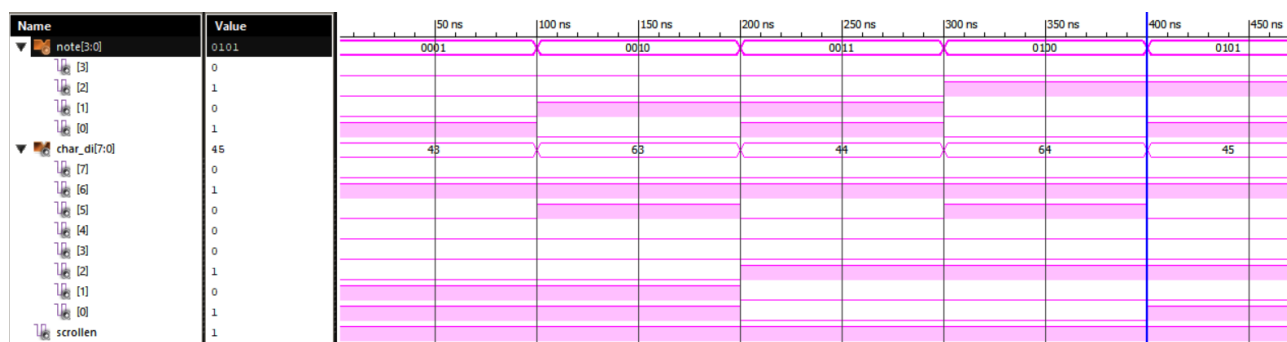
Rysunek 18: Symulacja behawioralna etapu 1

Symulacja programu z etapu 2 zwraca oczekiwane wyniki. Kolejne kody klawiszy konwertowane są na właściwe kody nut, w sytuacji gdy sygnał DO_Rdy jest ustawiony na "1". Dla przykładu klawisz o kodzie X"24" (E) został przekonwertowany na kod "0100" zgodnie z Tabelą 1 (Rysunek 19).



Rysunek 19: Symulacja behawioralna etapu 2

Symulacja programu z etapu 3 zwraca oczekiwane wyniki. Kolejne kody nut konwertowane są na właściwe kody ASCII[1] reprezentujących ich liter (Tabela 1). Dla przykładu kod nuty "0101" został przekonwertowany na kod ASCII X"45" (E) zgodnie z Tabelą 1 (Rysunek 20).



Rysunek 20: Symulacja behawioralna etapu 3

3 Implementacja

Rysunek 21 przedstawia dane na temat rozmiaru projektu – LUT, Slice, BRAM, użyciu DCMs i pozostałych komponentów:

3.1 Rozmiar projektu

Device Utilization Summary			
Logic Utilization	Used	Available	Utilization
Total Number Slice Registers	218	9,312	2%
Number used as Flip Flops	195		
Number used as Latches	23		
Number of 4 input LUTs	285	9,312	3%
Number of occupied Slices	214	4,656	4%
Number of Slices containing only related logic	214	214	100%
Number of Slices containing unrelated logic	0	214	0%
Total Number of 4 input LUTs	350	9,312	3%
Number used as logic	282		
Number used as a route-thru	65		
Number used as Shift registers	3		
Number of bonded IOBs	18	232	7%
Number of RAMB16s	2	20	10%
Number of BUFGMUXs	1	24	4%
Average Fanout of Non-Clock Nets	3.14		

Rysunek 21: Informacje o wykorzystaniu zasobów urządzenia

3.2 Szybkość

	Met	Constraint	Check	Worst Case Slack	Best Case Achievable	Timing Errors	Timing Score
1	Yes	NET "Clk_50MHz BUFGP/IBUFG" PERIOD = 20 ns HIGH 50%	SETUPHOLD	10.917ns0.788ns	9.083ns	00	00

Rysunek 22: Szybkość implementacji

3.3 Plik ucf

Do poprawnego działania programu potrzebne są pliki o następujących zawartościach:
GenIO.ucf

```

1 NET "Clk_50MHz" LOC = "C9" | IOSTANDARD = LVTTTL;
2 NET "Clk_50MHz" PERIOD = 20.0ns HIGH 50%;
3
4 NET "PS2_Data" LOC = "G13" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8;
5 NET "PS2_Clk" LOC = "G14" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8;
6
7 NET "VGA_R" LOC = "H14" | IOSTANDARD = LVTTTL | SLEW = FAST | DRIVE = 8;
8 NET "VGA_G" LOC = "H15" | IOSTANDARD = LVTTTL | SLEW = FAST | DRIVE = 8;
9 NET "VGA_B" LOC = "G15" | IOSTANDARD = LVTTTL | SLEW = FAST | DRIVE = 8;
10 NET "VGA_HS" LOC = "F15" | IOSTANDARD = LVTTTL | SLEW = FAST | DRIVE = 8;
11 NET "VGA_VS" LOC = "F14" | IOSTANDARD = LVTTTL | SLEW = FAST | DRIVE = 8;

```

ADC_DAC.ucf

```

1 NET "SPI_MISO" LOC = "N10" | IOSTANDARD = LVCMOS33 ;
2 NET "SPI_MOSI" LOC = "T4" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 6 ;
3 NET "SPI_SCK" LOC = "U16" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 6 ;
4
5 NET "SPI_SS_B" LOC = "U3" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 6 ;
6 NET "FPGA_INIT_B" LOC = "T3" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 4 ;
7
8 NET "DAC_CLR" LOC = "P8" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
9 NET "DAC_CS" LOC = "N8" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
10
11 NET "AD_CONV" LOC = "P11" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 6 ;
12
13 NET "AMP_CS" LOC = "N7" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 6 ;

```

3.4 Podręcznik obsługi urządzenia

Użytkownik urządzenia Spartan 3E z uruchomionym opisywanym programem jest prosty w użyciu. Program pozwala na wytworzenie podstawowych dźwięków organów oraz wyświetleniu ich na monitorze. W celu wytworzenia określonego dźwięku należy podłączyć płytę FPGA do zasilania i komputera, załadować na płytę opisywany program, połączyć płytę z monitorem przez złącze VGA, z klawiaturą przez złącze PS/2 oraz głośnik przez piny DAC (Rysunek 7).

Stan początkowy zestawu:

- Brak wytwarzanego dźwięku,
- Brak wyświetlanych liter na monitorze,

Stan zestawu przy wciśnięciu obsługiwanego klawisza klawiatury (Tabela 1):

- Przez czas wciskania klawisza zostaje wytworzony dźwięk o określonej częstotliwości (Tabela 1),
- Na ekranie zostaje zapisana, powiązana z określoną częstotliwością, litera reprezentująca daną nutę (Tabela 1).

4 Podsumowanie

4.1 Wnioski

W trakcie tworzenia oraz po zakończeniu projektu doszliśmy do następujących wniosków:

- Powstały w trakcie zajęć projekt spełnia podstawowe założenia i posiada główne funkcjonalności, tzn. potrafi współpracować z określonymi urządzeniami oraz potrafi konwertować wytworzone sygnały na różne dźwięki oraz zapis liter na monitorze,
- Przeprowadzone operacje obsługi i konwersji sygnałów odbywa się w łatwy i przejrzysty sposób,
- Projekt jest gotowy do rozszerzeń o dodatkowe funkcjonalności np. obliczanie czasu trwania określonego czasu, wykorzystanie niewykorzystanych wyjść modułów (Rysunek 11) itp.

4.2 Ocena krytyczna i możliwe ulepszenia

Mimo spełnienia podstawowych założeń nie udało się zrealizować dodatkowych funkcjonalności. Dużą część czasu spędziliśmy na szukaniu rozwiązań problemów, które wynikały z popełniania prostych błędów i braku większego doświadczenia w środowisku ISE Xilinx, które nie jest intuicyjne dla początkujących użytkowników. Punkty do zrealizowania lub ulepszania to np:

- Dodanie wyświetlania na ekranie monitora czasu, przez który wytwarzano określone nuty,
- Wykorzystanie niewykorzystanych wyjść modułu etap3,

Bibliografia

- [1] *ASCII*. URL: <https://pl.wikipedia.org/wiki/ASCII>. (dostępne w dniu 04.06.2022r.)
- [2] Adam Chapweske. *The PS/2 Mouse/Keyboard Protocol*. URL: <https://www.avrfreaks.net/sites/default/files/PS2%20Keyboard.pdf>. (dostępne w dniu 04.06.2022r.)
- [3] *Częstotliwości nut*. URL: <https://muzycznelaboratorium.pl/8-czestotliwosci-nut>. (dostępne w dniu 04.06.2022r.)
- [4] Digi-Key. *VGA Controller (VHDL)*. URL: <https://forum.digikey.com/t/vga-controller-vhdl/12794>. (dostępne w dniu 04.06.2022r.)
- [5] Jarosław Sugier. *Moduły Spartan 3E Starter*. URL: http://www.zsk.iiar.pwr.edu.pl/zsk_ftp/fpga. (dostępne w dniu 04.06.2022r.)
- [6] Xilinx. *Spartan-3E FPGA Starter Kit Board User Guide*. 2011. URL: <https://docs.xilinx.com/v/u/en-US/ug230>. (dostępne w dniu 04.06.2022r.)