Logotipo, nombre de la empresa

Descripción generada automáticamente

**RETO – TETRIS**

Abdiel Vicencio Antonio A01750922

Cesar Casto Martínez A01771970

Diseño con lógica programable

Grupo 101

Instituto Tecnológico y de Estudio Superiores de Monterrey Campus Estado de México

Miércoles 13 de marzo de 2024

**EVIDENCIA RETO - TETRIS**

**Descripción Del Proyecto:**

El proyecto consiste en la implementación del clásico juego de Tetris en una FPGA DE-10 LITE utilizando el lenguaje de descripción de hardware VHDL. La FPGA actúa como el cerebro del juego, ejecutando la lógica del juego, generando las señales necesarias para la visualización en un monitor VGA y recibiendo las entradas del usuario a través de interruptores DIP.

**Objetivos Del Proyecto:**

El objetivo principal del proyecto es implementar algunas de las funcionalidades del juego de Tetris, como la caída y el desplazamiento de las piezas. Se busco diseñar una interfaz de que sea fácil de entender y de utilizar. Los interruptores DIP se utilizan como interfaz de entrada para que el usuario pueda controlar la caída y movimiento de las piezas.

La FPGA genera las señales de video necesarias para visualizar el juego en un monitor VGA estándar. Esto permite una experiencia de juego más inmersiva y atractiva para el usuario. La implementación del juego se realiza en VHDL, un lenguaje de descripción de hardware utilizado para modelar circuitos digitales en la FPGA. La lógica del juego incluye la generación de las piezas y detección de colisiones.

Además, la FPGA genera las señales de video necesarias para controlar la pantalla VGA. Esto incluye la generación de señales de sincronización horizontal y vertical, así como las señales de color para cada píxel en la pantalla.

Con esto se esperó obtener un juego de Tetris completamente funcional que se ejecute en tiempo real en la FPGA DE-10 LITE y se visualice en un monitor VGA. El juego debería ser capaz de aceptar entradas del usuario a través de los interruptores DIP y proporcionar una experiencia de juego satisfactoria y envolvente. Este proyecto ofrece una oportunidad para aprender y practicar el diseño de sistemas digitales utilizando VHDL y FPGA, así como demostrar la capacidad de implementar aplicaciones prácticas y divertidas en hardware programable.

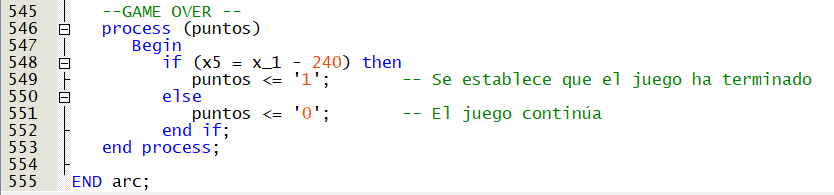
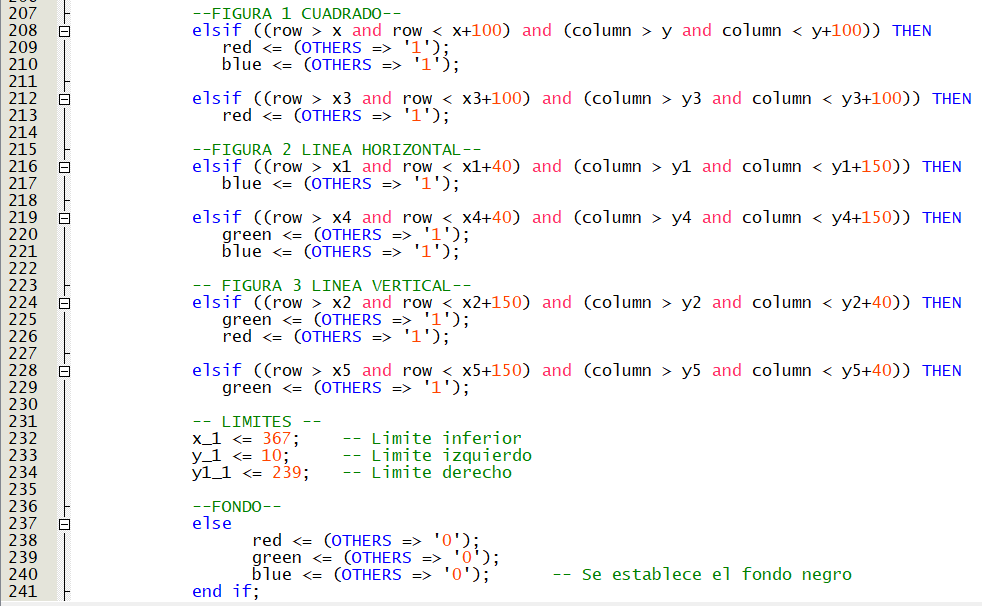
**METODOLOGÍA**

**Diseño del Hardware:**

El diseño de hardware se compone de varios módulos VHDL que trabajan en conjunto para implementar el juego de Tetris en la FPGA DE-10 LITE. Cada módulo cumple una función específica dentro del sistema. A continuación, se describen brevemente los principales componentes del diseño:

1. Texto

   Descripción generada automáticamenteCONTROLADOR\_VGA: Este componente se encarga de generar las señales necesarias para controlar un monitor VGA estándar. Produce señales de sincronización horizontal y vertical, así como señales de color para cada píxel en la pantalla. Además, proporciona las coordenadas de píxeles actuales, que se utilizan para dibujar los elementos del juego.
2. H\_IMAGE: Este módulo se encarga de generar los elementos visuales del juego en la pantalla VGA. Recibe las señales de sincronización y las coordenadas de píxeles del controlador VGA, así como las señales de control y datos del juego. Utiliza esta información para dibujar las piezas del Tetris, los bordes del tablero y cualquier otro elemento gráfico necesario.



1. Texto

   Descripción generada automáticamente con confianza mediaRELOJ: Este componente genera una señal de reloj a partir de la señal de reloj del sistema. Esta señal de reloj se utiliza para sincronizar las operaciones dentro del juego.
2. Interfaz de usuario gráfica, Texto, Aplicación

   Descripción generada automáticamenteDIVISOR\_FRECUENCIA\_25HZ: Este módulo se encarga de dividir la frecuencia del reloj del sistema para obtener una frecuencia de 25 Hz, que se utiliza para controlar la velocidad de caída de las piezas del Tetris. Esto permite que el juego se ejecute a una velocidad constante y predecible.

Cada uno de estos módulos VHDL se interconecta de manera adecuada para formar el sistema completo del juego de Tetris. En conjunto, estos módulos permiten que la FPGA ejecute el juego de Tetris y lo visualice en un monitor VGA de manera efectiva y eficiente.

**Implementación De Códigos:**

En la etapa de implementación, se realizó la integración de los diferentes módulos VHDL para formar un diseño completo que pueda ser cargado en la FPGA DE-10 LITE y ejecutar el juego de Tetris. Esta integración se lleva a cabo mediante un archivo VHDL denominado el Top-Level Design, que actúa como el punto de entrada del sistema.

El Top-Level Design conecta los módulos VHDL entre sí y establece las conexiones necesarias con los terminales físicos de la FPGA, así como con los componentes externos como el monitor VGA. Aquí, se asignan las señales de entrada y salida de cada módulo a los pines correspondientes de la FPGA, asegurando una conexión adecuada y funcionalidad del sistema.

Además, se establecen las conexiones adecuadas entre los diferentes módulos para permitir la comunicación y la interacción entre ellos. Por ejemplo, las señales de sincronización y coordenadas de píxeles generadas por el controlador VGA se conectan al módulo H\_IMAGE para la visualización en pantalla. Asimismo, las señales de control y datos del juego se conectan a los módulos relevantes para su procesamiento y representación.

Diagrama, Esquemático

Descripción generada automáticamenteUna vez que el Top-Level Design está completo y todas las conexiones están establecidas, se procede a compilar el código y cargarlo en la FPGA DE-10 LITE utilizando el software de desarrollo adecuado. Una vez cargado en la FPGA y conectado el monitor VGA, el sistema está listo para ejecutar el juego de Tetris, con las piezas cayendo y el tablero mostrándose en la pantalla del monitor.

**Resultados Recibidos:**

En la fase de resultados, se llevó a cabo la ejecución y prueba del sistema implementado en la FPGA DE-10 LITE. Durante esta etapa, se evalúo el funcionamiento del juego de Tetris y se verificaron aspectos clave como la jugabilidad, la precisión de las interacciones del usuario y la estabilidad del sistema.

Se realizaron pruebas exhaustivas para verificar que todas las funcionalidades del juego estén operativas y que no se presenten errores significativos durante su ejecución. Se observo cómo las piezas caen en el tablero y cómo responden a las entradas del usuario.

Durante esta fase, se pudieron identificar posibles mejoras o áreas de optimización para el sistema, tanto a nivel de hardware como de software. Una vez completadas las pruebas y evaluaciones, se obtienen los resultados finales del proyecto, que incluyen una descripción detallada del funcionamiento del juego de Tetris en la FPGA DE-10 LITE. Estos resultados proporcionan una evaluación integral del proyecto y sirven como base para futuras investigaciones y desarrollos en el campo de los sistemas embebidos y la programación de hardware.

**CONCLUSIONES**

**CONCLUSIONES :**

El proyecto de desarrollo del juego Tetris en la FPGA DE-10 LITE ha sido una experiencia educativa muy enriquecedora. A través de este proyecto, he adquirido experiencia y práctica en el diseño de hardware utilizando VHDL profundizando en el conocimiento de las FPGAs y su arquitectura.

El proyecto permitió integrar y aplicar conocimientos de diseño de hardware, programación en VHDL Se enfrentaron desafíos relacionados con la optimización del juego y la integración de módulos de hardware.

Se realizaron pruebas exhaustivas para verificar el correcto funcionamiento del juego de Tetris en la FPGA DE-10 LITE y se identificaron áreas de mejora. En resumen, este proyecto demostró la capacidad para diseñar, implementar y probar sistemas embebidos complejos, sentando las bases para futuros proyectos en este campo.