GROUP 14

Member:

Nguyen Van Khai 20200225

Tran Phat Dat 20200164

Dang Nguyen Phat Dat 20200156

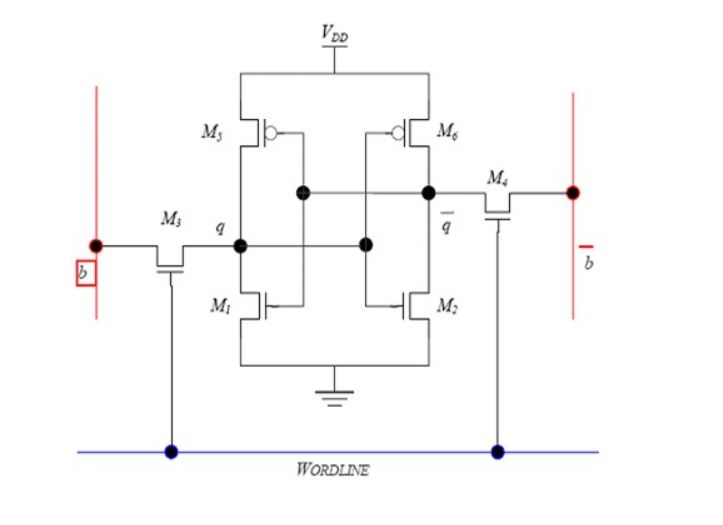
Nguyen Vuong Khang 20200226

**1.Features, meaning of the design**

BITCELL 6T trong công nghệ CMOS được sử dụng trong phần lớn các thiết kế hiện nay. Các bộ đảo ngược chéo, M1, M2 và M5, M6, hoạt động như thành phần lưu trữ. Công việc thiết kế chủ yếu được tập trung vào việc giảm diện tích ô nhớ và tiêu thụ công suất để có thể đặt hàng triệu ô nhớ trên một chip.

Công suất ổn định của ô nhớ được kiểm soát bởi dòng rò ngưỡng dưới, do đó một điện áp ngưỡng lớn thường được sử dụng trong mạch nhớ.

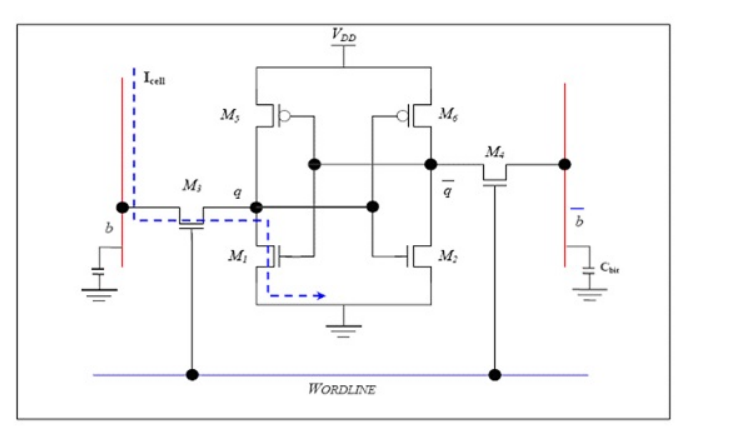
Mỗi bit trong một SRAM được lưu trữ trên bốn transistor (M1, M2, M5, M6) tạo thành hai bộ đảo ngược chéo như được hiển thị trong Hình 1. Ô nhớ này có hai trạng thái ổn định được sử dụng để biểu thị 0 và 1. Hai transistor truy cập bổ sung được sử dụng để điều khiển việc truy cập vào ô nhớ trong quá trình đọc và ghi. Truy cập vào ô nhớ được kích hoạt bởi wordline (WL trong hình) điều khiển hai transistor truy cập M3 và M4, điều khiển việc kết nối ô nhớ với các bitline: b và ~b. Chúng được sử dụng để truyền dữ liệu cho cả hoạt động đọc và ghi.

**HÌNH 1**

**2.The operating principle of the bitcell**

**2.1** READ OPERATION

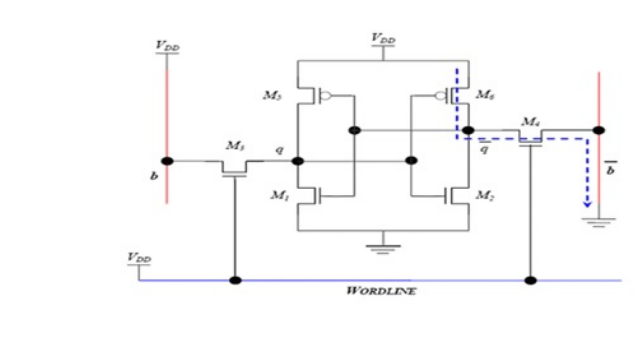
Hoạt động đọc được giải thích trong Hình 2. Trong một ô nhớ 6T RAM, khi một số '0' được lưu trữ ở phía trái của ô nhớ và một số '1' ở phía phải, M1 được bật và M2 được tắt. Ban đầu, b và b được tiền sạc lên một điện áp cao xung quanh VDD bằng một cặp transistor pull-up cột. Dòng điều khiển dòng hàng, được giữ ở mức thấp trong trạng thái chờ đợi, được nâng lên mức VDD, từ đó bật các transistor truy cập M3 và M4. Dòng hiện tại bắt đầu chảy qua M3 và M1 xuống mặt đất. Dòng điện kết quả từ ô nhớ dần làm xả hết điện tích trong tụ Cbit. Trong khi đó, ở phía bên kia của ô nhớ, điện áp trên b vẫn cao vì không có đường dẫn nào xuống mặt đất thông qua M2. Sự khác biệt giữa b và b được đưa vào bộ khuếch đại cảm giác để tạo ra một đầu ra thấp hợp lệ, sau đó được lưu trữ trong một bộ đệm dữ liệu. Sau khi hoàn thành chu kỳ đọc được hiển thị trong **Hình2**, đường wordline được trả về giá trị zero và các đường cột (bitlines) có thể được tiền sạc trở lại một giá trị cao. Khi thiết kế kích thước transistor để đảm bảo tính ổn định trong quá trình đọc, đảm bảo rằng các giá trị đã được lưu trữ không bị ảnh hưởng trong suốt chu kỳ đọc. Vấn đề là, khi dòng điện chảy qua M3 và M1, nó làm tăng điện áp đầu ra tại nút q có thể bật M2 và làm giảm điện áp tại nút ˜q.

**Hình2**

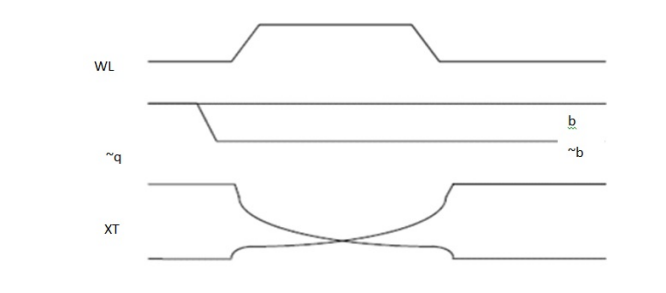
2.2 WRITE OPERATION

Hoạt động ghi giá trị 0 hoặc 1 được thực hiện bằng cách ép buộc một trong hai bitline, b hoặc b, xuống mức thấp trong khi bitline còn lại duy trì ở mức xung quanh VDD. Đối với ô nhớ SRAM được đề cập ở trên, để ghi giá trị 1, b được ép buộc xuống mức thấp, và để ghi giá trị 0, b được ép buộc xuống mức thấp như được hiển thị trong Hình 3

Ô nhớ SRAM cần được thiết kế sao cho dẫn điện của M4 lớn hơn vài lần so với M6 để đảm bảo rằng nguồn của M2 được kéo xuống dưới ngưỡng chuyển mức của bộ đảo như được hiển thị trong Hình 4.Điều này khởi đầu một hiệu ứng phục hồi giữa hai bộ đảo. Cuối cùng, M1 tắt và điện áp nguồn của nó tăng lên VDD do tác động kéo lên của M5 và M3. Đồng thời, M2 bật và hỗ trợ M4 kéo đầu ra / q về giá trị thấp dự định. Khi ô nhớ cuối cùng chuyển sang trạng thái mới, đường wordline WL có thể được đưa trở lại mức thấp của trạng thái chờ đợi. Hoạt động ghi bắt đầu bằng việc sạc b và b lên các giá trị mong muốn tương ứng. Sau đó, wordline được kích hoạt. Điều này làm cho nút ˜q bắt đầu xả qua M4. Tại điểm này, M6 cố gắng kéo nút ˜q lên. Do đó, M4 cần có độ dẫn cao hơn so với M6 để có thể dẫn điện hết toàn bộ dòng được cung cấp bởi M6 để giữ nút ˜q ở mức thấp.



**HÌNH 3**

****

**Hình 4**

**\*\*\*\*\*NOTE**:

Pseudo-NMOS là một kỹ thuật thiết kế trong vi mạch điện tử, trong đó sử dụng một cặp transistor N-kênh (N-channel) để tạo thành một bộ đảo (inverter). Pseudo-NMOS được sử dụng trong một số ứng dụng, như trong thiết kế ô nhớ SRAM như đã đề cập ở trước.

Trong pseudo-NMOS, một transistor P-kênh (P-channel) được kết nối song song với một transistor N-kênh. Khi tín hiệu vào được đưa vào transistor N-kênh, nó sẽ điều khiển dòng chảy qua cả hai transistor. Khi transistor N-kênh dẫn dòng, nút đầu ra sẽ bị kéo xuống mức thấp. Khi transistor N-kênh không dẫn dòng, nút đầu ra sẽ được kéo lên mức cao thông qua transistor P-kênh.

Pseudo-NMOS giúp cải thiện tốc độ và hiệu năng của mạch điện tử, đặc biệt là trong các ứng dụng như bộ đảo và ô nhớ SRAM, nơi sử dụng transistor N-kênh có kích thước lớn hơn transistor P-kênh để đảm bảo dẫn dòng tốt hơn.

**3.** **Parameter calculation in theory**

Các thông số của Bitcell 6T cần phải tính toán để đảm bảo hoạt động chính xác của ô nhớ. Các thông số chính bao gồm:

1. Kích thước transistor: Kích thước transistor sẽ ảnh hưởng đến hiệu suất và tiêu thụ điện năng của Bitcell 6T. Kích thước transistor phải được chọn sao cho đảm bảo độ dài và chiều rộng kênh phù hợp với dòng điện và điện áp được sử dụng.

2. Điện dung: Điện dung của cặp đảo nối chéo trong Bitcell 6T ảnh hưởng đến thời gian truy cập và độ chính xác của ô nhớ. Các thông số cần tính toán bao gồm độ dày oxide, chiều rộng và chiều dài kênh.

3. Điện trở: Điện trở của transistor sẽ ảnh hưởng đến mức độ tiêu thụ điện năng và hiệu suất của ô nhớ. Điện trở của transistor được tính bằng cách sử dụng thông số đặc trưng của transistor.

4. Độ phân giải: Độ phân giải của Bitcell 6T là số bit được lưu trữ trong một ô nhớ. Độ phân giải phải được tính toán sao cho đảm bảo độ chính xác và hiệu suất của ô nhớ.

Các thông số trên cần được tính toán cẩn thận để đảm bảo hoạt động chính xác và hiệu quả của Bitcell 6T. Các công cụ mô phỏng mạch và phần mềm có sẵn được sử dụng để tính toán các thông số này và giúp thiết kế Bitcell 6T hiệu quả.

**4.Set up measurement file with HSPICE tool**

Set up measurement file with HSPICE tool bitcell 6t là quá trình tạo file đo lường trong HSPICE để đánh giá các thông số của bitcell 6T, bao gồm tần số hoạt động, thời gian đáp ứng và tiêu thụ năng lượng.

HSPICE là một công cụ mô phỏng mạch rất mạnh, cho phép người sử dụng thiết kế và mô phỏng các mạch điện tử phức tạp. Để tạo file đo lường với HSPICE, bạn có thể thực hiện các bước sau:

1. Tạo file netlist: Sử dụng bộ công cụ thiết kế vi mạch để tạo file netlist cho bitcell 6T.

2. Chỉnh sửa file netlist: Sử dụng trình soạn thảo văn bản để thêm các câu lệnh đo lường vào file netlist. Các câu lệnh này sẽ chỉ định những thông số cần đo và phương pháp đo.

3. Chạy HSPICE: Mở HSPICE và chạy file netlist để mô phỏng bitcell 6T.

4. Xem kết quả đo: Sau khi quá trình mô phỏng kết thúc, các kết quả đo sẽ được lưu trong file đo lường.

**5. Study the PDK 14nm**

Study the PDK 14nm bitcell 6t là quá trình nghiên cứu và phân tích các khía cạnh của bitcell 6T được thiết kế bằng quy trình công nghệ 14nm. Quy trình công nghệ 14nm là một công nghệ sản xuất chip hiện đại, cho phép tích hợp nhiều linh kiện trên một mảng chip với độ phân giải cao.

PDK (Process Design Kit) là bộ công cụ hỗ trợ cho việc thiết kế vi mạch dựa trên một quy trình công nghệ cụ thể, bao gồm các mô hình, ký hiệu và các công cụ mô phỏng. Study the PDK 14nm bitcell 6t sẽ tập trung vào việc tìm hiểu và sử dụng PDK để thiết kế và mô phỏng bitcell 6T dựa trên quy trình công nghệ 14nm.

Các bước trong quá trình Study the PDK 14nm bitcell 6t có thể bao gồm:

1. Tìm hiểu quy trình công nghệ 14nm và PDK đi kèm để thiết kế bitcell 6T.

2. Thiết kế bitcell 6T sử dụng các công cụ thiết kế vi mạch, bao gồm việc vẽ mạch và tạo ra netlist.

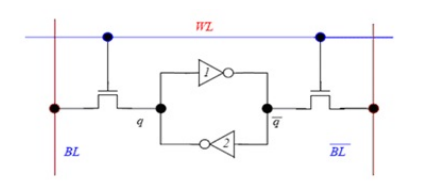
3. Sử dụng công cụ mô phỏng để kiểm tra tính đúng đắn và hoạt động của bitcell 6T.

4. Đánh giá các thông số chính của bitcell 6T, bao gồm độ trễ, tiêu thụ năng lượng và khả năng đọc/ghi dữ liệu.

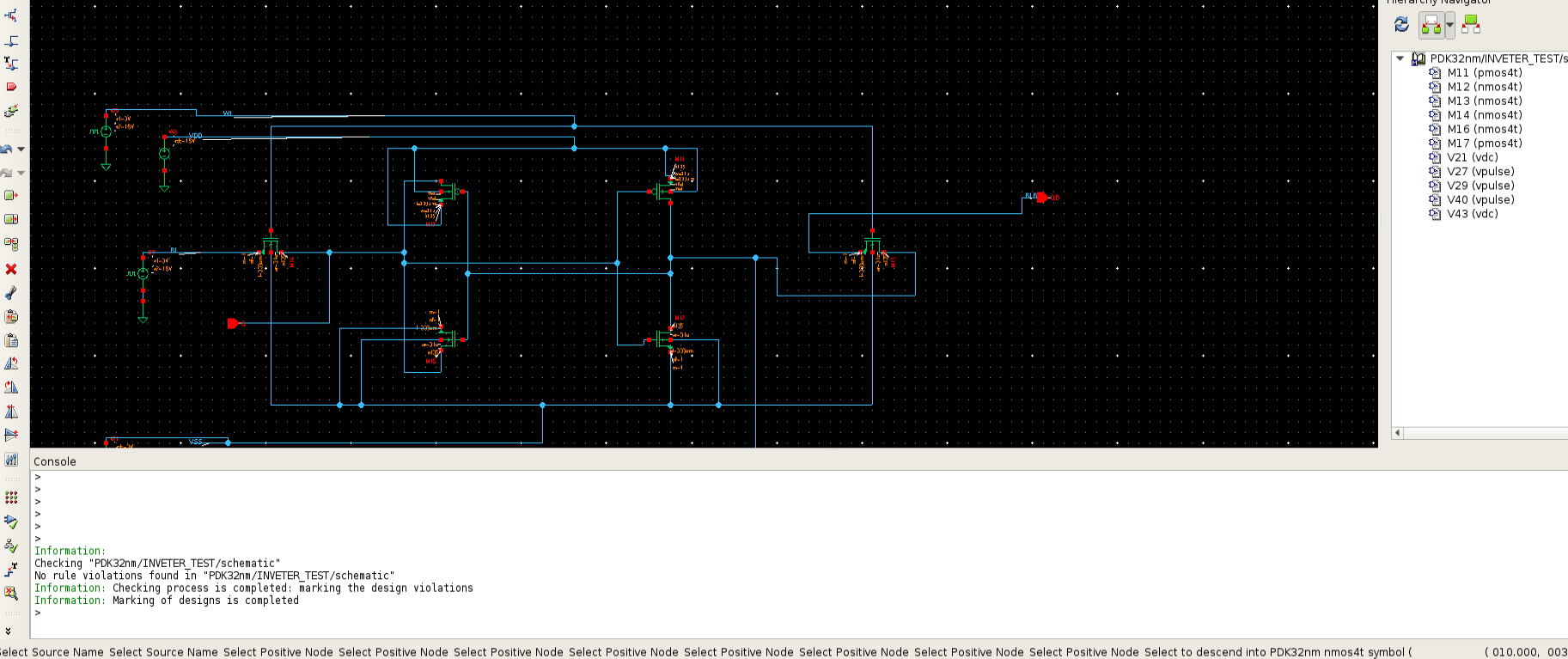
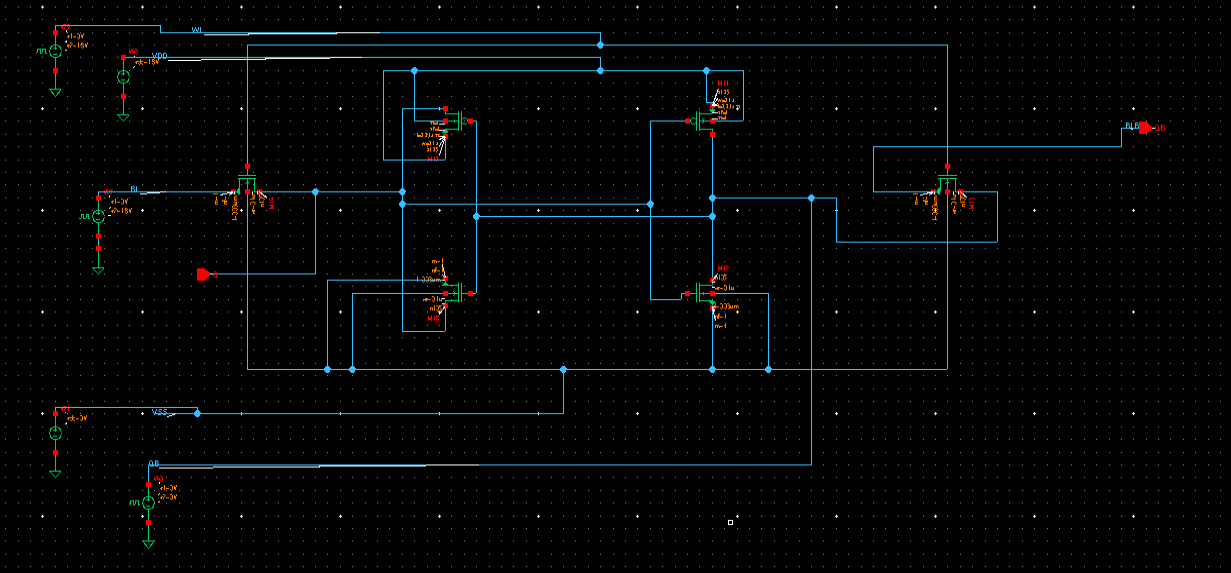
5. Tối ưu hóa bố trí và kích thước của bitcell 6T để đảm bảo tính nhất quán trong toàn bộ quá trình thiết kế vi mạch.

Quá trình Study the PDK 14nm bitcell 6t là quan trọng trong việc nghiên cứu và phát triển các ứng dụng mới của vi mạch dựa trên quy trình công nghệ 14nm. Nó cũng giúp các kỹ sư thiết kế có thể tối ưu hóa hoạt động của bitcell 6T để đáp ứng các yêu cầu về hiệu suất và tính khả dụng của các ứng dụng.

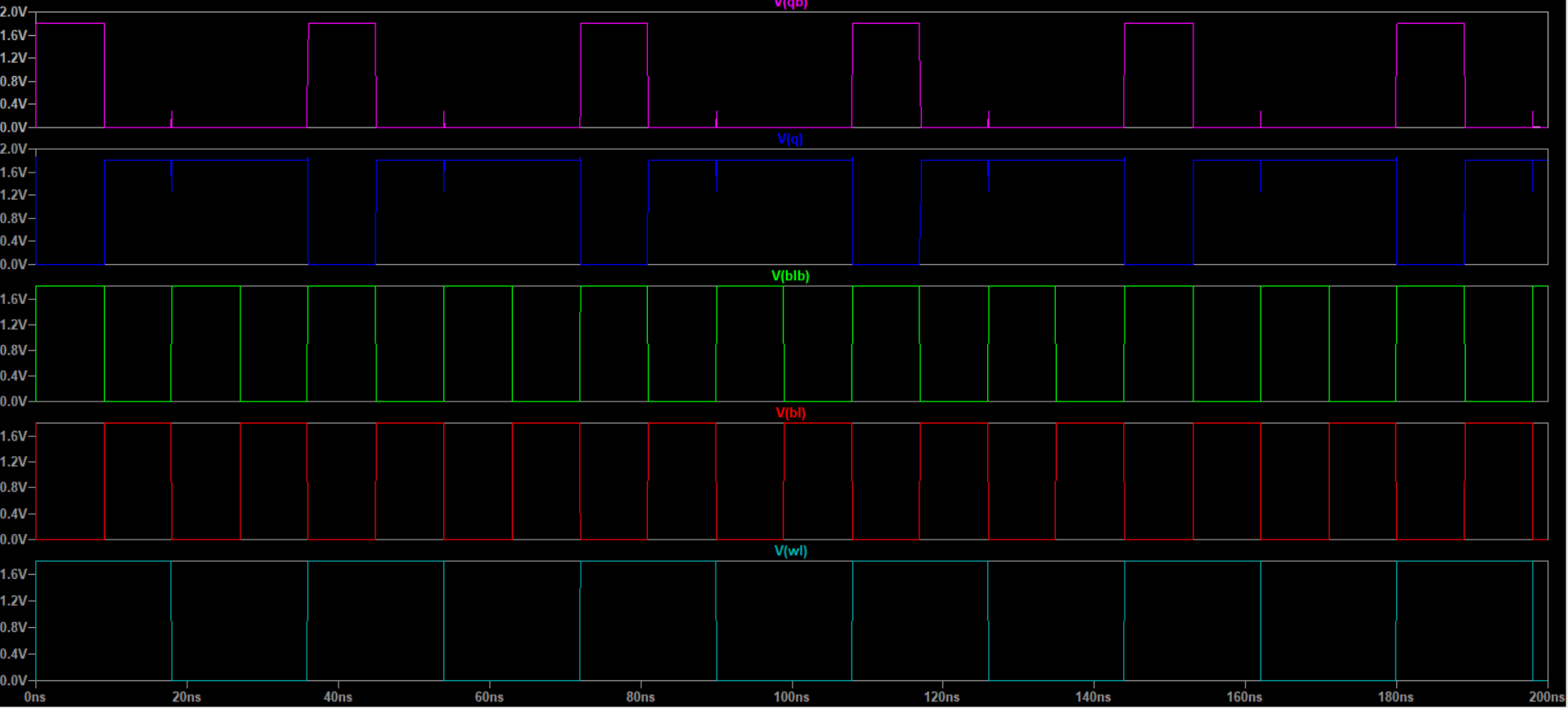
**6. Stick diagram**

****

**7.** **Schematic design**

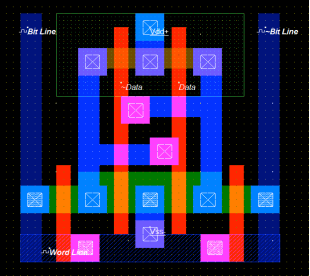
** **

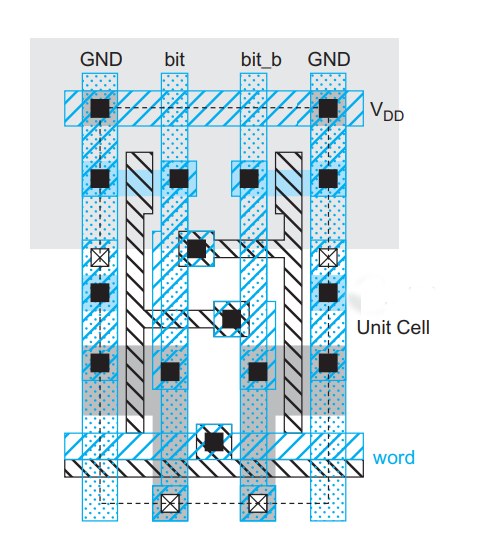
**KQ:**

****

**Chưa đo độ trễ…**

**8.** **Pre-layout Simulation**

**n**

**10.** **Check DRC & LVS**

**11.** **Parasitic Extraction**

Parasitic extraction trong Bitcell 6T là quá trình xác định các thông số điện trở, điện dung và tụ điện động giữa các thành phần trong mạch, bao gồm cả đường dây và thành phần transistor. Các thông số này được tính toán dựa trên các thông số vật lý của các thành phần mạch, và được sử dụng để mô phỏng chính xác hơn các tính năng và hiệu suất của mạch.

Trong quá trình thiết kế Bitcell 6T, các thành phần mạch được đặt trên một mô hình lưới, và các kết nối giữa các thành phần được tạo ra bởi các đường dây. Parasitic extraction sử dụng các công cụ phần mềm để tính toán các thông số parasitic của các đường dây, bao gồm điện trở, điện dung và tụ điện động. Thông số này có thể bao gồm các thông số như chiều dài, chiều rộng, độ dày, và hằng số điện môi của các lớp vật liệu được sử dụng để làm đường dây.

Các thông số parasitic này được sử dụng để tạo ra một mô hình parasitic mô phỏng chính xác hơn của Bitcell 6T, giúp các kỹ sư thiết kế đánh giá hiệu suất và tính năng của mạch và đảm bảo rằng nó đáp ứng được các yêu cầu của hệ thống. Parasitic extraction là một phần quan trọng trong quá trình thiết kế Bitcell 6T và được sử dụng trong các công cụ mô phỏng mạch để đánh giá hiệu suất và tính năng của mạch trước khi sản xuất.

**12. Post-layout simulation**

Post-layout simulation trong Bitcell 6T là một phần quan trọng của quá trình thiết kế mạch, nó đảm bảo rằng các kết nối và đường dây trong mạch đáp ứng được các yêu cầu về điện, tín hiệu và độ trễ. Quá trình này thực hiện sau khi mạch được đặt trên layout (được thiết kế vị trí các thành phần trên chip), và các thông số vật lý như chiều dài đường dây, kích thước transistor, độ dày lớp vật liệu...được xác định rõ ràng.

Trong post-layout simulation, một mô hình mạch chính xác được tạo ra bằng cách sử dụng các thông số vật lý được trích xuất từ layout. Sau đó, các mô phỏng mạch sử dụng các công cụ mô phỏng như SPICE (Simulation Program with Integrated Circuit Emphasis) để xác định hiệu suất và tính năng của mạch, bao gồm điện áp, dòng điện, độ trễ và độ phân giải.

Post-layout simulation đóng vai trò quan trọng trong đảm bảo rằng mạch đáp ứng được các yêu cầu hiệu suất và tính năng của nó trước khi đi vào sản xuất. Nó giúp kỹ sư thiết kế đánh giá hiệu suất thực tế của mạch và tìm kiếm các vấn đề tiềm ẩn có thể xảy ra trên layout, từ đó cải thiện các thiết kế và đảm bảo rằng mạch hoạt động đúng cách và đáp ứng được yêu cầu của hệ thống.

**QUY TRÌNH THIẾT KẾ VÀ MÔ PHỎNG**

Quy trình thiết kế và mô phỏng Bitcell 6T bao gồm các bước sau:

1. Xác định các yêu cầu chức năng và hiệu suất của Bitcell 6T: Các yêu cầu này bao gồm các thông số kỹ thuật như độ trễ, độ chính xác, điện áp hoạt động, tiêu thụ điện năng...

2. Thiết kế mô hình Bitcell 6T: Mô hình được thiết kế sử dụng ngôn ngữ mô tả phần cứng như Verilog hoặc VHDL. Nó cũng có thể được thiết kế bằng các công cụ tự động hóa thiết kế mạch như Cadence hoặc Synopsys.

3. Mô phỏng mô hình Bitcell 6T: Sau khi thiết kế mô hình Bitcell 6T, ta cần mô phỏng mô hình đó để đánh giá tính chính xác của mô hình. Đây là bước quan trọng trong quá trình thiết kế mạch, giúp đảm bảo rằng mô hình được thiết kế đáp ứng các yêu cầu chức năng và hiệu suất đã xác định ở bước 1.

4. Thiết kế layout Bitcell 6T: Sau khi mô hình Bitcell 6T được xác nhận là hoạt động đúng, ta cần thiết kế layout cho mạch Bitcell 6T trên chip.

5. Mô phỏng post-layout Bitcell 6T: Sau khi hoàn thành thiết kế layout, ta cần thực hiện mô phỏng post-layout để đánh giá lại mạch. Mô phỏng này sẽ đưa ra các thông tin về hiệu suất và tính năng thực tế của mạch, bao gồm điện áp, dòng điện, độ trễ và độ phân giải.

6. Trích xuất các thông số vật lý từ layout: Trích xuất các thông số vật lý như độ dày lớp vật liệu, chiều dài đường dây, kích thước transistor... từ layout là bước quan trọng để sử dụng trong mô phỏng post-layout.

7. Mô phỏng lại Bitcell 6T với thông số vật lý đã trích xuất: Cuối cùng, ta cần thực hiện mô phỏng mạch Bitcell 6T với các thông số vật lý đã trích xuất để đánh giá lại hiệu suất và tính năng của mạch sau khi được đặt trên layout.