



HỌC VIỆN CÔNG NGHỆ BƯU CHÍNH VIỄN THÔNG

CHƯƠNG 2: KHỐI XỬ LÝ TRUNG TÂM



Chương 2. Khối xử lý trung tâm

2.1 Sơ đồ tổng quát và chức năng các thành phần

2.2 Các thanh ghi

2.3 Khối điều khiển

2.4 Khối tính toán số học và lô gic

2.5 Hệ thống bus trong



Chương 2. Khối xử lý trung tâm

2.1 Sơ đồ tổng quát và chức năng các thành phần

Chức năng **CPU** (Central Processing Unit) **Đơn vị xử lý trung tâm**

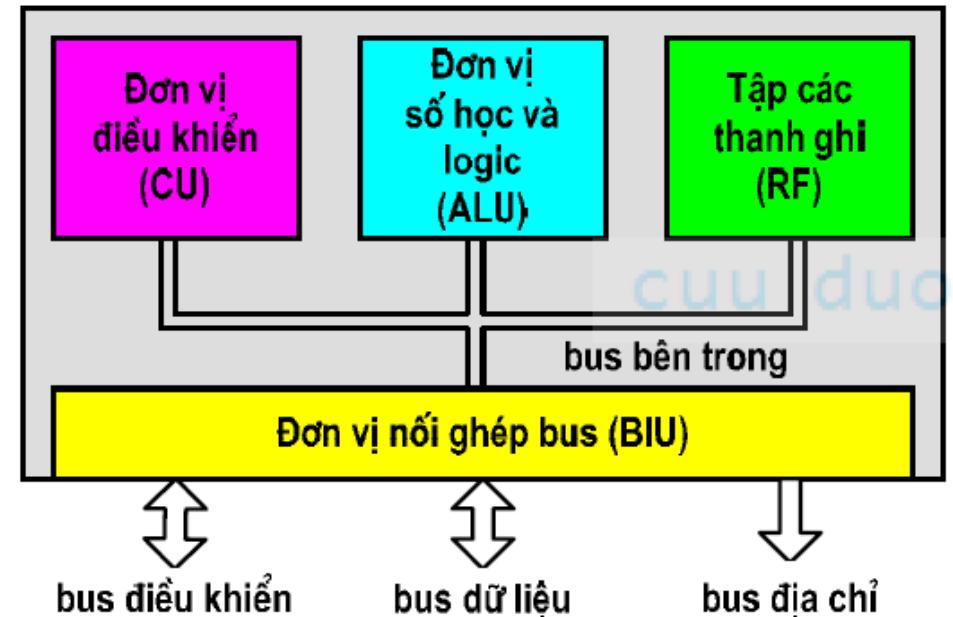
Nhận lệnh (Fetch Instruction): CPU đọc lệnh từ bộ nhớ.

Giải mã lệnh (Decode Instruction): xác định thao tác mà lệnh yêu cầu.

Nhận dữ liệu (Fetch Data): nhận dữ liệu từ bộ nhớ hoặc các cổng vào-ra.

Xử lý dữ liệu (Process Data): thực hiện phép toán số học hay phép toán logic với các dữ liệu.

Ghi dữ liệu (Write Data): ghi dữ liệu ra bộ nhớ hay cổng vào-ra



Sơ đồ khối chức năng cơ bản của CPU



Chương 2. Khối xử lý trung tâm

2.1 Sơ đồ tổng quát và chức năng các thành phần

CU: Control Unit

IR: Instruction Register

PC: Program Counter

MAR: Memory Address Register

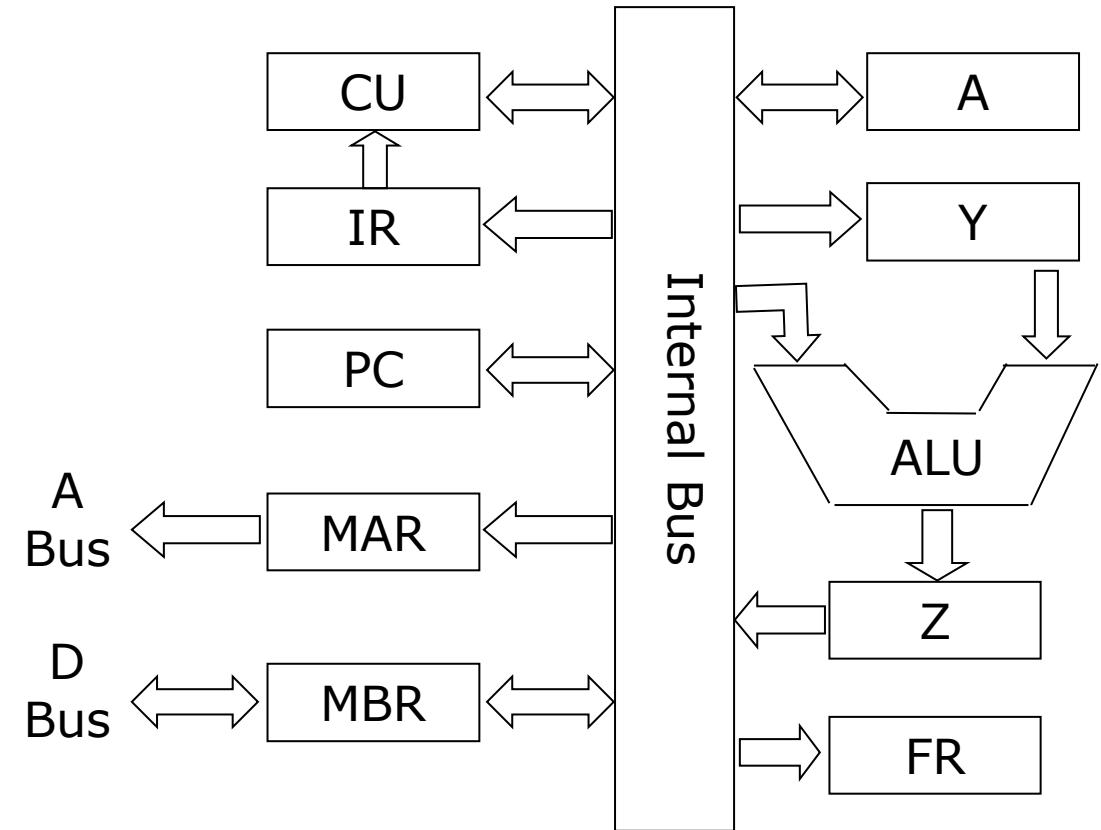
MBR: Memory Buffer Register

A: Accumulator Register

Y, Z: Temporary Register

FR: Flag Register

ALU: Arithmetic and Logic Unit





Chương 2. Khối xử lý trung tâm

2.1 Sơ đồ tổng quát và chức năng các thành phần

Chu trình xử lý lệnh của CPU

1. Khi một chương trình được thực hiện, hệ điều hành (OS-Operating System) nạp mã chương trình vào bộ nhớ trong;
2. Địa chỉ của ô nhớ chứa lệnh đầu tiên của chương trình được nạp vào bộ đếm chương trình PC;
3. Địa chỉ ô nhớ chứa lệnh từ PC được chuyển đến bus A thông qua thanh ghi MAR;
4. Bus A chuyển địa chỉ ô nhớ đến đơn vị quản lý bộ nhớ (MMU - Memory Management Unit);
 5. MMU chọn ra ô nhớ và thực hiện lệnh đọc nội dung ô nhớ;
 6. Lệnh (chứa trong ô nhớ) được chuyển ra bus D và tiếp theo được chuyển tiếp đến thanh ghi MBR;



Chương 2. Khối xử lý trung tâm

2.1 Sơ đồ tổng quát và chức năng các thành phần

Chu trình xử lý lệnh của CPU

7. MBR chuyển lệnh đến thanh ghi lệnh IR; IR chuyển lệnh vào bộ điều khiển CU;
8. CU giải mã lệnh và sinh các tín hiệu điều khiển cần thiết, yêu cầu các bộ phận chức năng như ALU thực hiện lệnh;
9. Giá trị địa chỉ trong bộ đếm PC được tăng lên 1 đơn vị và nó trở đến địa chỉ của ô nhớ chứa lệnh tiếp theo;
10. Các bước từ 3-9 được lặp lại với tất cả các lệnh của chương trình.



Chương 2. Khối xử lý trung tâm

2.1 Sơ đồ tổng quát và chức năng các thành phần

Chu trình xử lý lệnh của CPU

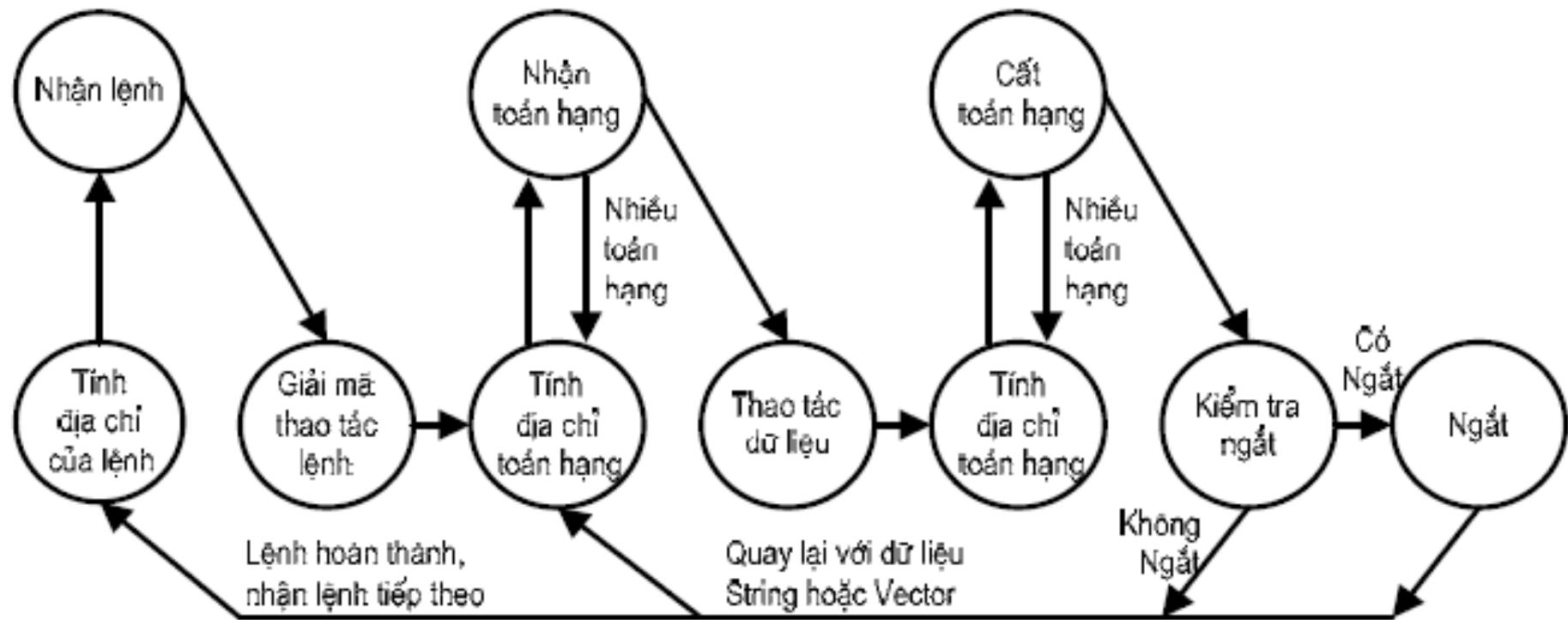
Về cơ bản có các bước chính sau đây:

- Nhận lệnh
- Giải mã lệnh
- Nhận toán hạng
- Thực hiện lệnh
- Cắt toán hạng
- Ngắt

Chương 2. Khối xử lý trung tâm

2.1 Sơ đồ tổng quát và chức năng các thành phần

Giản đồ trạng thái chu trình xử lý lệnh của CPU





Chương 2. Khối xử lý trung tâm

2.1 Sơ đồ tổng quát và chức năng các thành phần

Nhận lệnh:

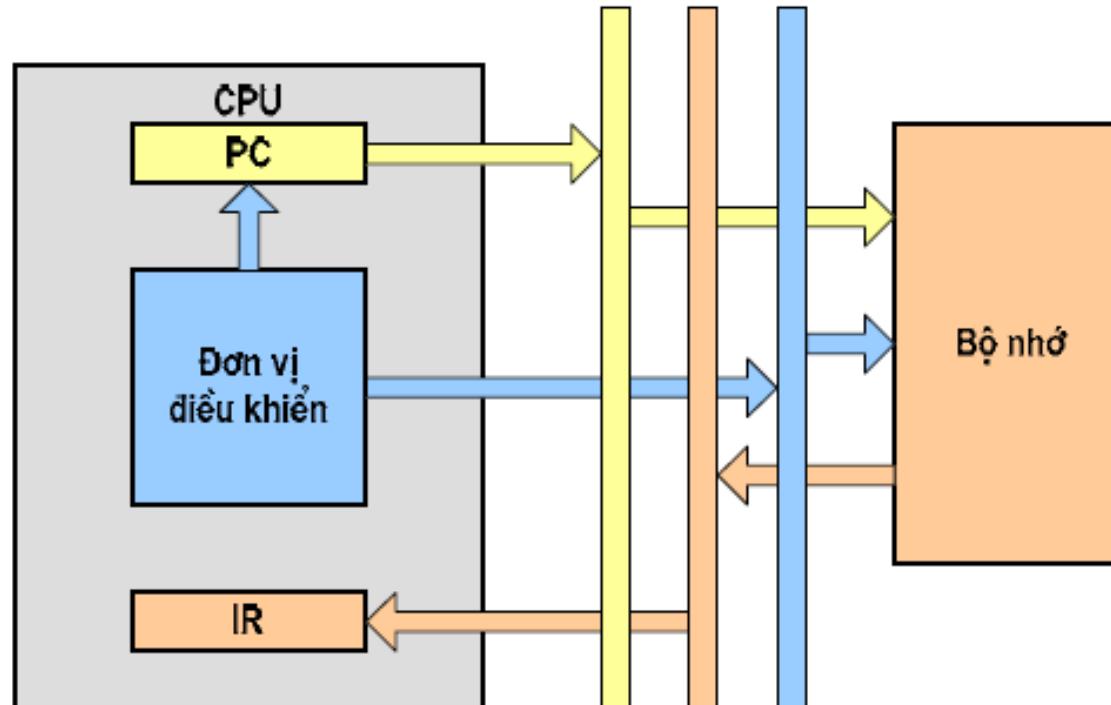
- CPU đưa địa chỉ của lệnh cần nhận từ bộ đếm chương trình PC ra bus địa chỉ
- CPU phát tín hiệu điều khiển đọc bộ nhớ
- Lệnh từ bộ nhớ được đặt lên bus dữ liệu và được CPU copy vào thanh ghi lệnh IR
- CPU tăng nội dung PC để trả sang lệnh kế tiếp



Chương 2. Khối xử lý trung tâm

2.1 Sơ đồ tổng quát và chức năng các thành phần

Sơ đồ mô tả quá trình nhận lệnh



PC: Bộ đếm chương trình

IR: Thanh ghi lệnh

Bus
địa
chi
Bus
dữ
liệu
Bus
điều
khiển



Chương 2. Khối xử lý trung tâm

2.1 Sơ đồ tổng quát và chức năng các thành phần

Giải mã lệnh

- Lệnh từ thanh ghi lệnh IR được đưa đến đơn vị điều khiển
 - Đơn vị điều khiển tiến hành giải mã lệnh để xác định thao tác phải thực hiện
 - Giải mã lệnh xảy ra bên trong CPU



Chương 2. Khối xử lý trung tâm

2.1 Sơ đồ tổng quát và chức năng các thành phần

Nhận dữ liệu

- CPU đưa địa chỉ của toán hạng ra bus địa chỉ
- CPU phát tín hiệu điều khiển đọc
- Toán hạng được đọc vào CPU
- Tương tự như nhận lệnh



Chương 2. Khối xử lý trung tâm

2.1 Sơ đồ tổng quát và chức năng các thành phần

Nhận dữ liệu gián tiếp

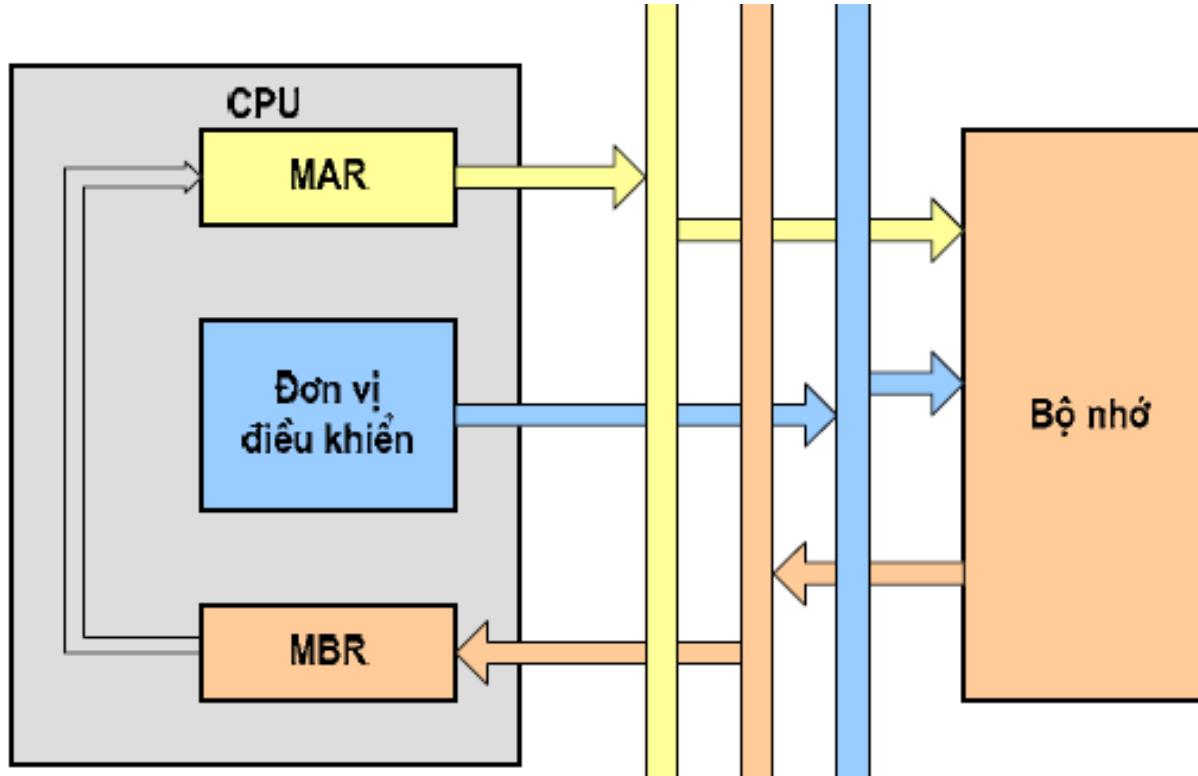
- CPU đưa địa chỉ ra bus địa chỉ
- CPU phát tín hiệu điều khiển đọc
- Nội dung ngăn nhớ được đọc vào CPU đó chính là địa chỉ của toán hạng
- Địa chỉ này được CPU phát ra bus địa chỉ để tìm ra toán hạng
- CPU phát tín hiệu điều khiển đọc
- Toán hạng được đọc vào CPU



Chương 2. Khối xử lý trung tâm

2.1 Sơ đồ tổng quát và chức năng các thành phần

Sơ đồ mô tả quá trình nhận toán hạng gián tiếp



MAR: Thanh ghi địa chỉ bộ nhớ
MBR: Thanh ghi đệm bộ nhớ

Bus
địa
chi
Bus
dữ
liệu
Bus
điều
kiển



Chương 2. Khối xử lý trung tâm

2.1 Sơ đồ tổng quát và chức năng các thành phần

Thực hiện lệnh: Có thể là các thao tác

- Đọc/Ghi bộ nhớ
- Vào/Ra
- Chuyển giữa các thanh ghi
- Thao tác số học/logic
- Chuyển điều khiển (rẽ nhánh)
-



Chương 2. Khối xử lý trung tâm

2.1 Sơ đồ tổng quát và chức năng các thành phần

Ghi toán hạng

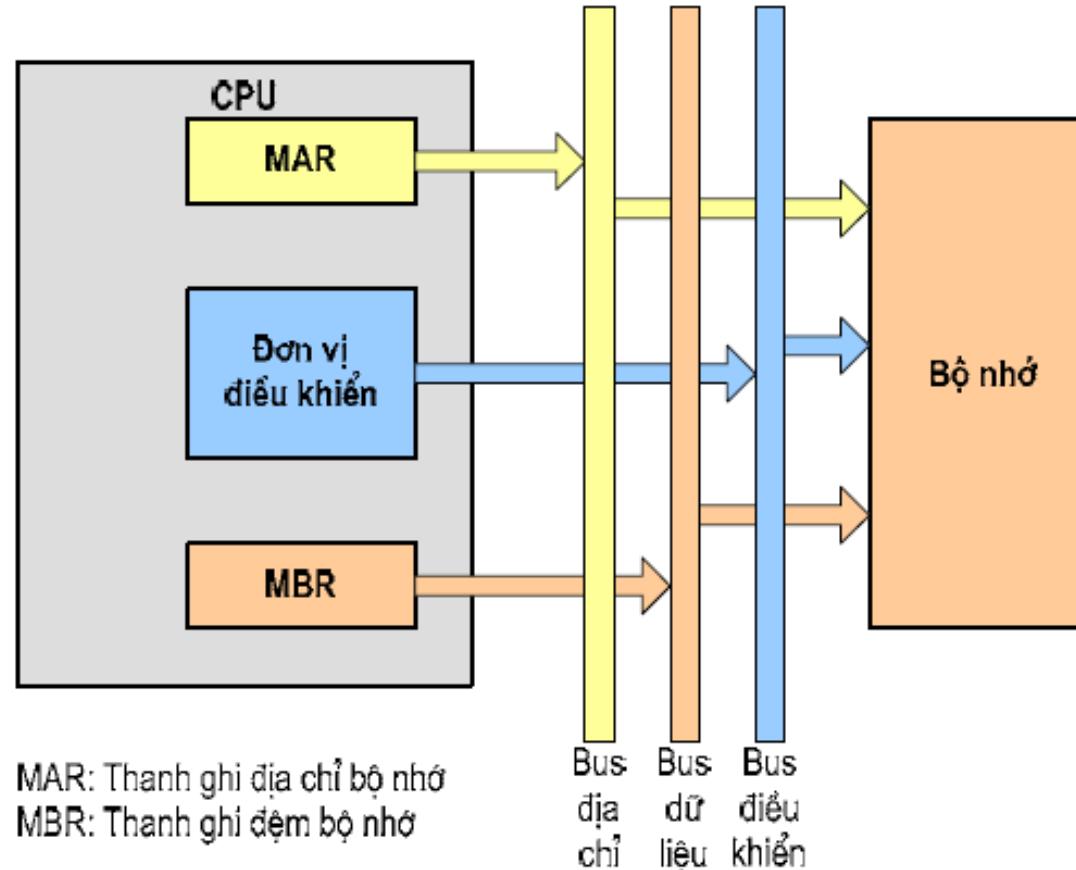
- CPU đưa địa chỉ ra bus địa chỉ
- CPU đưa dữ liệu cần ghi ra bus dữ liệu
- CPU phát tín hiệu điều khiển khiển ghi
- Dữ liệu trên bus dữ liệu được copy đến vị trí xác định



Chương 2. Khối xử lý trung tâm

2.1 Sơ đồ tổng quát và chức năng các thành phần

Sơ đồ mô tả quá trình ghi toán hạng





Chương 2. Khối xử lý trung tâm

2.1 Sơ đồ tổng quát và chức năng các thành phần

Ngắt:

Ngắt (interrupt) trong vi xử lý là một cơ chế quan trọng giúp hệ thống xử lý thông tin một cách hiệu quả bằng cách chuyển đổi quyền kiểm soát từ chương trình chính (main program) sang một chương trình phụ (interrupt service routine - ISR) khi có sự kiện nào đó xảy ra. Sự kiện này có thể là ngắt từ thiết bị ngoại vi như bàn phím, chuột, hoặc từ các sự kiện nội tại như lỗi phần cứng, kết thúc một tác vụ, hoặc yêu cầu xử lý ưu tiên.



Chương 2. Khối xử lý trung tâm

2.1 Sơ đồ tổng quát và chức năng các thành phần

Ngắt:

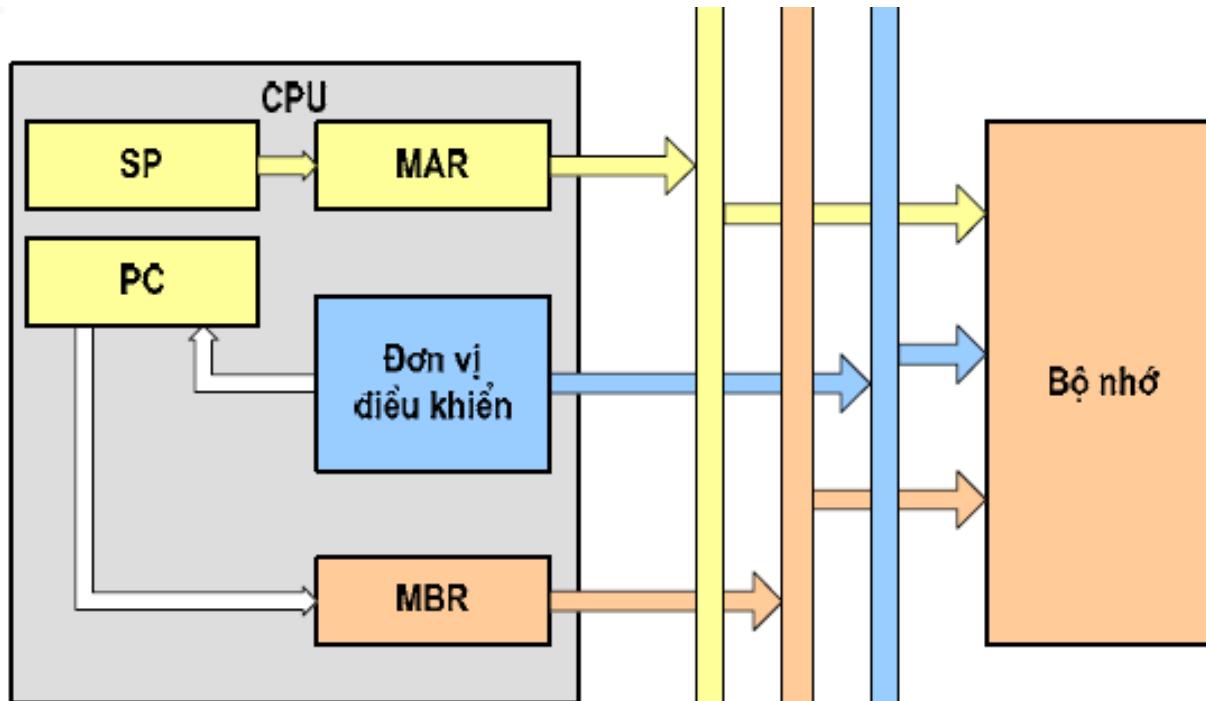
- Nội dung của bộ đếm chương trình PC (địa chỉ trả về sau khi ngắt) được đưa ra bus dữ liệu
- CPU đưa địa chỉ (thường được lấy từ con trỏ ngăn xếp SP) ra bus địa chỉ
- CPU phát tín hiệu điều khiển ghi bộ nhớ
- Địa chỉ trả về trên bus dữ liệu được ghi ra vị trí xác định (ở ngăn xếp)
- Địa chỉ lệnh đầu tiên của chương trình con điều khiển ngắt được nạp vào PC



Chương 2. Khối xử lý trung tâm

2.1 Sơ đồ tổng quát và chức năng các thành phần

Sơ đồ mô tả chu trình ngắn



MAR: Thanh ghi địa chỉ bộ nhớ

MBR: Thanh ghi đệm bộ nhớ

PC: Bộ đếm chương trình

SP: Con trỏ ngăn xếp

Bus
địa
chi
Bus
dữ
liệu
Bus
điều
khiển



Chương 2. Khối xử lý trung tâm

2.2 Các thanh ghi (Registers)

Thanh ghi là các ô nhớ bên trong CPU:

- Lưu trữ tạm thời lệnh và dữ liệu cho CPU xử lý;
- Kích thước nhỏ;
- Tốc độ rất cao (bằng tốc độ CPU)

Các CPU cũ (80x86) có 16-32 thanh ghi; các CPU hiện đại (Pentium 4 và Core Duo) có hàng trăm thanh ghi;

Kích thước thanh ghi phụ thuộc vào thiết kế CPU. Các kích thước thông dụng của thanh ghi là 8, 16, 32, 64, 128 và 256 bit:

- 8086-80286: 8 và 16 bit
- 80386-Pentium II: 16-32 bit
- Pentium 4, Core Duo: 32, 64 và 128 bit.



Chương 2. Khối xử lý trung tâm

2.2.1 Thanh ghi tích lũy A (Accumulator)

- Thanh tích luỹ A là một trong các thanh ghi quan trọng nhất của hầu hết các CPU:
 - A được dùng để chứa toán hạng đầu vào
 - A được dùng để chứa kết quả đầu ra
- Kích thước của A bằng kích thước từ xử lý của CPU: 8, 16, 32 và 64 bit.
- A cũng được sử dụng để trao đổi dữ liệu với các thiết bị vào ra.

Ví dụ: tính $x + y \rightarrow s$

Nạp toán hạng x vào thanh ghi A

Nạp toán hạng y vào thanh ghi Y

ALU thực hiện phép cộng A + Y và lưu kết quả vào
thanh ghi Z

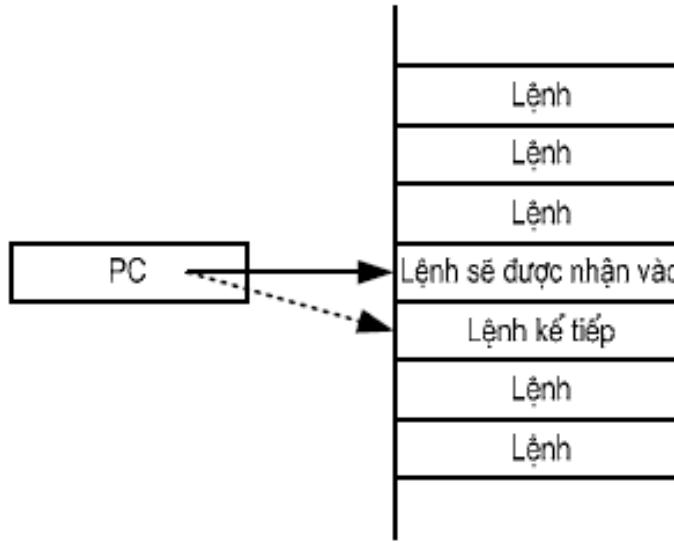
Kết quả phép tính từ Z được chuyển về thanh ghi A.



Chương 2. Khối xử lý trung tâm

2.2.2 Thanh ghi Bộ đếm chương trình PC (Program Counter)

- Bộ đếm chương trình **PC (Program Counter)** hoặc con trỏ lệnh (**IP – Instruction Pointer**) luôn chứa địa chỉ của ô nhớ chứa lệnh được thực hiện tiếp theo;
- Thanh ghi **PC** chứa địa chỉ của ô nhớ chứa lệnh đầu tiên của chương trình khi nó được kích hoạt và được nạp vào bộ nhớ;
- Khi CPU thực hiện xong lệnh, địa chỉ của ô nhớ chứa lệnh tiếp theo được nạp vào **PC**;
- Kích thước **PC** phụ thuộc vào thiết kế CPU. Các kích thước thông dụng là 8, 16, 32 và 64 bit.





Chương 2. Khối xử lý trung tâm

2.2.3 Thanh ghi Trạng thái FR (Flag Register)

- Thanh ghi trạng thái (SR - Status Register) hoặc thanh ghi cờ (FR – Flag Register): mỗi bít của FR lưu trạng thái của kết quả của phép tính ALU thực hiện;
- Có **hai** loại bít cờ:
 - Cờ trạng thái: CF, OF, AF, ZF, PF, SF
 - Cờ điều khiển: IF, TF, DF
- Các bít cờ thường được sử dụng như là các điều kiện trong các lệnh rẽ nhánh để tạo logic chương trình;
 - Kích thước của thanh ghi FR phụ thuộc thiết kế CPU.



Chương 2. Khối xử lý trung tâm

2.2.3 Thanh ghi Trạng thái FR (Flag Register)

Flag	ZF	SF	CF	AF	IF	OF	PF	1
Bit No	7	6	5	4	3	2	1	0

ZF: Cờ Zero, ZF=1 nếu kết quả=0 và ZF=0 nếu kết quả \neq 0.

SF: Cờ dấu, SF=1 nếu kết quả âm và SF=0 nếu kết quả không âm.

CF: Cờ nhớ, CF=1 nếu có nhớ/mượn, CF=0 trong trường hợp khác.

AF: Cờ nhớ phụ, AF=1 nếu có nhớ/mượn ở nửa thấp của toán hạng.

OF: Cờ tràn, OF=1 nếu xảy ra tràn, OF=0 trong trường hợp khác.

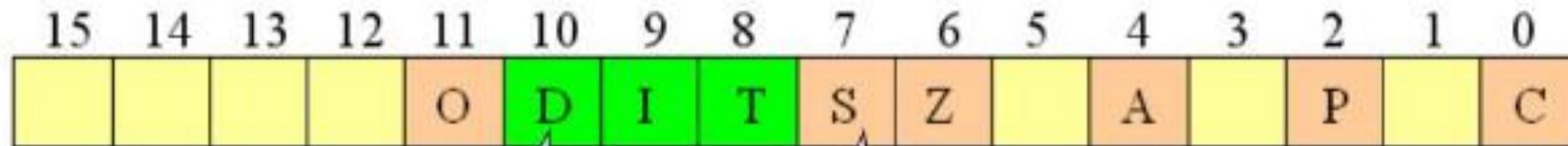
PF: Cờ chẵn lẻ, PF=1 nếu tổng số bit 1 trong kết quả là lẻ và PF=0 nếu tổng số bit 1 trong kết quả là chẵn.

IF: Cờ ngắt, IF=1: cho phép ngắt, IF=0: cấm ngắt.



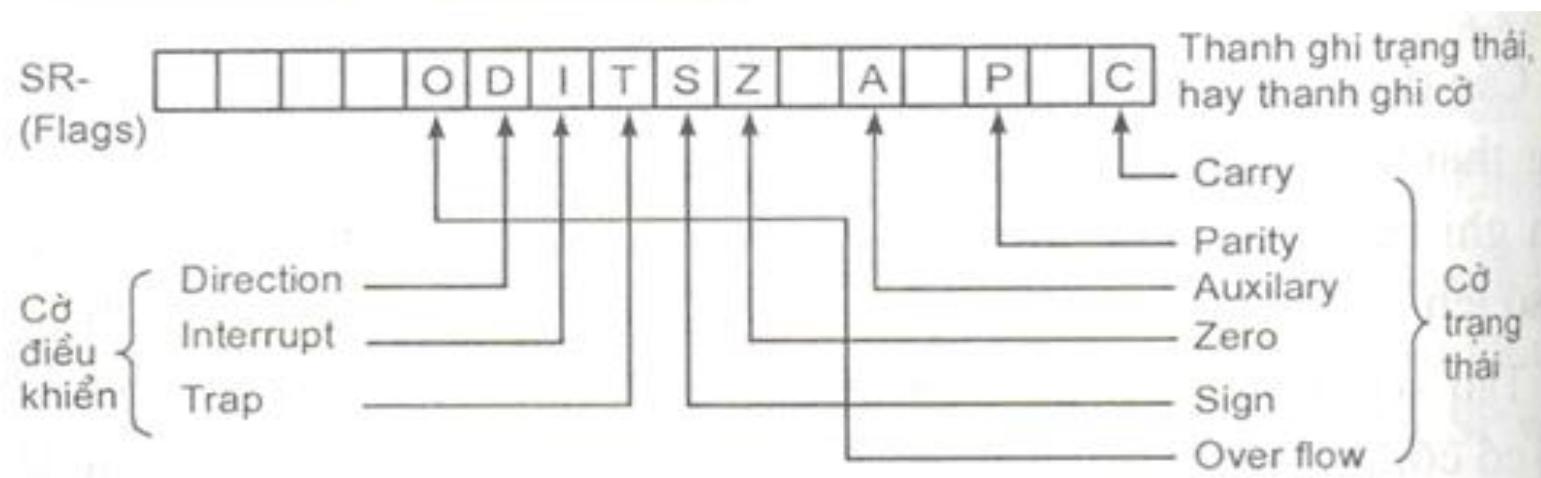
Chương 2. Khối xử lý trung tâm

2.2.3 Thanh ghi Trạng thái FR (Flag Register)



Các cờ điều khiển

Các trạng thái





Chương 2. Khối xử lý trung tâm

2.2.4 Thanh ghi Con trỏ ngăn xếp SP (Stack Pointer)

- Ngăn xếp là bộ nhớ đặc biệt hoạt động theo nguyên lý vào sau ra trước (LIFO);
- Con trỏ ngăn xếp **SP (Stack Pointer)** là một thanh ghi luôn chứa địa chỉ đỉnh ngăn xếp;
- Hai thao tác chính với ngăn xếp:

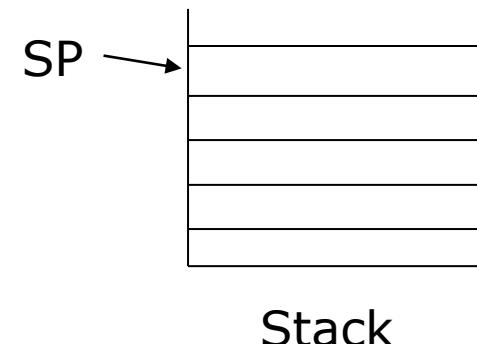
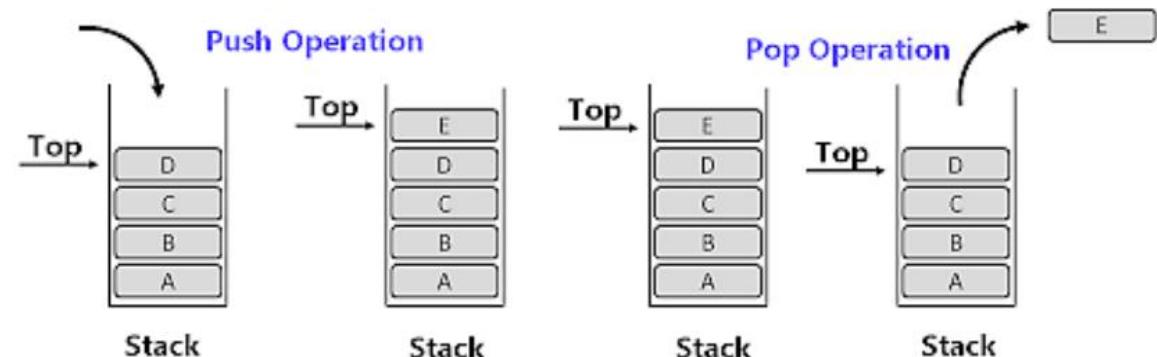
- **Push:** đẩy dữ liệu vào ngăn xếp

$$SP \leftarrow SP + 1$$
$$\{SP\} \leftarrow Data$$

- **Pop:** lấy dữ liệu ra khỏi ngăn xếp

$$Register \leftarrow \{SP\}$$
$$SP \leftarrow SP - 1$$

PUSH AND POP OPERATIONS IN STACK





Chương 2. Khối xử lý trung tâm

2.2.5 Các thanh ghi Công dụng chung (General Purpose Registers)

➤ Các thanh ghi **công dụng chung** (General Purpose Registers) là các thanh ghi đa năng, có thể được sử dụng cho nhiều mục đích:

- Được dùng để chứa toán hạng đầu vào
- Được dùng để chứa kết quả đầu ra

Ví dụ: CPU Intel 8086 có 4 thanh ghi công dụng chung:

- **AX**: Thanh tích luỹ
- **BX**: Thanh ghi cơ sở
- **CX**: Thanh đếm
- **DX**: Thanh ghi dữ liệu



Chương 2. Khối xử lý trung tâm

2.2.6 Thanh ghi lệnh (Instruction Register)

- Thanh ghi lệnh **IR** (Instruction register) lưu lệnh đang thực hiện;
- **IR** nhận lệnh từ **MBR** và chuyển đến **CU** giải mã và thực hiện





Chương 2. Khối xử lý trung tâm

2.2.7 Các thanh ghi MAR và MBR

- **MAR** – Thanh ghi địa chỉ bộ nhớ (**Memory Address Register**):
 - Là giao diện giữa CPU và bus A
 - Nhận địa chỉ ô nhớ chứa lệnh tiếp theo từ PC và chuyển tiếp ra bus A.
- **MBR** – Thanh ghi đệm dữ liệu (**Memory Buffer Register**):
 - Là giao diện giữa CPU và bus D
 - Nhận lệnh từ bus D và chuyển tiếp đến IR thông qua bus trong CPU.



Chương 2. Khối xử lý trung tâm

2.2.8 Các thanh ghi tạm thời

- CPU thường sử dụng một số **thanh ghi tạm thời (Temporary Register)** để:
- Để chứa toán hạng đầu vào
 - Để chứa kết quả đầu ra
 - Hỗ trợ xử lý song song (thực hiện nhiều lệnh cùng một thời điểm)
 - Hỗ trợ thực hiện lệnh trong cơ chế thực hiện lệnh tiên tiến kiểu không theo trật tự (OOO – Out Of Order execution).



Chương 2. Khối xử lý trung tâm

2.2.9 Tập thanh ghi của một số bộ vi xử lý

|

Data Registers

D0	
D1	
D2	
D3	
D4	
D5	
D6	
D7	

Address Registers

A0	
A1	
A2	
A3	
A4	
A5	
A6	
A7	
A7'	

Program Status

Program Counter
Status Register

1

(a) MC68000

General Registers

AX	Accumulator
BX	Base
CX	Count
DX	Data

Pointer & Index

SP	Stack Pointer
BP	Base Pointer
SI	Source Index
DI	Dest Index

Segment

CS	Code
DS	Data
SS	Stack
ES	Extra

Program Status

Instr Ptr
Flags

(b) 8086

General Registers

EAX	AX
EBX	BX
ECX	CX
EDX	DX

ESP	SP
EBP	BP
ESI	SI
EDI	DI

Program Status

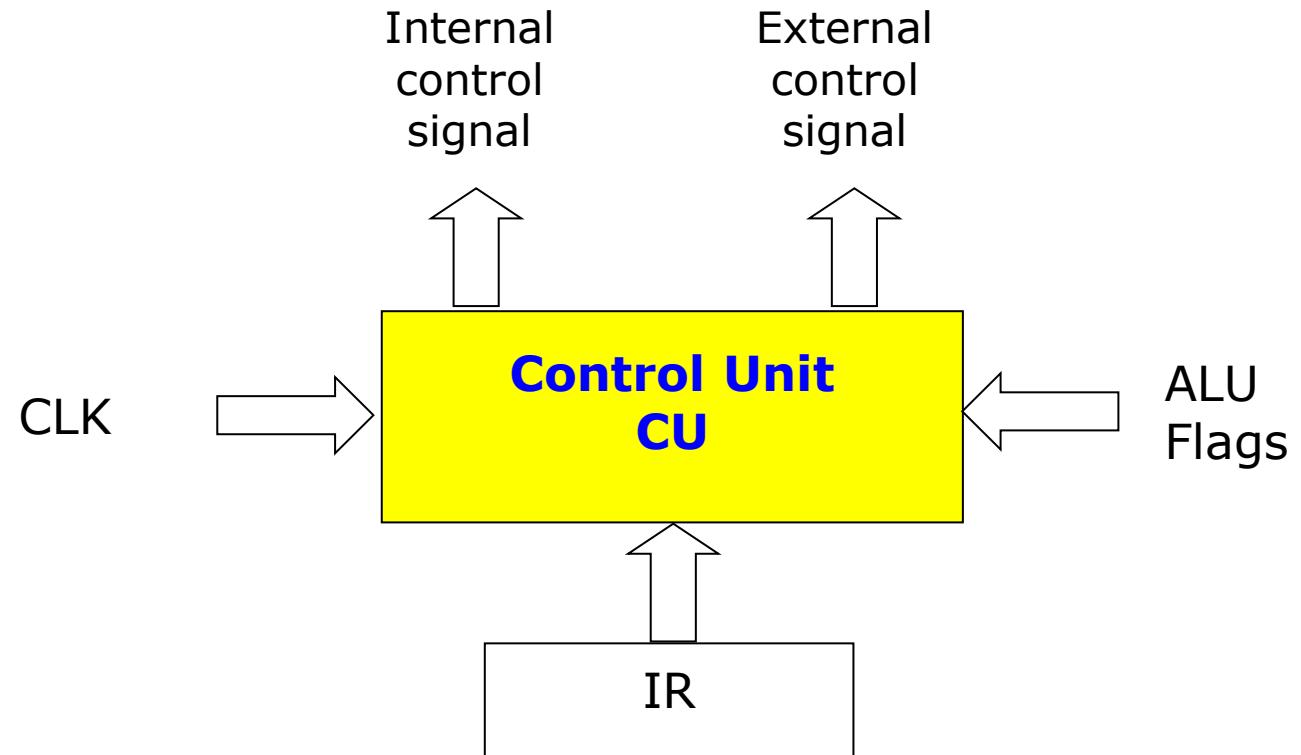
FLAGS Register
Instruction Pointer

(c) 80386 - Pentium II



Chương 2. Khối xử lý trung tâm

2.3 Đơn vị điều khiển CU (Control Unit)





Chương 2. Khối xử lý trung tâm

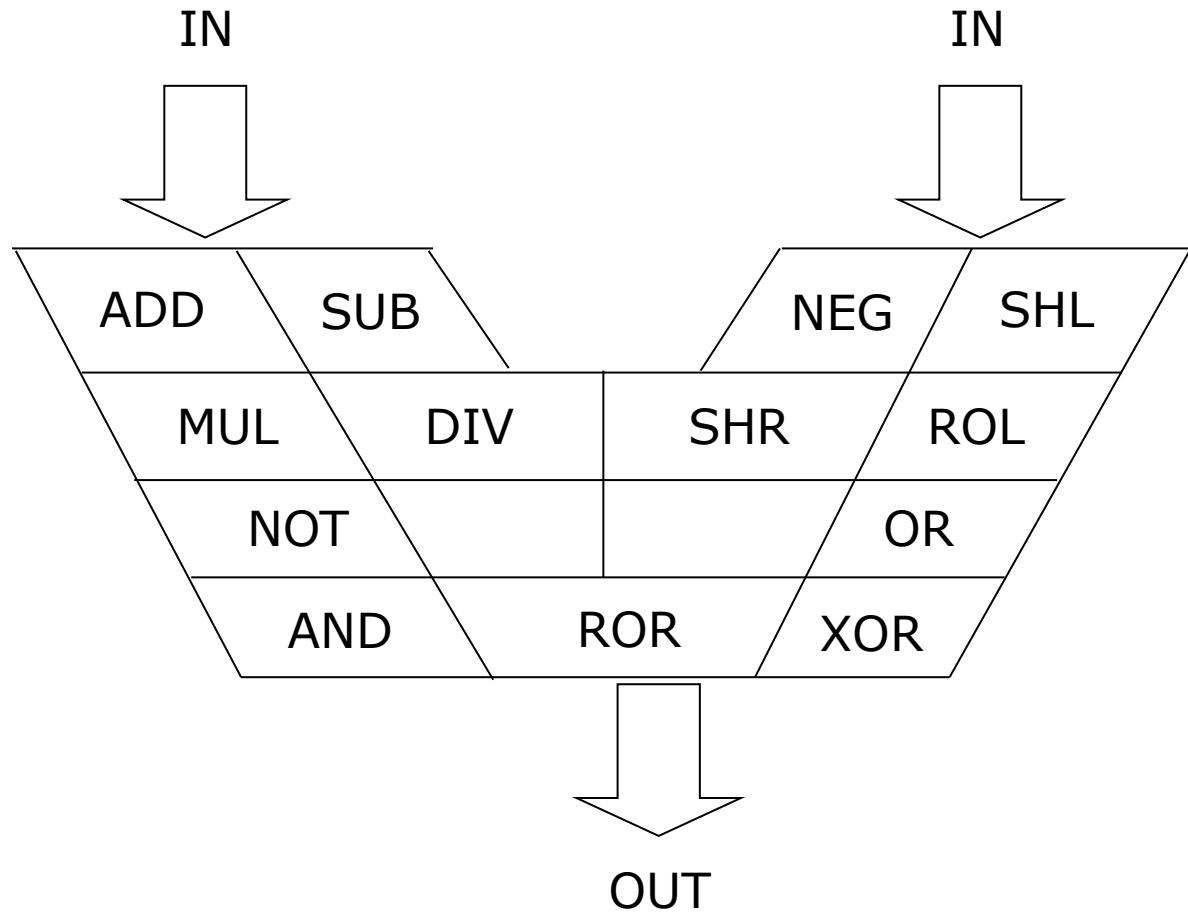
2.3 Đơn vị điều khiển CU (Control Unit)

- Đơn vị điều khiển CU (Control Unit) điều khiển toàn bộ các hoạt động của CPU theo xung nhịp đồng hồ;
- CU nhận 3 tín hiệu đầu vào:
 - Lệnh từ IR
 - Giá trị các cờ trạng thái
 - Xung đồng hồ
 - CU sinh 2 nhóm tín hiệu đầu ra:
 - Nhóm tín hiệu điều khiển các bộ phận bên trong CPU;
 - Nhóm tín hiệu điều khiển các bộ phận bên ngoài CPU
 - CU sử dụng nhịp đồng hồ để đồng bộ các đơn vị chức năng trong CPU và giữa CPU với các bộ phận bên ngoài.



Chương 2. Khối xử lý trung tâm

2.4 Đơn vị điều Số học và Logic (ALU)





Chương 2. Khối xử lý trung tâm

2.4 Đơn vị Số học và Logic (ALU)

➤ ALU (Arithmetic and Logic Unit) bao gồm một loạt các đơn vị chức năng con để thực hiện các phép toán **số học và logic**:

- Bộ cộng (ADD), bộ trừ (SUB), bộ nhân (MUL), bộ chia (DIV),
- Các bộ dịch (SHIFT) và quay (ROTATE)
- Bộ phủ định (NOT), bộ và (AND), bộ hoặc (OR) và bộ hoặc loại trừ (XOR)

➤ ALU có:

- 2 cổng vào IN: nhận toán hạng từ các thanh ghi;
- 1 cổng ra OUT: kết nối với bus trong để chuyển kết quả đến thanh ghi.



Chương 2. Khối xử lý trung tâm

2.5 Hệ thống bus trong (Internal Bus)

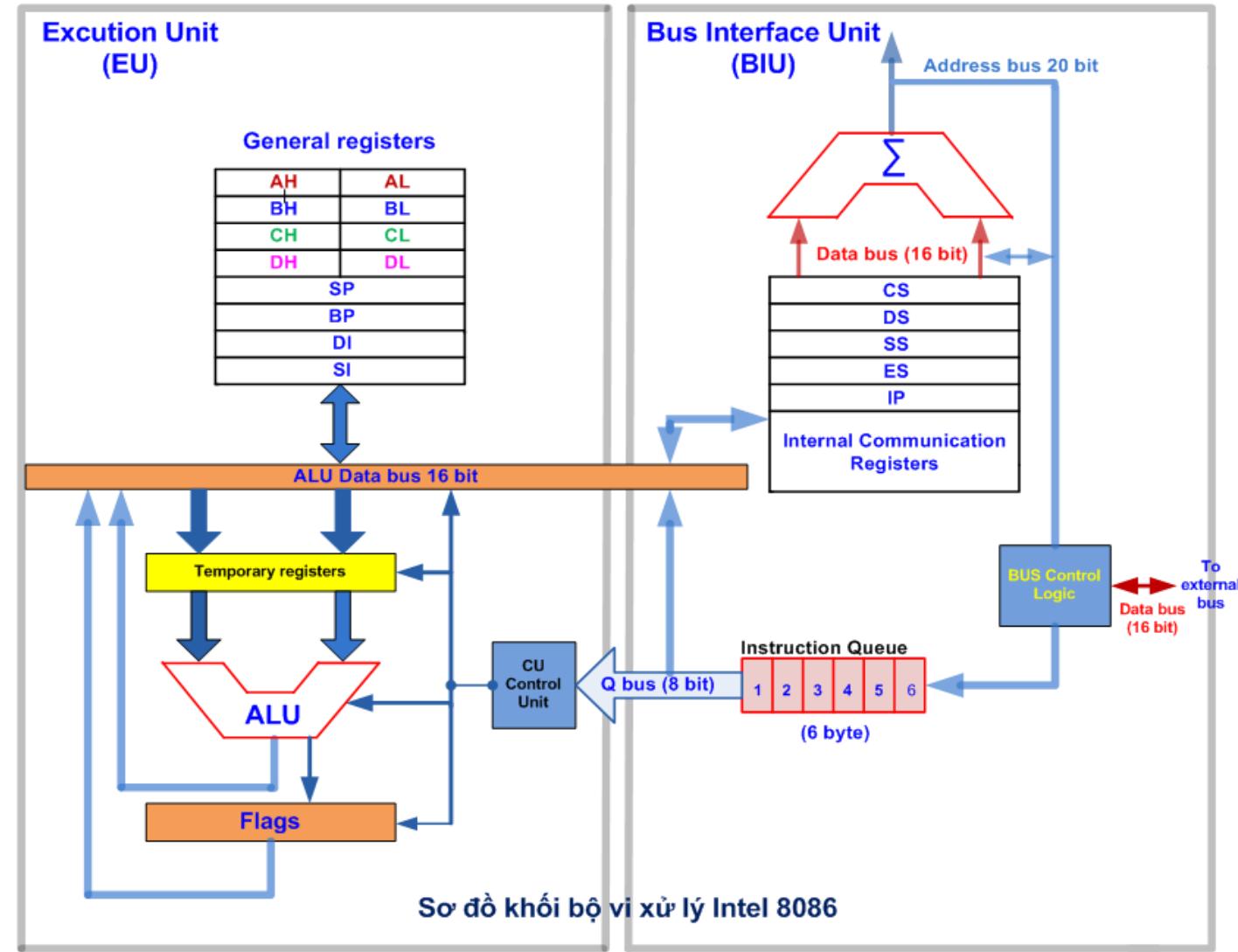
- Bus trong CPU (**Internal bus**) là kênh giao tiếp giữa các bộ phận bên trong CPU Giữa (**CU–Register–ALU**);
- Bus trong hỗ trợ kênh giao tiếp **song công** (**full duplex**)
- Bus trong có giao diện để kết nối với **bus ngoài** (**External Bus**) (bus hệ thống);
- Bus trong thường có băng thông lớn hơn và có tốc độ nhanh hơn so với bus ngoài (bus hệ thống).
- Độ rộng của bus trong tùy thuộc vào kiến trúc của bộ vi xử lý, có thể là 8bit, 16bit, 32 hoặc 64 bit,...hoặc hơn nữa



Chương 2. Khối xử lý trung tâm

2.6 Sơ đồ khối một số CPU

2.6.1 Intel 8086/8088

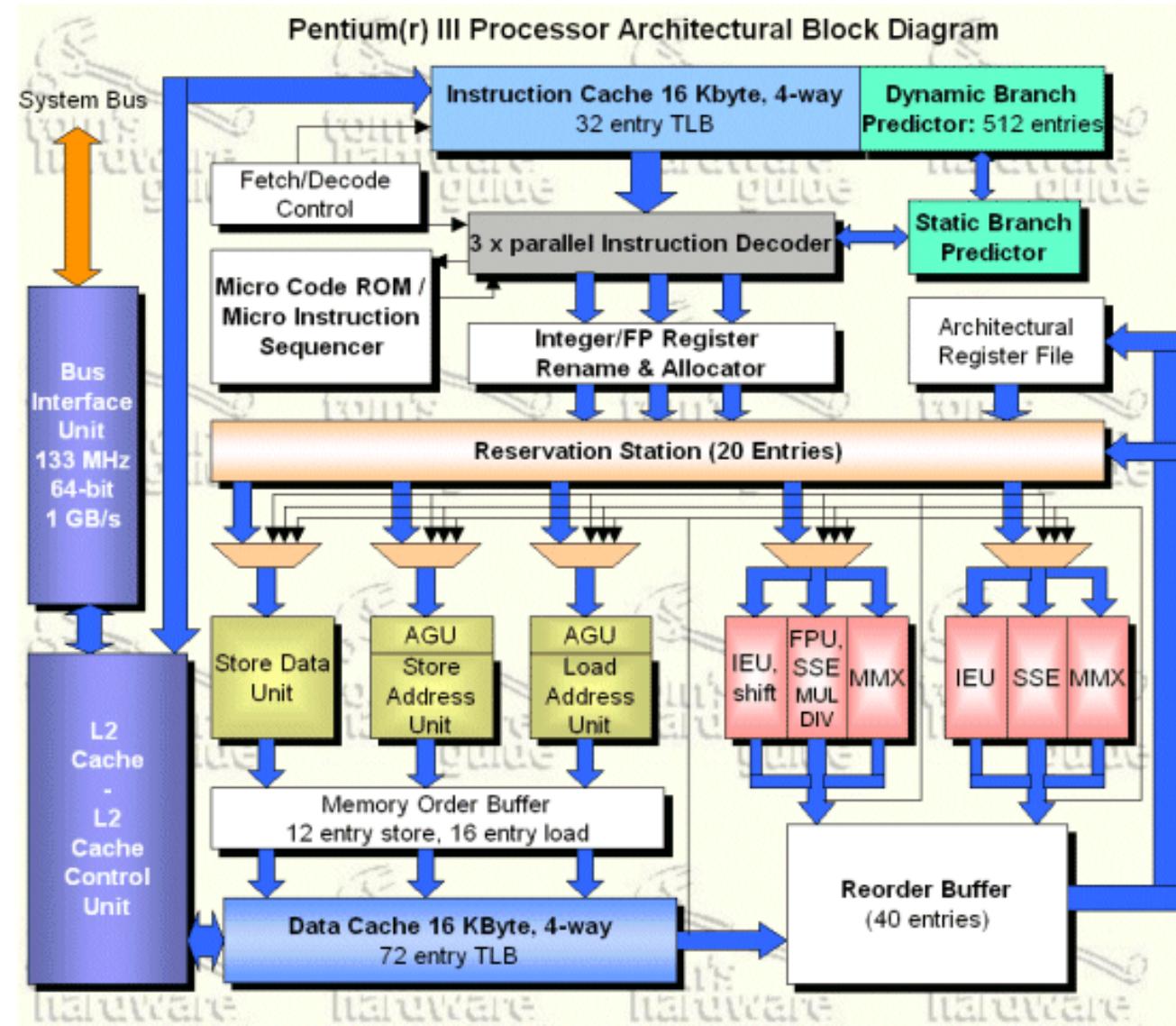




Chương 2. Khối xử lý trung tâm

2.6 Sơ đồ khối một số CPU

2.6.2 Intel Pentium III

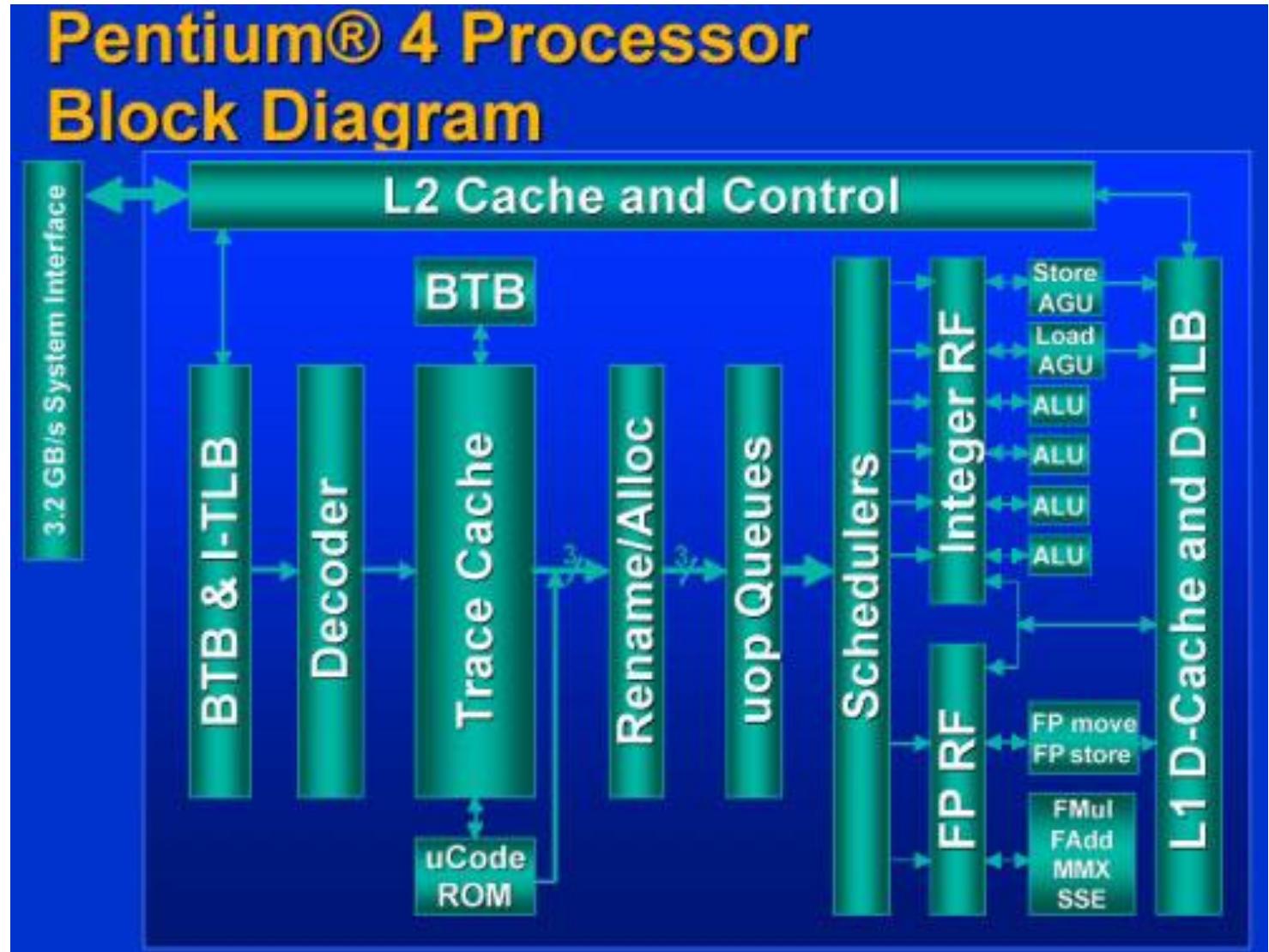




Chương 2. Khối xử lý trung tâm

2.6 Sơ đồ khối một số CPU

2.6.3 Intel Pentium IV

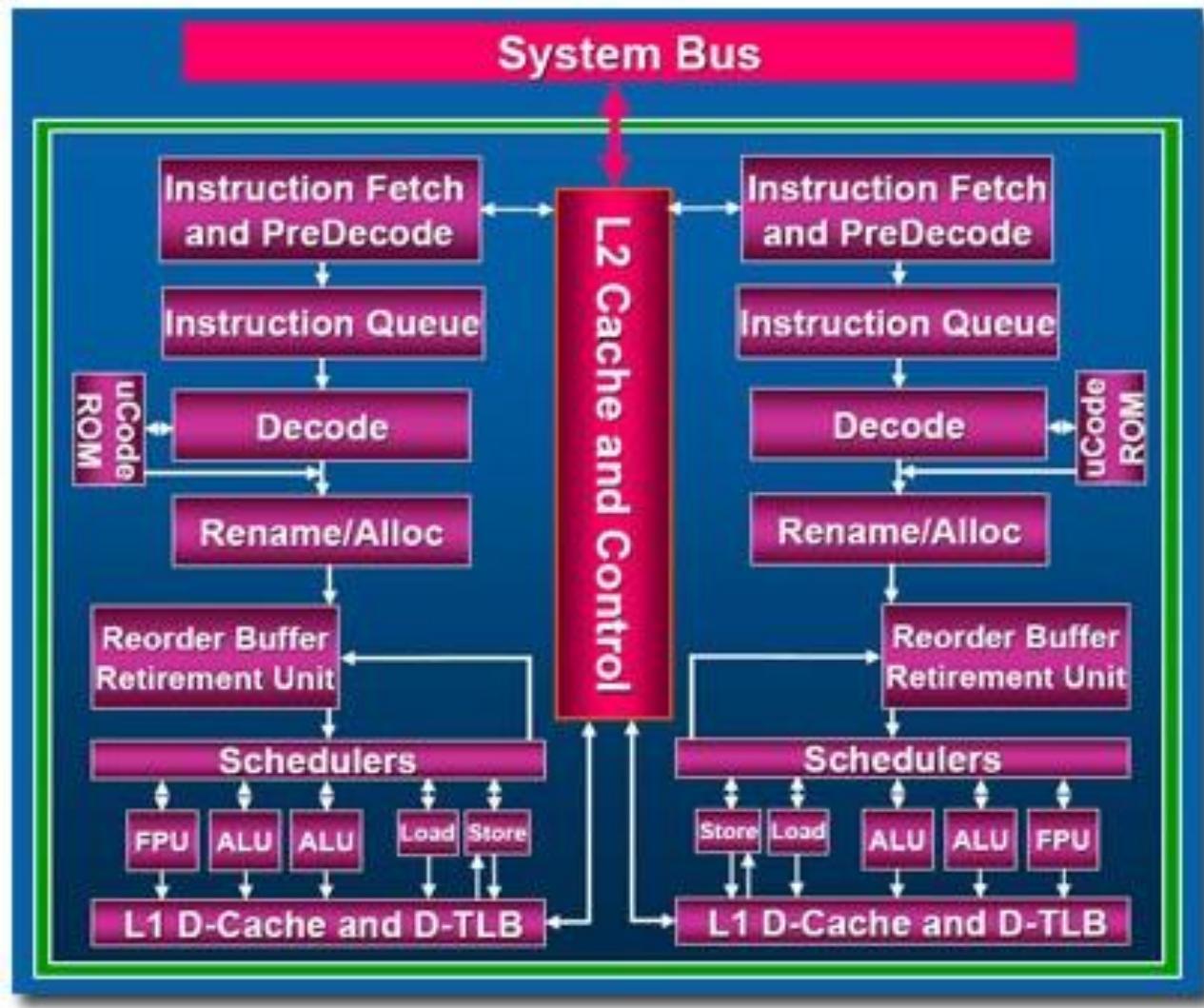




Chương 2. Khối xử lý trung tâm

2.6 Sơ đồ khái niệm một số CPU

2.6.4 Intel Core 2 duo

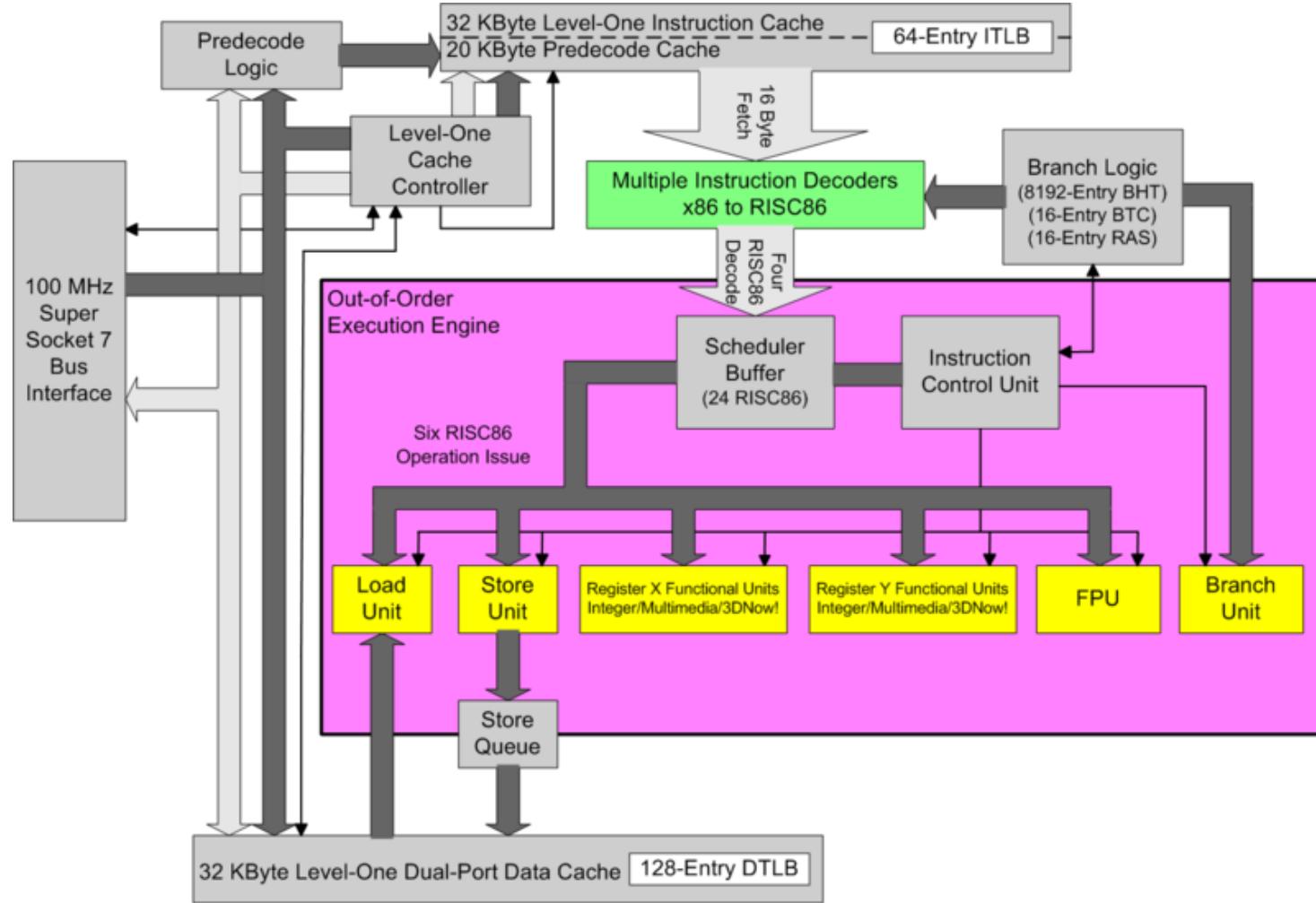




Chương 2. Khối xử lý trung tâm

2.6 Sơ đồ khối một số CPU

2.6.5 AMD K62

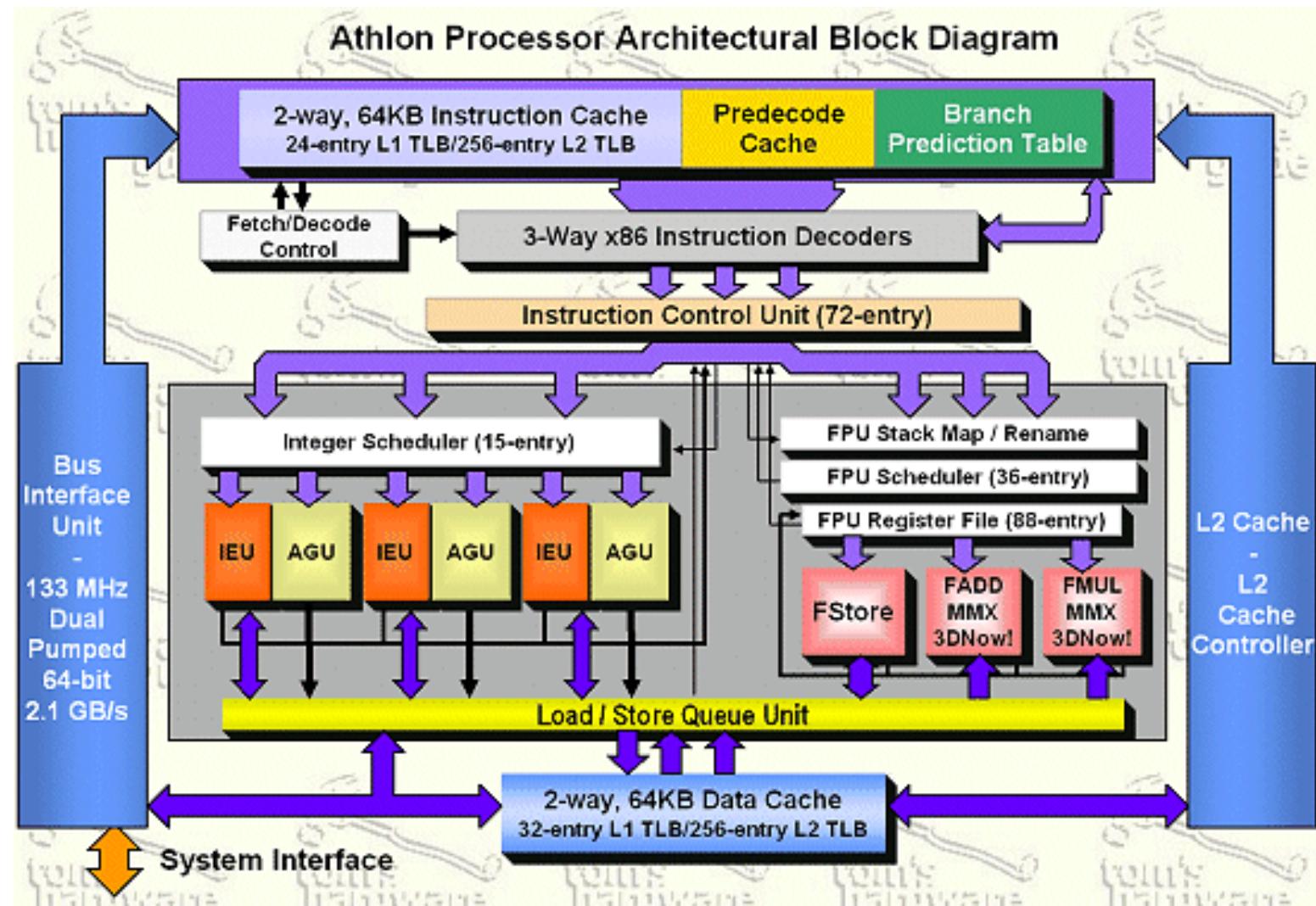




Chương 2. Khối xử lý trung tâm

2.6 Sơ đồ khối một số CPU

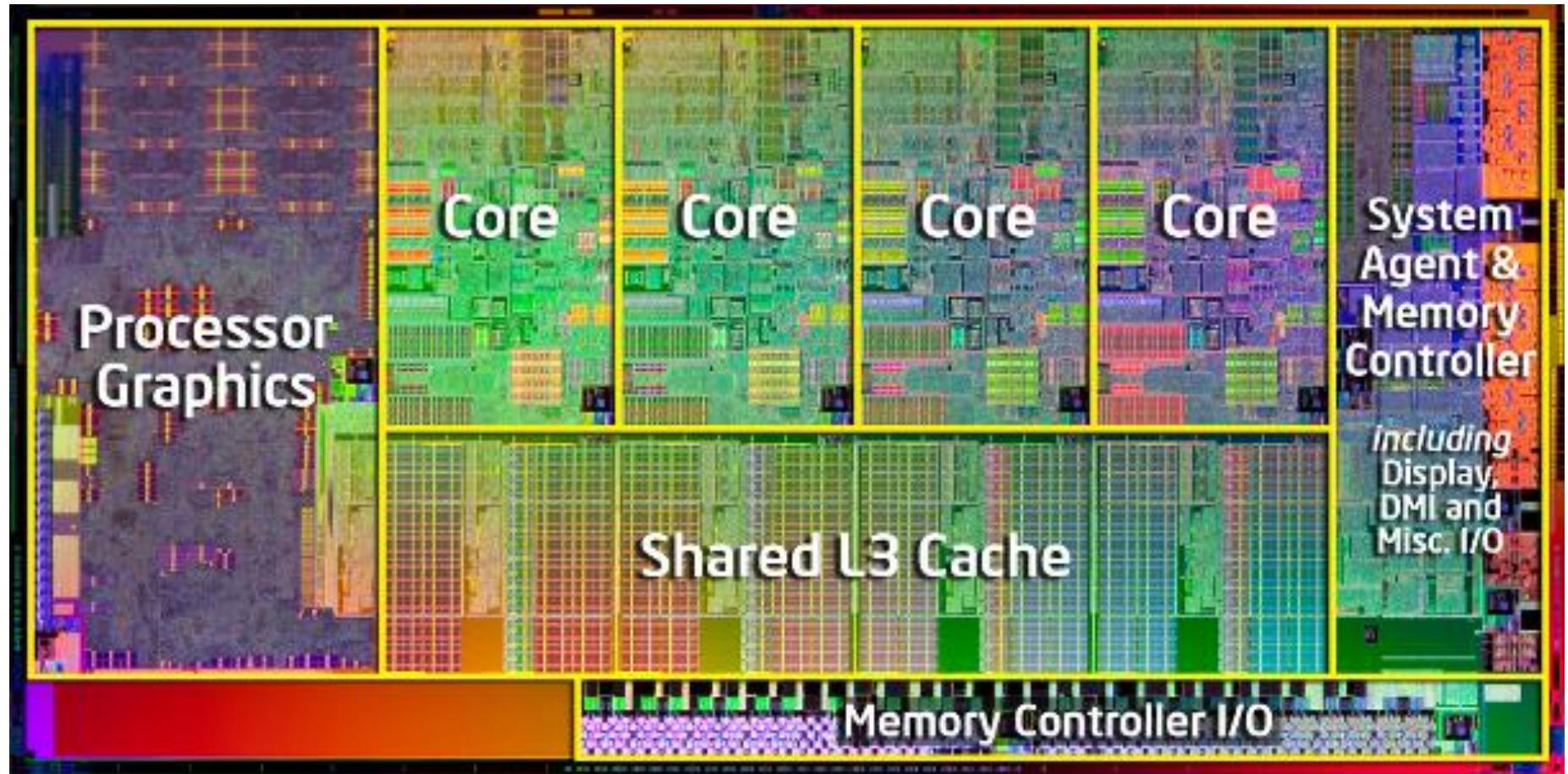
2.6.6 AMD Athlon XP





Chương 2. Khối xử lý trung tâm

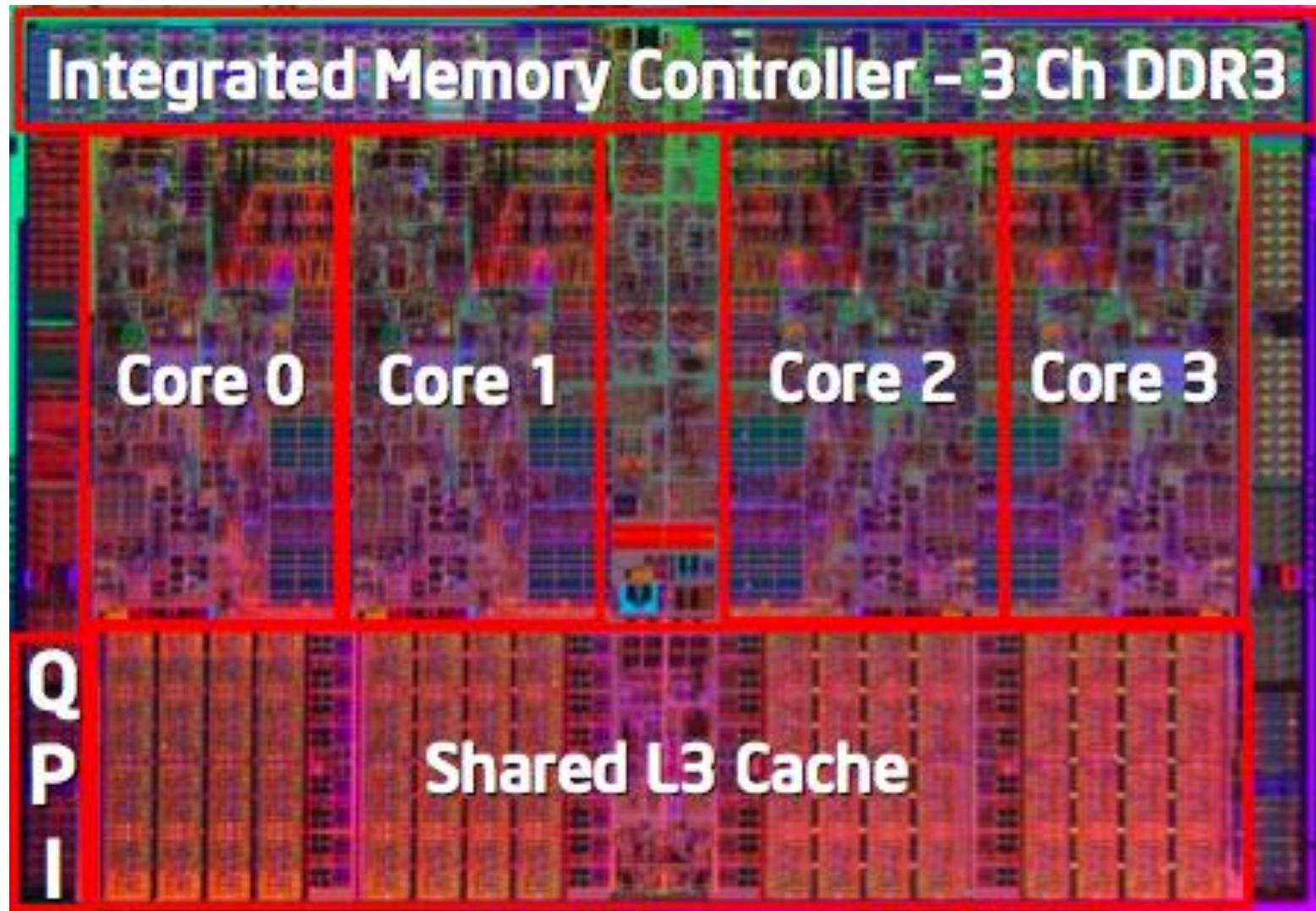
2.7 Các khối của vi kiến trúc Sandy Bridge dùng trong Intel Core i5/i7 (2010)





Chương 2. Khối xử lý trung tâm

2.8 Các khối của vi kiến trúc Nehalem dùng trong Intel Core i5/i7 (2008)





Chương 2. Khối xử lý trung tâm

CÂU HỎI ÔN TẬP

1. Nêu sơ đồ khối tổng quát của CPU
2. Trình bày các giai đoạn trong chu trình xử lý lệnh.
3. Các thanh ghi của CPU
4. Sơ đồ và chức năng của CU
5. Trình bày chức năng của đơn vị ALU